

アナログRGB出力では4096色、HDMI出力では16ビット・カラーしか表示されない!? ZedBoard上で動くUbuntuの画面をフルカラー DVI表示にする

長嶋 毅 Takeshi Nagashima

● ZedBoardではフルカラー表示ができない

ZedBoard (Avnet社)にはアナログRGBコネクタやHDMIコネクタが搭載されています。しかしアナログRGB出力ではRGB各4ビットの4096色しか表示できません。HDMI出力ではデータ・バスが16ビットしか接続されていないので、YCrCb形式でも4:2:2しかカラー表示ができない、つまりドット単位で任意のフルカラーを表示できないのです。これはハードウェア上の仕様であり、いかんともしがたい点です。

● Pmod端子にHDMI子基板を接続

そこで、ZedBoard用フルカラー DVI出力アダプタ (エムアイエー製) をZedBoardのPmod端子に接続 (写真1) し、ここからドット単位で任意のフルカラーをデジタル表示で可能になります。基板を小型化するため、コネクタにはHDMIを使っています。

そしてFPGA内にDVI表示回路を実装し、デジタル・ビデオ出力をTMDSモードでPmod端子に出力します。ZedBoardのPmod端子は、LVDSなどの差動信号の出力も考慮された基板設計がされています。

● Xillybusデモの設定変更箇所

ここでは、FPGAマガジンNo.2でも紹介されているXilinxの画面表示をDVI化してみました。図1にXilinxのハードウェアXillybusデモのFPGA内ブロック図を示します。

● Xilinx Platform Studio (XPS) の設定変更

Xillybusデモでは、ZedBoardのPmod端子の各I/Oピンも、GPIOの上位ビットとして割り当てられてい

ます。PS_GPIOのビット40～56までの合計16本がそれに該当します。このままではDVI表示ができないので、GPIOの本数を削減します。systemフォルダにあるXPSプロジェクトを開き、40本に設定を変更します。

設定を変更した後は、忘れずにネットリスト生成を再実行してください。

● HDLソースの変更

XPSの設定は、いわゆるARMコア周辺の設定です。その一部の信号はさらにFPGA部に接続されているので、HDLソース上でもGPIO本数の削減が必要です。変更するHDLソースはverilog¥srcディレクトリ内にあるsystem.vとxillybus.v、トップ階層のxillydemo.vです。各HDLソースをテキスト・エディタで開いて次の信号名を検索し、ビット幅が[55:0]と定

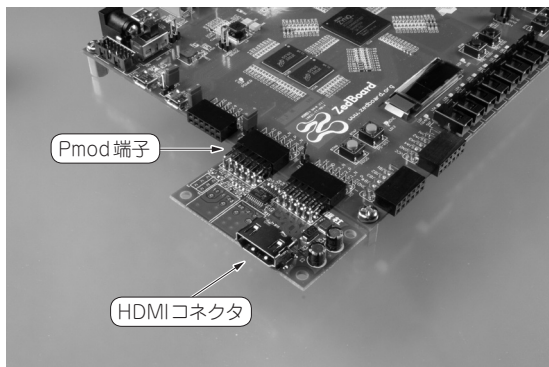


写真1 ZedBoard用フルカラー DVI出力アダプタ

問い合わせ先: (株) エムアイエー

https://www.miajapan.com/product_ZED_DVI.html

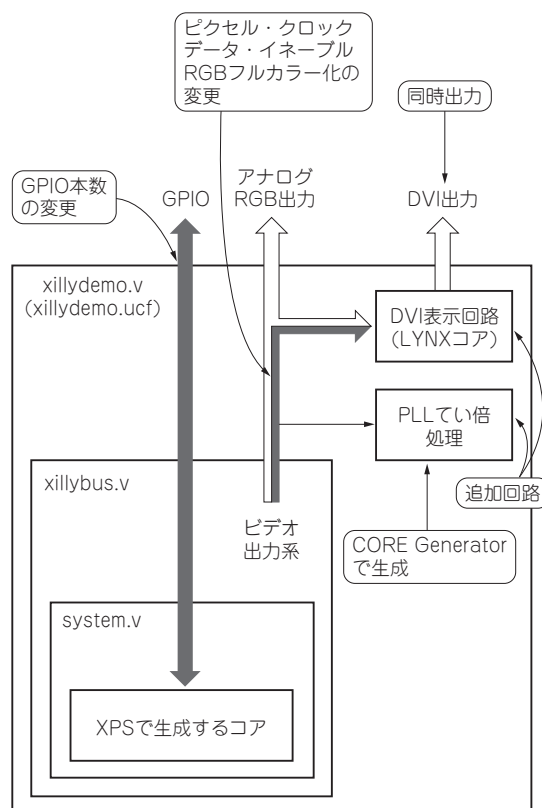


図1 XillybusデモのFPGA内ブロック図 (グラフィックス表示部のみ)

リスト1 xillybus.vの主な変更箇所

```

module xillybus(
  ~中略~
  vga4_red, vga4_green, vga4_blue, vga_de, vga_clk,
  ~中略~
);
~中略~
output [7:0] vga4_red;
output [7:0] vga4_green;
output [7:0] vga4_blue;
output vga_hsync;
output vga_vsync;
output vga_de;
output vga_clk;
~中略~
wire vga_hsync_w;
wire vga_vsync_w;
wire vga_de_w;
~中略~
FDC vga_iob_ff [26:0]
(
  .Q( { vga_hsync, vga_vsync, vga_de } ),
  .D( { xillyvga_0_vga_red[7:0],
        xillyvga_0_vga_green[7:0],
        xillyvga_0_vga_blue[7:0],
        vga_hsync_w, vga_vsync_w, vga_de_w } ),
  .C(vga_clk), .CE(1'b1), .CLR(1'b0)
);
~中略~
system
system_i (
  ~中略~
  .xillyvga_0_vga_hsync ( vga_hsync_w ),
  .xillyvga_0_vga_vsync ( vga_vsync_w ),
  .xillyvga_0_vga_de ( vga_de_w ),
  ~中略~
);

```

図中の注釈:

- 信号追加: vga_de, vga_clk
- ビット幅追加: vga4_red, vga4_green, vga4_blue
- 宣言追加: vga_hsync_w, vga_vsync_w, vga_de_w
- 信号引き出し: xillyvga_0_vga_red, xillyvga_0_vga_green, xillyvga_0_vga_blue

義されているところを[39:0]に書き換えてください。

- system.v...processing_system7_0_GPIO
- xillybus.v...PS_GPIO
- xillydemo.v...PS_GPIO, PS_GPIO_w
- I/Oピン割り当てUCFファイルの変更

GPIOとして使われていたPmod端子の各I/Oピンを、DVI出力の信号名に変更します。またモードとしてTMDSを指定します。UCFファイルはverilog¥srcディレクトリ内にあります。

● XillybusデモへのDVI表示回路の実装

変更の必要のあるHDLソースはxillybus.vとトップ階層のxillydemo.vです。

- xillybus.v

ピクセル・クロック(vga_clk)とデータ・イネーブル(vga_de)がトップ階層に出力されていないので、信号を追加します。また、RGBの各信号(vga4_red, vga4_green, vga4_blue)のビット幅が[30]と定義されているので、フルカラーに対応するために[7:0]とします。さらに追加したvga_clkとvga_deや、RGBのビット幅を、リスト1に示すように追加・変更します。

- xillydemo.v

トップ階層では、xillybus.vに追加された信号やビット幅が増えた信号を合わせて変更します。そしてDVI表示回路(LYNXコア)を接続します(変更箇所

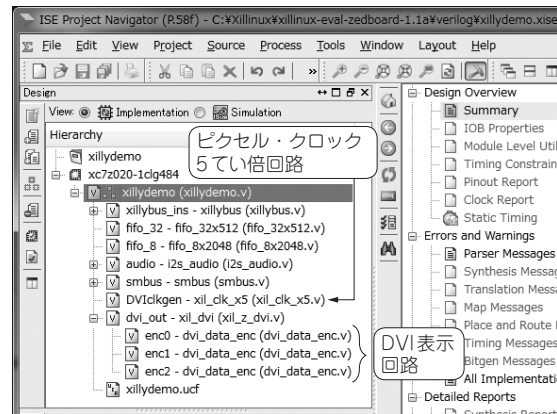


図2 XillybusデモのISEプロジェクトの様子

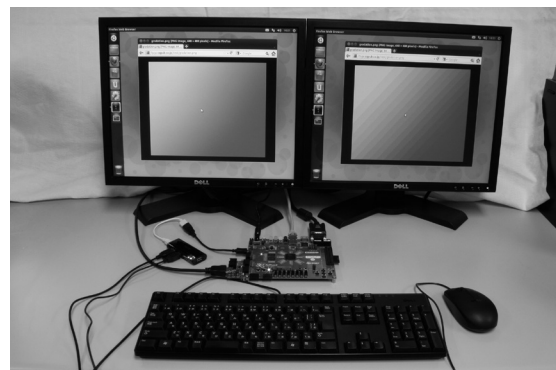


写真2 Xilinx (デスクトップ画面はUbuntu) を起動しブラウザでグラデーションを表示した例

アナログRGB出力ではグラデーションの階調が荒くなっているが、DVI表示では滑らかに表示されている。

所が多いので誌面での照会省略)。また、DVI表示回路ではピクセル・クロックの5倍のクロックも必要とするので、PLL 5倍処理も追加してください。

図2にDVI表示回路を追加したXillybusデモのISEプロジェクトの様子を示します。

● フルカラー表示の威力！

写真2にXilinxを起動しブラウザでグラデーションを表示した例を示します。サイズの小さい白黒写真ではわかり辛いですが、アナログRGB表示とフルカラーDVI表示とではグラデーションの滑らかさが全く異なります。

* * *

ここで紹介したHDLソースやDVI表示回路を追加したISEプロジェクトは、本書サポート・ページで公開します。

ながしま・たけし