

Layout de un canal de lectura multi-paralelizado para un sensor de imagen CMOS

Carlos Molina Ordóñez

20 de Marzo de 2017

Índice general

1. Introducción	4
1.1. Sensores de imagen	4
1.1.1. Sensores de imagen CCD	5
1.1.2. Sensores de imagen CMOS	5
1.2. Arquitectura de sensores de imagen CMOS	5
1.3. Array de píxeles	5
2. Tecnología CMOS	8
2.1. Introducción	8
2.2. Proceso de fabricación	9
2.3. Transistores CMOS	10
2.4. Otros dispositivos en tecnología CMOS	11
2.4.1. Diodos	12
2.4.2. Transistores bipolares	12
2.5. Diseño de layout	13
2.5.1. Capas de layout	13
2.5.2. Herramientas de CAD	15
2.5.3. Problemas habituales en el diseño de layout	16
3. Diseño electrónico de un canal de lectura	19
3.1. Estructura general	19
3.2. Arquitectura del comparador de rampa	19
3.3. ADC	19
3.4. Rampa analógica	19
3.5. Fuente de corriente	19

3.6. Bloques de polarización	19
3.7. Rampa digital y serialización	19
4. Diseño del layout de un canal de lectura	20
4.1. Introducción	21
4.2. Jerarquización	21
4.3. Aproximación al layout de una columna del canal	21
4.4. Problemas de layout que afectan al diseño del canal de lectura	21
4.4.1. Acoplos	21
4.4.2. Concentración de routing	21
4.4.3. Consumo	21
4.4.4. Distribución de señales horizontalmente	21
4.4.5. Condensadores del ADC	21
4.5. Bloques adicionales	21
4.5.1. Redundancia	21
4.5.2. Binning	21
4.5.3. Implementación de ROIs	21
4.6. Aproximación a arquitecturas de canales de lectura más complejas	21
4.6.1. Aumento de la multiparalelización	21
4.6.2. Sistemas de bajo ruido	21
4.6.3. Arquitecturas innovadoras	21
5. Conclusiones	22
5.1. Dificultad creciente de los canales de lectura	22
5.2. Condicionamiento del diseño del canal por aspectos de layout	22
5.3. Estudios de viabilidad adecuados	22
5.4. Uso de nuevas tecnologías	22
5.5. Innovaciones en las tecnologías de los píxeles	22
6. Referencias	23

Índice de figuras

2.1. Representación física de transistores MOS en tecnología CMOS	11
2.2. Estructura física de un diodo de unión PN	12
2.3. Estructura física de un transistor de unión bipolar PNP	12
2.4. Estructura física de un transistor de unión bipolar NPN	13

Capítulo 1

Introducción

En este trabajo se va a estudiar todo el proceso de diseño de un bloque fundamental en cualquier sensor de imagen CMOS, el canal de lectura, que es el encargado de convertir la información física recibida (número de fotones captados por los píxeles), a un número digital para posteriormente ser procesado y almacenado digitalmente.

El estudio se va a centrar principalmente en el layout de un canal lectura y en todos los aspectos a tener en cuenta a la hora de abordar esta tarea. El layout de un sistema microelectrónico consiste en su implementación física sobre una oblea de algún material semiconductor, habitualmente silicio. El diseño de layout está sujeto a una serie de normas y problemas que iremos abordando con mayor detenimiento a lo largo de la exposición.

Para introducir al lector en la materia será necesario describir, aunque sea brevemente, conceptos sobre sensores de imagen, tecnología CMOS y explicar de manera sencilla la arquitectura de un canal de lectura habitual.

Posteriormente se pasará a analizar en detalle los problemas y cuestiones que se plantean a la hora de diseñar el layout de bloques analógicos en general, centrandonos en última instancia en los que afectan directamente a un canal de lectura.

1.1. Sensores de imagen

Un sensor de imagen o cámara fotográfica es, originalmente, un sistema que capta una imagen instantánea de una escena mediante la luz que emiten los objetos que se encuentran

en su campo de visión y que llegan a una pantalla donde se almacena la información que proyecta ese rayo de luz, ya sea por un proceso químico o electrónico, que es el caso que se va a tratar aquí.

En cuanto a los sensores de imágenes electrónicos se pueden distinguir dos tipos principalmente, los CCD (*Charge-Coupled Device*) y los CMOS (*Complementary Metal-Oxide-Semiconductor*). Las diferencias entre ellos se basan en la tecnología empleada y en la forma de leer el array de píxeles.

1.1.1. Sensores de imagen CCD

El concepto fundamental de un sensor de imagen CCD se basa en el almacenamiento y propagación de los electrones fotogenerados en cada pixel. Mediante el efecto fotoeléctrico, un fotón que impacte en la zona de silicio fotosensible, si tiene la energía adecuada, arrancará un electrón desde la banda de valencia hasta la banda de conducción, y podrá moverse libremente o arrastrado por campos eléctricos.

La carga almacenada en cada pixel será función lineal de la intensidad lumínica captada por cada pixel. Tras la exposición, las cargas almacenadas en cada pixel se irán transmitiendo al pixel inferior, y, de la misma forma que ocurre en un registro de desplazamiento, la información de todos los píxeles se va transmitiendo de unos a otros, hasta que al final todo el array es leído.

1.1.2. Sensores de imagen CMOS

1.2. Arquitectura de sensores de imagen CMOS

1.3. Array de píxeles

El dispositivo principal en un sensor de imagen es el píxel, que es el elemento receptor de la luz y el encargado de hacer la primera conversión de fotones a electrones. Estos fotones se traducen en electrones por medio del efecto fotoeléctrico descrito por Albert Einstein: Cada fotón que incida en la superficie del silicio es capaz de dar la energía suficiente a

un electrón de la banda de valencia para que pase a la banda de conducción y se pueda mover libremente por la red cristalina. Si ahora aplicamos un campo eléctrico podemos guiar a todos los electrones fotogenerados hacia un pozo de potencial donde almacenarlos temporalmente. Este es el llamado proceso de exposición, que tiene una duración definida. En función del tiempo de exposición y de la intensidad lumínica recibida por el pixel, este se cargará con mayor o menor número de electrones.

Observando el esquemático de un pixel 5T (5 transistores) habitual, podemos entender el funcionamiento del mismo. El fotodiodo (PD) representa la zona donde los fotones inciden y donde se convierten a electrones durante el tiempo de exposición. Al final de éste periodo se abre la compuerta (TX), también llamada *transfer gate*, y los electrones pasan por difusión hacia un pozo de potencial llamado *floating diffusion* (FD), que se representa como un condensador.

Posteriormente, la carga almacenada en la *floating diffusion* se convierte en voltaje a través del seguidor por fuente (SF) cuando la fila actual es seleccionada para ser leída mediante la activación del transistor de SEL, que carga la columna de lectura con la tensión a la salida del *source follower*. Este valor de tensión es el que será leído por el Canal de Lectura.

Durante todo el proceso se pueden producir dos operaciones de limpieza o puesta a cero. Una la hace el transistor de anti-blooming (BMG), que se encarga de limpiar el diodo de posibles electrones fotogenerados antes del tiempo de exposición. Este transistor también realiza la función de "desagüe" en el caso de que la intensidad lumínica sea tal que el número de electrones en el fotodiodo sature, en cuyo caso, este transistor drenará la carga sobrante hacia la alimentación. La otra limpieza la lleva a cabo el transistor de Reset (RST), que reestablece el valor cero en la *floating diffusion* antes de volcar los nuevos electrones generados en la exposición actual.

El canal de lectura de un sensor CMOS, referido habitualmente por sus siglas en inglés **RO** (*Read-Out Channel*), es el bloque que se encarga de traducir el voltaje almacenado en cada pixel durante el proceso de exposición, en un número digital. Esta descripción concuerda con el concepto ampliamente utilizado en electrónica de ADC, siglas en inglés

de *Analog-to-Digital Converter*, (Convertidor Analógico-Digital), que, en general toma una señal analógica y la expresa en valores discretizados

Capítulo 2

Tecnología CMOS

2.1. Introducción

La tecnología CMOS, que es ampliamente utilizada en el diseño de circuitos integrados en la actualidad, se basa en la posibilidad de integrar en un mismo sustrato semiconductores con ambos dopados (n y p). Con ello podemos implementar transistores MOSFET tanto PMOS como NMOS en un mismo diseño.

Es una tecnología que cumple ya los 50 años, debido a que empezó a ponerse en práctica a mediados de los años 1960. Inicialmente se usó principalmente en circuitos digitales, debido a que los transistores CMOS solo consumen potencia cuando conmutan, a diferencia de los transistores de unión bipolar. Por otra parte, es más sencillo disminuir su tamaño y tienen un menor coste de fabricación.

Poco a poco se fue introduciendo la tecnología CMOS en el diseño de circuitos analógicos. Los bajos costes y la posibilidad de crear circuitos digitales y analógicos en el mismo chip hacían esta opción muy interesante. Pero aún así, los transistores bipolares eran mucho menos ruidosos y más rápidos que los MOSFET, por lo que la transición fue lenta. Con el desarrollo de la tecnología CMOS, la velocidad y el ruido de éstos, se ha visto muy mejorada, y actualmente domina el mercado, aunque en muchos casos se sigue usando tecnología bipolar.

2.2. Proceso de fabricación

La gran mayoría de los circuitos integrados CMOS estan construidos sobre silicio. El silicio (Si), elemento de número atómico 14, es muy abundante en la Tierra, aunque no se encuentra de forma pura, sino como óxidos de silicio o silicatos. Entre los óxidos de silicio, basados fundamentalmente en la sílice o dióxido de silicio (SiO_2), se encuentran el cuarzo y el sílex, ambos ampliamente extendidos en la corteza terrestre. Los silicatos son sales basadas en el ión silicato (SiO_4), y forman parte de minerales como los feldspatos, micas, berilio.

Leer algo en el libro de minerales y rocas en casa!!!!!!!!!!

A pesar de estar en tan alta abundancia en la Tierra, como se dijo antes, el silicio puro no se da naturalmente, debe ser refinado y cristalizado. El proceso consiste, tratado de manera sencilla, en extraer el oxígeno de los compuestos mencionados arriba a base de añadir carbono y fundir la mezcla en un horno. Tras éste y otros porcesos obtendríamos silicio relativamente puro, pero en forma policristalina (habitualmente nos referiremos a éste como polisilicio). Esta forma contiene silicio puro, pero cristalizado en pequeños cristales independientes con diferentes planos cristalinos creando efectos de borde en el interior del conglomerado, que anulan los efectos semiconductores del silicio.

Para construir un único monocristal de silicio se suele usar el llamado proceso de Czochralski, en el cual, una varilla de silicio usada como semilla se va rotando en un baño de silicio puro fundido a unos 1400°C de manera que va creciendo en diámetro a medida que los átomos de silicio se van depositando en la capa externa.

Lo que queda es un lingote de aproximadamente un metro de largo y pocas decenas de centímetro de diámetro de silicio monocristalino siguiendo la estructura cristalina del diamante.

Para ser usado en la industria de semiconductores, estos lingotes se deben laminar en obleas de pocos milímetros de espesor sobre las que se implementarán los circuitos integrados, que se suelen distribuir en una matriz ocupando toda la superficie de la oblea que luego será cortada para separar cada "dado".

Con estos procesos tendríamos tan solo el sustrato de silicio sobre el que se debe construir el circuito, los transistores y otros dispositivos que se necesiten. Esto se hace mediante fotolitografía, una técnica que crea permite construir cada capa mediante la proyección de una luz ultravioleta a través de una máscara que permite o no pasar la luz según el layout diseñado.

Para empezar se recubre toda la oblea con un material fotosensible a la luz UV, que dependiendo de si recibe luz o no, cambia sus propiedades haciendo que donde ha recibido luz pueda ser eliminado posteriormente y quedar sólo donde no se recibió luz, o viceversa. De esta forma obtenemos un recubrimiento selectivo con este material, haciendo que, en un paso posterior podamos hacer crecer, sobre las zonas sin recubrimiento, una capa de óxido de silicio si queremos un aislante, o de polisilicio, cuyos usos se tratarán más adelante, o de metal como conductor, habitualmente aluminio o cobre, o algún tipo de dopado para crear las difusiones por ejemplo.

Tras la creación de cada capa, en la mayoría de los casos se realiza un pulido fino de la superficie para que la siguiente capa asiente correctamente sobre una superficie plana.

2.3. Transistores CMOS

El dispositivo fundamental que usa en cualquier circuito integrado CMOS es el transistor CMOS, ya que es la base de funcionamiento de circuitos tanto digitales (puertas lógicas, inversores, flip-flops, buffers), como de circuitos analógicos (amplificadores operacionales y de transconductancia, convertidores analógico-digital, referencias de tensión, bandgap).

El transistor CMOS es un dispositivo electrónico de 3 terminales que se basa en una estructura MOS (Metal-Óxido-Semiconductor). En esta estructura, sobre un sustrato semiconductor se asienta una capa de Óxido aislante y sobre ella un material metálico, que en las tecnologías actuales suele tratarse del polisilicio que se mencionó anteriormente.

Usando la estructura vertical **Metal-Óxido-Semiconductor**, se puede construir un transistor creando a ambos lados de ella, zonas de silicio altamente dopado donde contactaremos dos terminales, que llamaremos *fuentes* o **S** (*source*), y *drenador* o **D** (*drain*). En

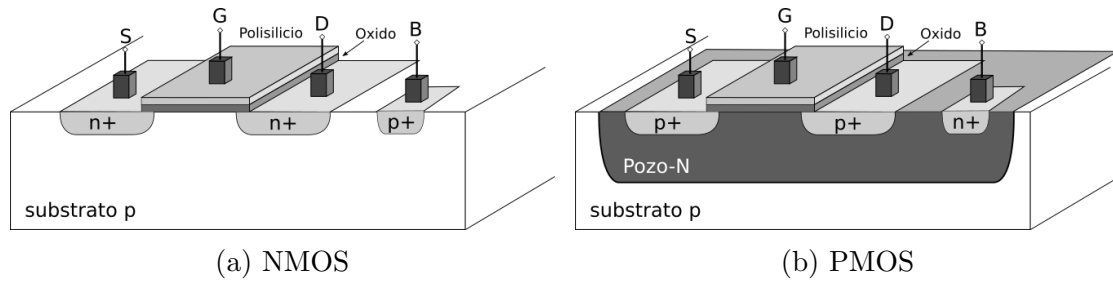


Figura 2.1: Representación física de transistores MOS en tecnología CMOS

la capa superior del polisilicio colocaremos el terminal llamado *puerta* o **G** (*gate*). En la figura 2.1a podemos ver la estructura física de este dispositivo.

Cuando se aplica un voltage en puerta, el óxido crea un condensador entre el polisilicio y el sustrato semiconductor. De esta forma, electrones presentes en sustrato son atraídos hacia la superficie del sustrato, lo que facilita la creación de un canal, que permitirá la circulación de una corriente entre las dos difusiones fuente y drenador. Cuando la tensión en la puerta es menor que cierto valor, la creación del canal no se da, y los terminales D y S quedan electricamente aislados.

La dimensión de la puerta en la dirección que une drenador y fuente se llama "longitud", notada como **L**. La otra dimensión de la puerta, perpendicular a ésta se llama "anchura", abreviada como **W**

Como mencionamos al principio, también podemos crear transistores PMOS en estas tecnologías. Esto se hace fabricándolos dentro de un pozo N, esto es, una zona donde el sustrato tipo-p original, se ha dopado de forma que se consigue un sustrato tipo-n. El transistor embebido en este pozo tiene, entonces, la misma estructura, salvo que las difusiones para drenador y fuente son con dopado positivo **P+**. Una representación de este tipo de transistor puede verse en la figura 2.1b.

2.4. Otros dispositivos en tecnología CMOS

Usando la misma tecnología es posible disponer en el mismo diseño otros dispositivos además de los mencionados transistores.

2.4.1. Diodos

Una forma de crear diodos en esta tecnología es crear una zona de dopado N (difusión N+) junto a una zona con dopado P (difusión P+).

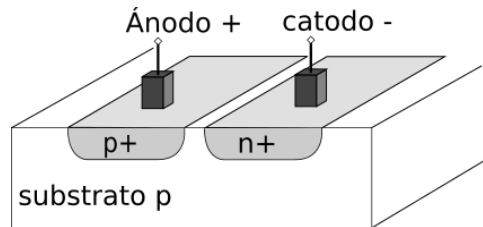


Figura 2.2: Estructura física de un diodo de unión PN

2.4.2. Transistores bipolares

También se pueden crear transistores de unión bipolar a partir de la creación de dos uniones PN enfrentadas. En el caso de tener sustrato P podemos conseguir de forma sencilla un transistor tipo **PNP**, creando un contacto al sustrato P para el Colector (C), un pozo N dónde se crea un contacto a N+ para la base (B), y una difusión positiva P+ dentro del pozo N, que funcionará como emisor (E). Vease la siguiente imagen:

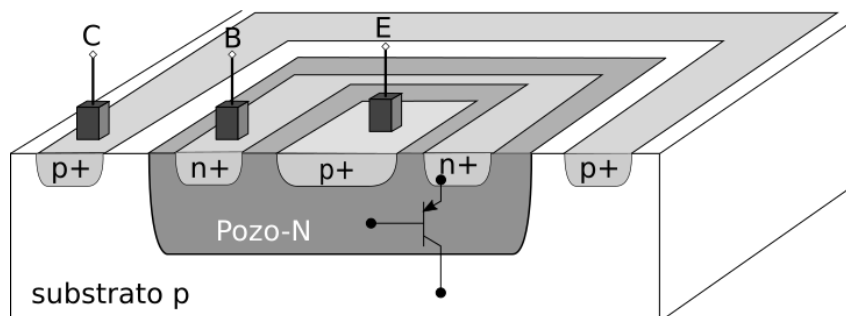


Figura 2.3: Estructura física de un transistor de unión bipolar PNP

Crear un transistor NPN en una tecnología de sustrato P es algo más complicado, pero afortunadamente, existe la posibilidad de crear una estructura especial, que va a ser muy usada en algunos casos con diferentes finalidades. Se trata del llamado *pozo N profundo* (*Deep-N-Well* en inglés), que no es más que un pozo N enterrado bajo una capa de sustrato P, que queda aislada del sustrato P del resto del chip si las uniones PN que forma con ambos sustratos P, están polarizadas inversamente.

De ésta forma podemos crear un transistor NPN entre el substrato profundo N, colector (C), el substrato P encerrado por el anterior, base (B), y una difusión N+ en el centro de este substrato P, que funcionará como emisor (E). Vease la siguiente figura:

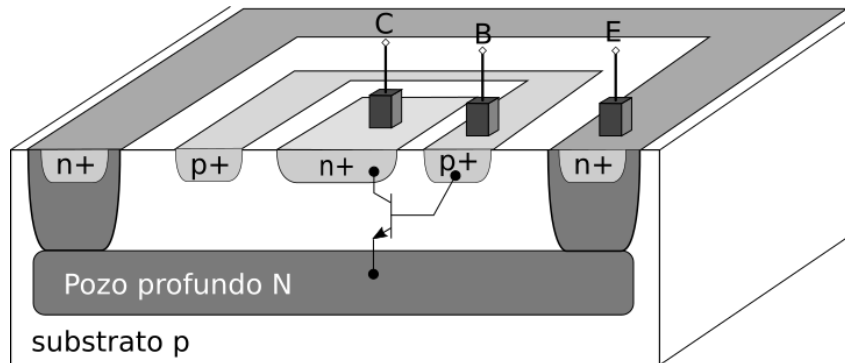


Figura 2.4: Estructura física de un transistor de unión bipolar NPN

2.5. Diseño de layout

El término *layout* hace referencia a la implementación física del circuito electrónico que se quiere fabricar. El layout consiste en un dibujo con toda la información que necesita la empresa fabricante para implementar el circuito sobre la oblea de silicio. Dicha información se representa por medio de capas que se distribuyen en un espacio bidimensional. Cada capa tiene un significado y unas normas que cumplir. El trabajo del diseñador de layout es definir, dibujar y verificar el layout de los diferentes bloques que componen el chip siguiendo las normas dadas por el fabricante, y procurando el mejor funcionamiento posible del circuito en el menor área que le sea posible.

Como veremos más adelante, el diseño del layout de un circuito afecta o puede afectar mucho al funcionamiento final del mismo.

2.5.1. Capas de layout

Todo diseño de layout está compuesto de una cierta cantidad de capas, de las cuales algunas tienen significado físico directo y otras son capas que usa el software de diseño para verificaciones o para cambiar propiedades de otras capas.

NWELL Esta capa define el pozo N en una tecnología de substrato P. En ella se deben situar los transistores PMOS y normalmente se polariza mediante difusiones **P+** a la

tensión más alta del circuito (VDD o similar).

WB Esta capa define el pozo enterrado (del inglés *Well Buried*), o también llamado pozo profundo (*Deep-N-Well*), y como se introdujo en el capítulo [2.4.2](#)

XN Zona de difusión con dopado negativo N+, estará en las difusiones de drenador/fuente de los transistores NMOS y en los contactos a sustrato de los pozos N.

XP Zona de difusión con dopado positivo P+, de manera complementaria a la XN, se usará para las difusiones de drenador/fuente de los transistores PMOS y para los contactos al sustrato P.

ACTIVE Zona activa

GC Zona donde se creará una capa de polisilicio (*poly*). Si coincide con capa activa, este polisilicio creará puertas de transistores sobre una fina capa de óxido de silicio. En los lugares donde no coincida con area activa se construirá sobre óxido grueso de espesor no tan controlado y se usará para rutar líneas o para crear resistencias de polisilicio por ejemplo.

CS Contacto. Normalmente son cuadrados que definen contactos entre el Metal 1 y el polisilicio (si están sobre capa GC), o al sustrato, si están sobre el sustrato.

M1 Metal 1. Es el primero de los metales y se suele usar para contactar transistores entre sí y con otros dispositivos, o para crear anillos de contactos a sustrato

M2-M3-...-(M5) Otros metales. En función de la tecnología, pueden ser más o menos capas de metal, por ejemplo 4 ó 6. La última capa de metal puede ser diferente, ser más gruesa y menos resistiva. Habitualmente, para seguir un orden y ayudar al rutado del circuito, se suele definir un criterio de direcciones en función de si la capa de metal es par o impar se dispondrán horizontales o verticales

V2-V3-...-(V5) Vias. Crean conexiones verticales entre un metal y el siguiente superior. Se suelen usar varios para cada conexión por evitar una posible rotura y para disminuir la resistencia.

2.5.2. Herramientas de CAD

Las herramientas de CAD (*Computer Asisted Design*) se usan en muchos campos de la ingeniería o la arquitectura, y actualmente, debido a la alta complejidad de los diseños son de uso prácticamente obligado.

En el caso que nos ocupa, el diseño de circuitos microelectrónicos, tiene gran importancia el buen uso y conocimiento de las herramientas por parte de diseñadores. En nuestro caso, estas técnicas tienen dos finalidades fundamentales: el diseño y simulación eléctrica y, por otro lado, la implementación física. Entre ellas hay muchas diferencias, pero también existe una inevitable relación de dependencia. La implementación física viene definida por el diseño eléctrico, pero a su vez, como veremos en muchos casos, éste último condiciona el diseño eléctrico.

Por otra parte, en microelectronica, debemos tener presente que hay una división importante entre dos ámbitos que son bastante diferentes en cuanto al flujo de diseño, simulación e implementación física, aunque ambos se basan sobre la misma tecnología. Me refiero a la separación entre el ámbito **analógico** y el **digital**. En éste trabajo nos centraremos en la parte analógica puesto que el canal de lectura es un bloque fundamentalmente analógico.

Considerando únicamente el layout, estos dos ámbitos, analógico y digital son también bastante diferentes. En el caso del layout digital, el flujo de trabajo, debido a la gran cantidad de dispositivos que habitualmente son necesarios para diseñar cualquier bloque digital, está altamente automatizado por algoritmos de distribución y rutado automático (*place and route*). Mediante estas herramientas, el diseñador digital de back-end implementa el layout de un bloque digital que el diseñador de front-end ha diseñado para que tenga un funcionamiento definido.

Las herramientas de *place and route* consisten en algoritmos de posicionamiento de los subbloques digitales que conforman un macrobloque: inversores, buffers, puertas lógicas, flip-flops... La herramienta, considerando el rutado entre cada bloque, los posiciona y los interconecta de forma que los tiempos de propagación de las señales entre ellos estén dentro de unos márgenes aceptables. En ocasiones, esta implementación física da problemas por cuestiones de congestión de rutado, o por problemas de *timing*, las señales no se propagan

con la suficiente velocidad y ésto genera fallos en el funcionamiento general de bloque. Por todo esto, es muy importante la simulación post-layout de los bloques digitales. Éstas tienen en cuenta los tiempos de respuesta de los sub-bloques digitales, los cuales han sido obtenidos previamente mediante simulaciones analógicas, o vienen dados por el fabricante de la tecnología en unos ficheros que incluyen tiempos y capacidades de sus nodos. Posteriormente la herramienta considera las capacidades de las líneas de rutado entre los sub-bloques, mediante un extraído de parásitos. Con todo ésto se obtiene una simulación bastante cercana al comportamiento real del bloque una vez fabricado, aunque nunca se puede asegurar al cien por cien el correcto funcionamiento de todo el chip, lo que genera chips defectuosos en cada oblea fabricada.

Para el caso analógico, el editor de layout consiste en un software de diseño gráfico en 2 dimensiones, dónde el diseñador de layout va dibujando los dispositivos, y los va interconectando mediante líneas de rutado en los diferentes metales que tiene a su disposición. El proceso es mucho más manual que en el caso digital, dada la relativa simplicidad de los circuitos analógicos, frente a los digitales. Un bloque analógico es abordable por una persona en unos pocos días o semanas, ayudándose obviamente, de herramientas de replicación, jerarquizado, celdas prediseñadas o parametrizadas. El caso analógico también se realiza de forma más manual debido a la naturaleza de las señales analógicas, al ser éstas, en algunos casos, más susceptibles a ruidos, interferencias o acoplos con otras señales.

En los circuitos puramente digitales, las señales cambian de un valor alto (1) a un valor bajo (0), siendo menos importante el valor exácto mientras éste se encuentre dentro de los márgenes definidos. Por el contrario, en un circuito analógico, hay que tomar cuidado en diseñar un layout que preserve los valores de las señales analógicas y tenga un impacto mínimo en los tiempos de propagación o asegurar que dos dispositivos o bloques que deban comportarse idénticamente así lo hagan.

2.5.3. Problemas habituales en el diseño de layout

A continuación se van a exponer y explicar algunos de los problemas habituales que afectan a cualquier diseño de layout y que el diseñador debe hacer frente para resolver o minimizar mediante su experiencia y la ayuda de las herramientas, de CAD, la simulación

post-layout y los consejos del diseñador analógico del bloque en cuestión.

Area

La superficie sobre la que se diseña un chip es limitada, y además es un factor en contra del beneficio económico que tendrá la fabricación y venta del chip. A menor sea el area usada por el chip, más chips caben en cada oblea, que tiene un precio constante, definido por el fabricante en función de la tecnología y otros parámetros. Por lo tanto, como punto de partida, podemos concluir que **el área es siempre un parámetro a minimizar**, a cualquier nivel de jerarquía.

Si bien esto es la idea general, también es verdad que no siempre es la prioridad, o bien el área no supone un problema porque, por ejemplo, debido a la distribución de los bloques, un bloque resulte disponer de area más que suficiente. Puede darse el caso incluso de que se prefiera distribuir un circuito de manera más holgada pero más uniforme, antes que arrinconar todo el circuito en una zona y dejar espacio libre en otras zonas. Ésto, por ejemplo, podría ayudar a mejorar la correlación entre dispositivos, o *matching*.

Mismatch

El mismatch es un problema generalizado en muchos campos de la ingeniería donde se requiere la construcción de dispositivos que se comporten igual, y por problemas de fabricación u otros agentes externos se comportan ligeramente diferentes.

En el caso del layout el mismatch puede deberse al proceso de fabricación, que puede crear dispositivos de **dimensiones ligeramente mayores o menores**, o otorgar al silicio propiedades ligeramente diferentes, como la **concentración de dopado**, lo que puede hacer que unas zonas sean mas o menos conductivas o que varíen parámetros como la tensión umbral.

Otra forma de que se creen diferencias entre unos dispositivos y otros independientemente de la fabricación, es por ejemplo por la **distribución irregular de la temperatura** cuando el chip esté funcionando. Debido a la ley de Joule, cualquier corriente circulando por un material, lo calentará en función de la densidad de corriente que lo atraviese. Si en una zona del chip tenemos un bus de alimentación, o un circuito que consuma mucha

corriente, calentará la zona cercana, creando gradientes de temperatura. Si tenemos dos circuitos o dispositivos, uno de ellos cerca y otro lejos de esta zona, posiblemente no se comporten igual.

Para minimizar los efectos de los gradientes, se suelen usar estructuras de centroide común, que en teoría, para gradientes lineales, logran el emparejamiento perfecto. Por ejemplo, si tenemos un array lineal de dos tipos de dispositivos diferentes, cada uno con una multiplicidad de 4, deberíamos usar una estructura ABBA—ABBA, en vez de AAAA—BBBB, dónde A y B representan instancias del mismo dispositivo. En el primero de los casos, si existe un gradiente lineal en la dirección del array, el efecto de éste actuará en positivo en unos y en negativo en otros, de forma que el efecto en A se compensa al efecto en B. En cambio en el segundo caso, como promedio, los A sufrirán el efecto más o menos, que los B.

Ésto se puede aplicar también para arrays bidimensionales de dispositivos, de forma que se pueden usar estructuras del tipo:

Según cada tipo de dispositivo se aplican unas normas recomendadas para evitar o minimizar el mismatch, pero en términos generales, se puede decir que la siguiente recopilación constituyen buenas prácticas para casi todos los casos:

Capítulo 3

Diseño electrónico de un canal de lectura

- 3.1. Estructura general
- 3.2. Arquitectura del comparador de rampa
- 3.3. ADC
- 3.4. Rampa analógica
- 3.5. Fuente de corriente
- 3.6. Bloques de polarización
- 3.7. Rampa digital y serialización

Capítulo 4

Diseño del layout de un canal de lectura

4.1. Introducción

4.2. Jerarquización

4.3. Aproximación al layout de una columna del canal

4.4. Problemas de layout que afectan al diseño del canal de lectura

4.4.1. Acoplos

4.4.2. Concentración de routing

4.4.3. Consumo

4.4.4. Distribución de señales horizontalmente

4.4.5. Condensadores del ADC

4.5. Bloques adicionales

4.5.1. Redundancia

Capítulo 5

Conclusiones

- 5.1. Dificultad creciente de los canales de lectura
- 5.2. Condicionamiento del diseño del canal por aspectos de layout
- 5.3. Estudios de viabilidad adecuados
- 5.4. Uso de nuevas tecnologías
- 5.5. Innovaciones en las tecnologías de los píxeles

Capítulo 6

Referencias