

产品手册

Datasheet

MM32SPIN220B

32 位基于 ARM Cortex M0 核心的微控制器

版本:1.0.1

目录

1.	简介.....	8
1.1	概述.....	8
1.2	产品特性.....	8
2.	规格说明.....	10
2.1	器件对比.....	10
2.2	概述.....	11
2.2.1	ARM®的Cortex™-M0核心并内嵌闪存和SRAM	11
2.2.2	内置闪存存储器.....	11
2.2.3	内置SRAM	11
2.2.4	嵌套的向量式中断控制器（NVIC）	11
2.2.5	外部中断/事件控制器（EXTI）	11
2.2.6	时钟和启动.....	11
2.2.7	栅极驱动器（Gate-Driver）	11
2.2.8	供电方案	12
2.2.9	供电监控器.....	12
2.2.10	电压调压器.....	12
2.2.11	低功耗模式.....	12
2.2.12	DMA.....	12
2.2.13	定时器和看门狗	13
2.2.14	通用异步收发器（UART）	14
2.2.15	I ² C总线	15
2.2.16	通用输入输出接口（GPIO）	15
2.2.17	ADC（模拟/数字转换器）	15
2.2.18	串行单线SWD调试口（SW-DP）	15
2.2.19	比较器（COMP）	15
3.	引脚定义.....	19
4.	存储器映像.....	24
5.	电气特性.....	26

5.1	测试条件.....	26
5.1.1	最小和最大数值.....	26
5.1.2	典型数值	26
5.1.3	典型曲线	26
5.1.4	负载电容	26
5.1.5	引脚输入电压	27
5.1.6	供电方案	27
5.1.7	电流消耗测量	28
5.2	绝对最大额定值.....	28
5.3	工作条件.....	29
5.3.1	通用工作条件	29
5.3.2	Gatedriver工作条件.....	30
5.3.3	上电和掉电时的工作条件	30
5.3.4	内嵌复位和电源控制模块特性	32
5.3.5	供电电流特性	33
5.3.6	外部时钟源特性.....	35
5.3.7	内部时钟源特性.....	37
5.3.8	PLL特性	38
5.3.9	存储器特性.....	39
5.3.10	EMC特性	39
5.3.11	绝对最大值（电气敏感性）	40
5.3.12	I/O端口特性	41
5.3.13	NRST引脚特性	44
5.3.14	TIM定时器特性	45
5.3.15	通信接口	45
5.3.16	12位ADC特性	47
5.3.17	GateDriver特性	51
6.	封装特性.....	53
6.1	封装QFN32	53
7.	型号命名.....	54

8.	修改记录.....	55
-----------	------------------	-----------

图片目录

图1. MM32SPIN220B模块框图	17
图2. 时钟树	18
图3. MM32SPIN220B QFN32引脚分布.....	19
图4. 引脚的负载条件.....	26
图5. 引脚输入电压.....	27
图6. 供电方案.....	27
图7. 电流消耗测量方案.....	28
图8. 外部高速时钟源的交流时序图.....	36
图9. 使用8MHz晶体的典型应用.....	37
图10. 输入输出交流特性定义	44
图11. 建议的NRST引脚保护	44
图12. I ² C总线交流波形和测量电路 ⁽¹⁾	47
图13. 使用ADC典型的连接图	50
图14. 供电电源和参考电源去藕线路.....	50
图15. 上电时序状态图	51
图16. 射出保护（Shoot-Through Protection）时序图	52
图17. QFN32，方形扁平无引线封装外形.....	53

表格目录

表1. MM32SPIN220B产品功能和外设配置	10
表2. 定时器功能比较	13
表3. MM32SPIN220B引脚定义	20
表4. PA端口功能复用	21
表5. PD端口功能复用	21
表6. GateDriver引脚说明	23
表7. 存储器映像	24
表8. 电压特性	28
表9. 电流特性	28
表10. 温度特性	29
表11. 通用工作条件	29
表12. Gatedriver工作条件	30
表13. 上电和掉电时的工作条件	31
表14. 内嵌复位和电源控制模块特性	32
表15. 停机和待机模式下的典型和最大电流消耗	33
表16. 运行模式下的典型电流消耗，数据处理代码从内部Flash中运行	34
表17. 睡眠模式下的典型电流消耗，数据处理代码从内部Flash或RAM中运行	34
表18. 内置外设的电流消耗 ⁽¹⁾	35
表19. 高速外部用户时钟特性	35
表20. HSE 8 ~ 24MHz振荡器特性 ⁽¹⁾⁽²⁾	36
表21. HSI振荡器特性 ⁽¹⁾⁽²⁾	37
表22. LSI振荡器特性 ⁽¹⁾	37
表23. 低功耗模式的唤醒时间	38
表24. PLL特性 ⁽¹⁾	38
表25. 闪存存储器特性	39
表26. 闪存存储器寿命和数据保存期限	39
表27. EMS特性	40
表28. ESD特性	41

表29. I/O静态特性	41
表30. 输出电压特性.....	42
表31. 输入输出交流特性 ⁽¹⁾	43
表32. NRST引脚特性	44
表33. TIMx ⁽¹⁾ 特性	45
表34. I ² C接口特性	46
表35. ADC特性	47
表36. F _{ADC} = 15MHz ⁽¹⁾ 时的最大R _{AIN}	49
表37. ADC精度–局限的测试条件 ⁽¹⁾⁽²⁾	49
表38. PWM 输入输出状态表.....	52
表39. QFN32尺寸参数	53
表40. 修改记录表	55

1. 总介

1.1 概述

MM32SPIN220B 使用高性能的 ARM® Cortex™-M0 为内核的 32 位微控制器(MCU)，内嵌两组具备有自举二极管的 N 通道半桥栅极驱动器。MCU 最高工作频率可达 96MHz，内置高速存储器，丰富的增强型 I/O 端口和外设连接到外部总线。MM32SPIN220B 系列包含 1 个 12 位 ADC、4 个 16 位通用定时器、1 个 32 位通用定时器、1 个高级 PWM 定时器，还包含标准的 UART 通信接口与特有的单线双向通信接口。

MM32SPIN220B 产品系列输入电压为 3V ~ 15V，具有过温保护和欠压锁定保护功能，可以进入待机模式，保证低功耗应用的要求。

MM32SPIN220B 产品提供 QFN32 封装形式；下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得 MM32SPIN220B 产品微控制器适合于多种应用场合：

- 单相永磁无刷电机
- 快速无线充电

1.2 产品特性

- 两组 N 型半桥式栅极驱动器 (GATE-DRIVER)
 - 工作电压范围：5V 至 13V
 - 二相栅极驱动器
 - 驱动能力：5000PF 负载，上升时间与下降时间为 75N 秒
 - UVLO 保护
 - 上下桥短路自动保护功能
- 内核与系统：
 - 32 位 ARM® Cortex™-M0 处理器内核
 - 最高工作频率可达 96MHZ
 - 单指令周期 32 位硬件乘法器
- 存储器
 - 高达 64K 字节的闪存程序存储器
 - 高达 8K 字节的 SRAM
- 时钟、复位和电源管理
 - 2.0V ~ 5.5V 供电
 - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
 - 外部 8 ~ 24MHz 高速晶体振荡器
 - 内嵌经出厂调校的 48MHz 高速振荡器
 - 内嵌 40KHz 低速振荡器
 - PLL 支持 CPU 最高运行在 96MHz
- 低功耗
 - 睡眠、停机和待机模式
- 1 个 12 位模数转换器，1 μ S 转换时间（多达 8 个输入通道）
 - 转换范围：0 ~ V_{DDA}
- 2 个比较器
- 5 通道 DMA 控制器
 - 支持的外设：Timer、UART、I²C 和 ADC

- 多达 10 个快速 I/O 端口：
 - 所有 I/O 口可以映像到 16 个外部中断；
特定的端口支持输入输出 5V 信号
- 调试模式
 - 串行单线调试（SWD）
- 多达 9 个定时器
 - 1 个 16 位高级定时器 4 通道高级控制定时器
 - 1 个 32 位定时器和 4 个 16 位定时器
 - 2 个看门狗定时器（独立的和窗口型的）
 - 系统时间定时器：24 位自减型计数器
- 多达 2 个通信接口
 - 1 个 UART 接口
 - 1 个 I²C 接口
- 96 位的芯片唯一 ID（UID）
- 采用 QFN32 封装

注：

本文给出了 MM32SPIN220B 产品的订购信息和器件的机械特性。有关完整的 MM32SPIN220B 产品的详细信息，请参考 MM32SPIN220B 产品数据手册第 2.2 节。

有关 CortexTM-M0 核心的相关信息，请参考《CortexTM-M0 技术参考手册》。

2. 规格说明

2.1 器件对比

表 1. MM32SPIN220B 产品功能和外设配置

产品型号		MM32SPIN220BNT
外围接口		
闪存 - K 字节		64
SRAM - K 字节		8
定时器	通用目的	5
	高级控制	1
通讯接口	UART	1
	I ² C	1
GPIO 端口 (通道数)		10
12 位同步 ADC (通道数)		1 8
比较器		2
CPU 频率		96 MHz
工作电压		3.0V ~ 15V
封装		QFN32

2.2 概述

2.2.1 ARM®的 Cortex™-M0 核心并内嵌闪存和 SRAM

ARM®的 Cortex™-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM®的 Cortex™-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

MM32SPIN220B 拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

最大 64K 字节的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

最大 8K 字节的内置 SRAM。

2.2.4 嵌套的向量式中断控制器（NVIC）

MM32SPIN220B 产品内置嵌套的向量式中断控制器，能够处理多达 68 个可屏蔽中断通道（不包括 16 个 Cortex™-M0 的中断线）和 16 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.5 外部中断/事件控制器（EXTI）

外部中断/事件控制器包含 20 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。多达 39 个通用 I/O 口连接到 16 个外部中断线。

2.2.6 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 48MHz 的振荡器被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 8 ~ 24MHz 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟完全的中断管理（如当一个间接使用的外部振荡器失效时）。

多个预分频器用于配置 AHB 的频率、高速 APB（APB2 和 APB1）区域。AHB 和高速 APB 的最高频率是 96MHz。参考图 2 的时钟驱动框图。

2.2.7 栅极驱动器（Gate-Driver）

芯片中集成了两个 GateDriver，支持外挂功率 N 型 MOSFET 驱动器。

该 GateDriver 还支持电压 UVLO 保护。

N 型半桥式栅极驱动器(Gate-Driver)支持以下特性:

- 工作电压范围: 5V 至 13V
- 二相栅极驱动器
- 驱动能力: 5000pF 负载, 上升时间与下降时间为 75n 秒
- UVLO 保护
- 上下桥短路自动保护功能

2.2.8 供电方案

- $V_{DD} = 2.0V \sim 5.5V$: V_{DD} 引脚为 I/O 引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 2.5V \sim 5.5V$: 为复位模块、振荡器和 PLL 的模拟部分提供供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。

2.2.9 供电监控器

本产品内部集成了上电复位 (POR) /掉电复位 (PDR) 电路, 该电路始终处于工作状态, 保证系统在供电超过 1.8V 时工作; 当 V_{DD} 低于设定的阈值 (VPOR/PDR) 时, 置器件于复位状态, 而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD), 它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较, 当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断, 中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.10 电压调压器

调压器将外部电压转成内部数字逻辑工作的电压, 该调压器在复位后始终处于工作状态。

2.2.11 低功耗模式

MM32SPIN220B 产品支持低功耗模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠模式

在睡眠模式, 只有 CPU 停止, 所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

- 停机模式

在保持 SRAM 和寄存器内容不丢失的情况下, 停机模式可以达到最低的电能消耗。在停机模式下, 停止所有内部 1.5V 部分的供电, HSI 的振荡器和 HSE 晶体振荡器被关闭, 调压器可以被置于普通模式或低功耗模式。

- 待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。整个 1.5V 供电区域被断电。PLL、HSI 和 HSE 振荡器也被断电。SRAM 和寄存器内容丢失。只有备份的寄存器和待机电路维持供电。

当一个外部复位 (NRST 引脚)、IWDG 复位或 WKUP 引脚上的上升沿, 微控制器从待机模式退出。

可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒, EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

2.2.12 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输; DMA 控

制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设： UART、I²C、SPI、通用/基本/高级控制定时器 TIMx 和 ADC。

2.2.13 定时器和看门狗

中等容量的 MM32SPIN220B 产品包含 1 个高级控制定时器、5 个通用定时器，以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 2. 定时器功能比较

定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	有
通用	TIM2	32 位	递增、递减、递增/递减	1 和 $2^{32}-1$ 之间的任意整数	有	4	无
	TIM3	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	无
	TIM14	16 位	递增	1 和 65536 之间的任意整数	无	1	无
	TIM16, TIM17	16 位	递增	1 和 65536 之间的任意整数	有	1	有

高级控制定时器（TIM1）

高级控制定时器（TIM1）具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器（TIM2/3/14/16/17）

MM32SPIN220B 产品中，内置了多达 5 个可同步运行的通用定时器。每个定时器都 PWM 输出，或作为简单时间基准。

TIM2/3

MM32SPIN220B 器件具有两个可同步的 4 通道通用定时器。TIM2 基于一个 32 位自动重载递增/递减计数器和一个 16 位预分频。TIM3 基于一个 16 位自动重载递增/递减计数器和一个 16 位预分频。它们都具有 4 个独立通道，用于输入捕获/输出比较、PWM、单脉冲模式输出。在最大的封装中，可提供多达 12 个输入捕捉/输出比较/PWM。

TIM2 和 TIM3 通用定时器可通过定时器链接功能与 TIM1 高级控制定时器协同工作，提供同步或事件链接功能。

TIM2 和 TIM3 都可生成独立的 DMA 请求。

这些定时器能够处理正交（增量）编码器信号，也能处理 1 到 3 个霍尔效应传感器的数字输出。

在调试模式下，其计数器可被冻结。

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。

TIM14 具有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。

在调试模式下，其计数器可被冻结。

TIM16/17

两种定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。

它们每个都有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。

TIM16 和 TIM17 有互补输出，带死区生成和独立 DMA 请求生成功能。

在调试模式下，其计数器可被冻结。

独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 通用异步收发器（UART）

UART 接口具有硬件的 CTS 和 RTS 信号管理。

所有 UART 接口都可以使用 DMA 操作。

2.2.15 I²C 总线

1 个 I²C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I²C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。

2.2.16 通用输入输出接口（GPIO）

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共享。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。在 AHB 上的 I/O 脚可达 18MHz 的翻转速度。

2.2.17 ADC（模拟/数字转换器）

MM32SPIN220B 产品内嵌 1 个 12 位的模拟/数字转换器（ADC），每个 ADC 可用多达 10 个外部通道，可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器（TIMx）和高级控制定时器（TIM1）产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 AD 转换与时钟同步。

2.2.18 串行单线 SWD 调试口（SW-DP）

内嵌 ARM 的两线串行调试端口（SW-DP）

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

2.2.19 比较器（COMP）

MM32SPIN220B 内嵌两个通用比较器 COMP1 和 COMP2，可独立使用（适用所有终端上的 I/O 口），也可与定时器结合使用。它们可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号

比较器为通用的可编程电压比较器，可独立使用，适用所有终端上的 I/O 口。支持两个独立的比较器。

- 轨对轨比较器
- 每个比较器有可选门限
 - 可复用的 I/O 引脚
 - 内部参考电压和三个等分电压值(1/4, 1/2, 3/4)
- 可编程迟滞电压
- 可编程的速率和功耗
- 输出端可以复位向到一个 I/O 端口或多个定时器输入端，可以触发以下事件：
 - 捕获事件
 - OCref_clr 事件（逐周期电流控制）
 - 为实现快速 PWM 关断的刹车事件

- 两个比较器可以组合在一个窗口比较器中使用。

每个比较器都可产生中断，并支持把 CPU 从睡眠和停止模式唤醒（通过 EXTI 控制器）。

图 1. MM32SPIN220B 内部 MCU 模块框图

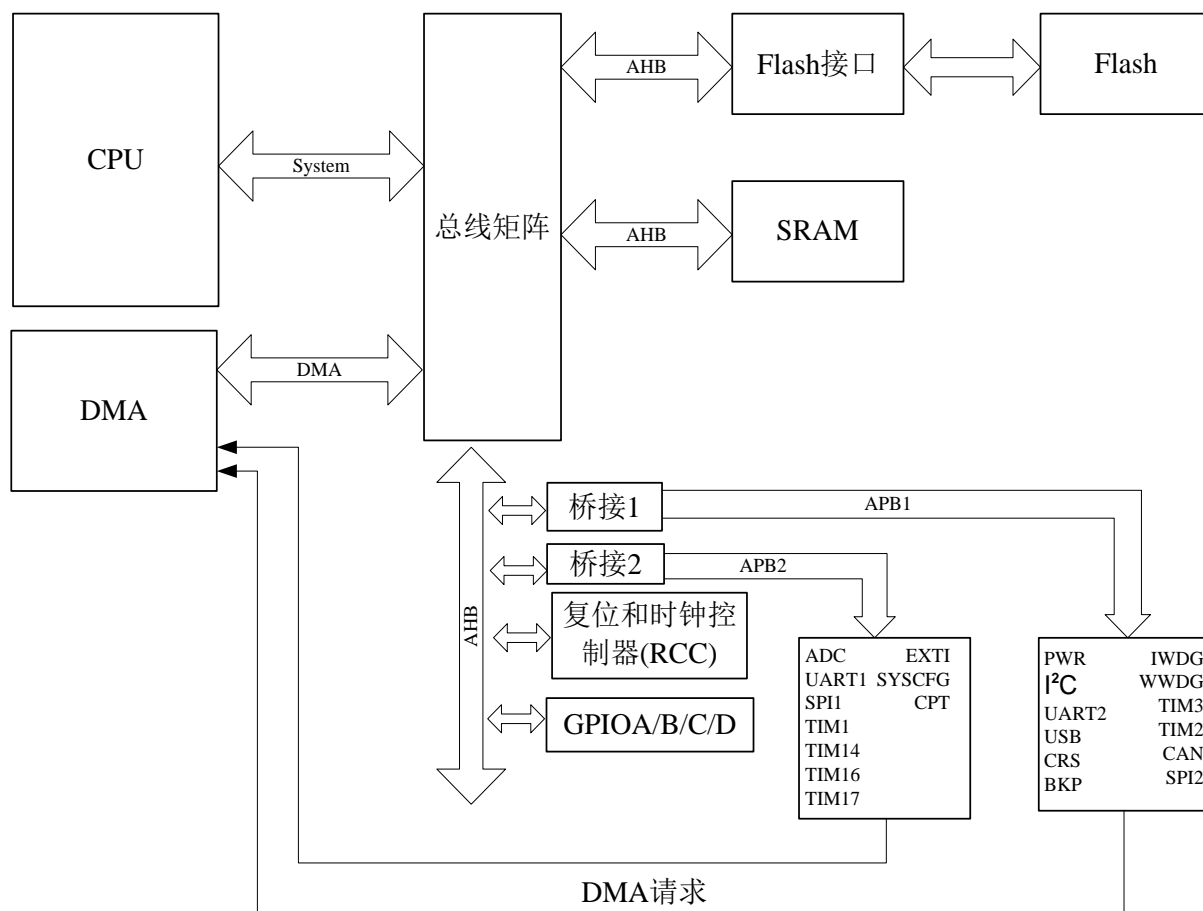
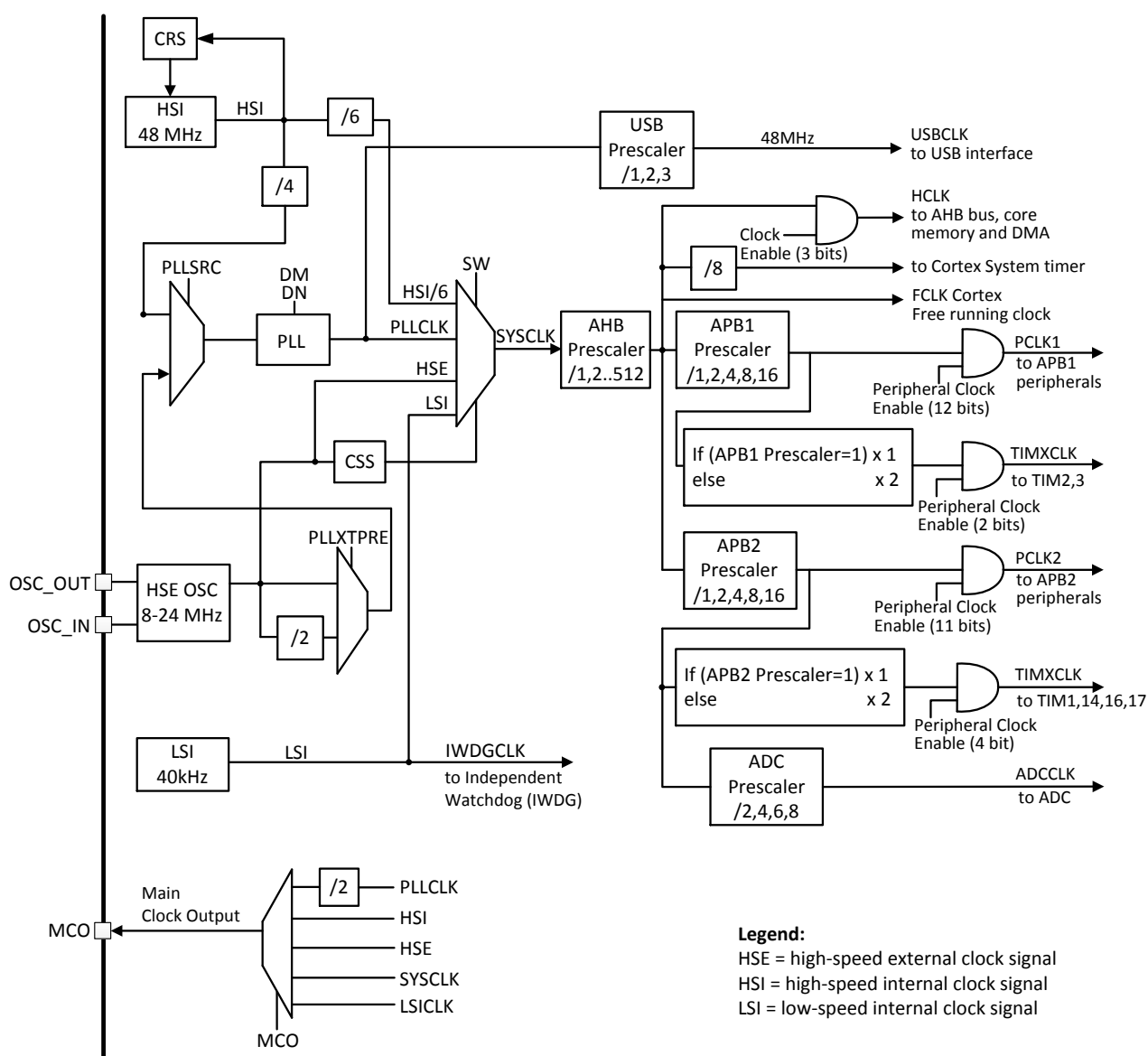


图 2. 时钟树


3. 引脚定义

图 3. MM32SPIN220B QFN32 引脚分布

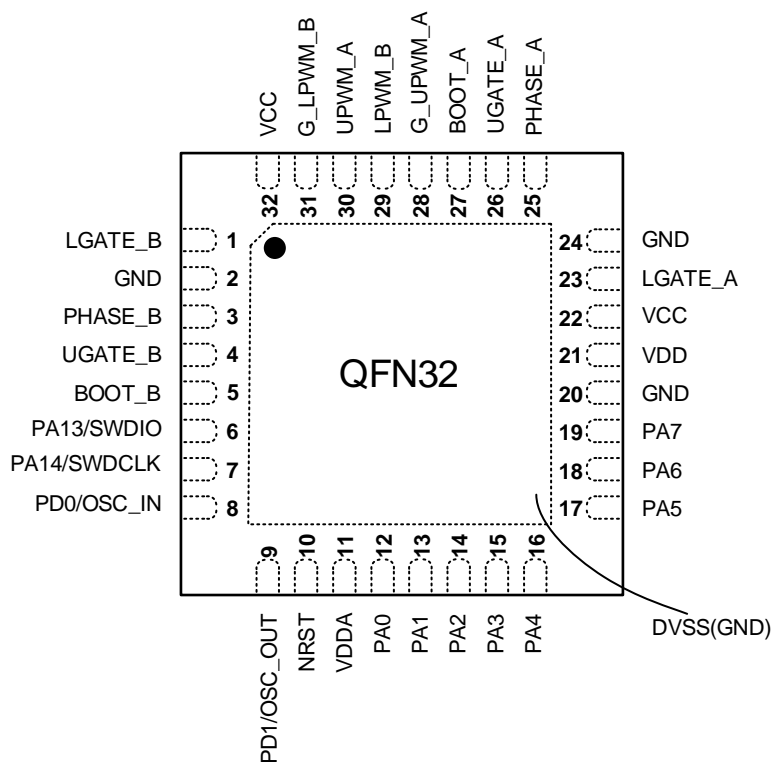


表 3. MM32SPIN220B 引脚定义

引脚编码	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
QFN32						
1	LGATE_B			LGATE_B		
2	GND	S		GND		
3	PHASE_B			PHASE_B		
4	UGATE_B			UGATE_B		
5	BOOT_B			BOOT_B		
6	PA13	I/O	FT	PA13	SWDIO	
7	PA14	I/O	FT	PA14	SWCLK/UART2_TX	
8	PD0- OSC_IN	I		OSC_IN	I ² C_SDA	OSC_IN
9	PD1- OSC_OUT	O		OSC_OUT	I ² C_SCL	OSC_OUT
10	NRST	I		NRST		
0	V _{SSA}	S		V _{SSA}		
11	V _{DDA}	S		V _{DDA}		
12	PA0-WKUP	I/O		PA0	TIM2_CH1_ETR/ UART2_CTS/ADC_IN0	WKUP/ COMP1_OUT
13	PA1	I/O		PA1	TIM2_CH2/UART2_RTS/ ADC_IN1	
14	PA2	I/O		PA2	TIM2_CH3/ UART2_TX/ ADC_IN2	COMP2_OUT
15	PA3	I/O		PA3	TIM2_CH4/ UART2_RX/ ADC_IN3	
16	PA4	I/O		PA4	TIM14_CH1/ ADC_IN4	
17	PA5	I/O		PA5	TIM2_CH1_ETR/ ADC_IN5	
18	PA6	I/O		PA6	TIM3_CH1/ TIM16_CH1/TIM1_BKIN/ ADC_IN6	COMP1_OUT
19	PA7	I/O		PA7	TIM1_CH1N/ TIM3_CH2/ TIM14_CH1/TIM17_CH1/ ADC_IN7	COMP2_OUT
20	GND	S		GND		
21	VDD	S		VDD		
22	VCC	S		VCC		
23	LGATE_A			LGATE_A		
24	GND	S		GND		

引脚编码	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
QFN32						
25	PHASE_A			PHASE_A		
26	UGATE_A			UGATE_A		
27	BOOT_A			BOOT_A		
28	G_UPWM_A			G_UPWM_A		
29	LPWM_B			LPWM_B		
30	UPWM_A			UPWM_A		
31	G_LPWM_B			G_LPWM_B		
32	VCC	S		VCC		
0	DVSS(GND)	S		DVSS(GND)		

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻
2. FT: 容忍 5V

表 4. PA 端口功能复用

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0		UART2_CTS	TIM2_CH1_ETR					COMP1_OUT
PA1		UART2_RTS	TIM2_CH2					
PA2		UART2_TX	TIM2_CH3					COMP2_OUT
PA3		UART2_RX	TIM2_CH4					
PA4	SPI1_NSS		-		TIM14_CH1			
PA5	SPI1_SCK	-	TIM2_CH1_ETR					
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN			TIM16_CH1		COMP1_OUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N		TIM14_CH1	TIM17_CH1		COMP2_OUT
PA13	SWDIO							
PA14	SWDCLK	UART2_TX						

表 5. PD 端口功能复用

引脚名	AF0	AF1	AF2	AF3	AF4	AF5
PD0		I ² C_SDA				
PD1		I ² C_SCL				

The schematic diagram illustrates the internal circuitry of the QFN32 module. Key components and connections include:

- Power Section:** A power MOSFET is driven by a gate driver. The gate driver is powered by V_{cc} and V_{DD} (5V). The MOSFET's source is connected to GND, and its drain is connected to the load. The gate is connected to the gate driver output.
- Bootstrap Section:** A bootstrap capacitor is connected between the gate and the source. The bootstrap diode is connected to the source and the bootstrap capacitor. The bootstrap capacitor is also connected to the gate driver output.
- Current Sense:** A current sense resistor (I_{sum}) is connected between the MOSFET's drain and the load.
- Control Section:** The module has several control pins: CLK , DIO , $PD0/OSC_IN$, $PD1/OSC_OUT$, $NRST$, $VDDA$, $PA0$, $PA1$, $PA2$, $PA3$, and $PA4$.
- Power Section:** The module is powered by V_{cc} and V_{DD} (5V). The V_{cc} pin is connected to the gate driver and the bootstrap diode. The V_{DD} pin is connected to the gate driver.
- Grounding:** The module has multiple ground connections: GND , $DVSS(GND)$, and $LGATE_A$.

表 6. GateDriver 引脚说明

引脚号	引脚名称	引脚功能
1	LGATE_B	栅极驱动器下桥臂输出B。将此引脚连接到低端MOSFET的栅极。该引脚由射出保护电路进行监控，用来确定何时MOSFET关闭。
2	GND	IC的地线。
3	PHASE_B	功率切换电路输出相节点B。将此引脚连接到MOSFET上方的源极和MOSFET下桥臂的漏极。该引脚用作UGATE驱动程序的返回路径。该引脚还受到射出保护电路的监控，用来确定上部MOSFET何时关闭。
4	UGATE_B	栅极驱动器上桥臂输出B。将此引脚连接到上端MOSFET的栅极。该引脚通过射出保护电路进行监控，用来确定上部MOSFET何时关闭。
5	BOOT_B	栅极驱动器自举电源输出B。用来提升上桥臂驱动器的电压。将引导电容器C _{BOOT} 连接在BOOT引脚和PHASE引脚之间用来从自举电路中引出。自举电容器为打开上部MOSFET提供电荷。电路设计尽量确保C _{BOOT} 置在IC附近。
20	GND	IC的地线。
21	VDD	IC内部的MCU电源。该引脚为IC提供偏置电压。此引脚可3.3~5V电压源连接，旁路使用R / C滤波器。
22	VCC	IC内部的栅极驱动器电源。该引脚为IC提供偏置电压。此引脚可5~13V电压源连接，旁路使用R / C滤波器。
23	LGATE_A	栅极驱动器下桥臂输出A。将此引脚连接到低端MOSFET的栅极。该引脚由射出保护电路进行监控，用来确定何时MOSFET关闭。
24	GND	IC的地线。
25	PHASE_A	功率切换电路输出相节点A。将此引脚连接到MOSFET上方的源极和MOSFET下方的漏极。该引脚用作UGATE驱动程序的返回路径。该引脚还受到直通保护电路的监控，用来确定上部MOSFET何时关闭。
26	UGATE_A	栅极驱动器上桥臂输出A。将此引脚连接到上端MOSFET的栅极。该引脚通过射出保护电路进行监控，用来确定上部MOSFET何时关闭。
27	BOOT_A	栅极驱动器自举电源输出A。用来提升上桥臂驱动器的电压。将引导电容器C _{BOOT} 连接在BOOT引脚和PHASE引脚之间用来从自举电路中引出。自举电容器为打开上部MOSFET提供电荷。电路设计尽量确保C _{BOOT} 置在IC附近。
28	G_UPWM_A	IC内部栅极驱动器上桥臂信号输入节点A。此引脚透过外部走线与UPWM_A连接。
29	LPWM_B	IC内部MCU下桥臂信号输出节点B。此引脚透过外部走线与G_UPWM_A连接。
30	UPWM_A	IC内部MCU上桥臂信号输出节点A。此引脚透过外部走线与UPWM_A连接。
31	G_LPWM_B	IC内部栅极驱动器上桥臂信号输入节点B。此引脚透过外部走线方式与LPWM_B连接。
32	VCC	IC内部的栅极驱动器电源。该引脚为IC提供偏置电压。此引脚可5~13V电压源连接，旁路使用R / C滤波器。

4. 存储器映像

表 7. 存储器映像

总线	编址范围	大小	外设	备注
AHB	0x4800 1000 – 0x5FFF FFFF	~ 384 MB	Reserved	
	0x4800 0C00 – 0x4800 0FFF	1 KB	GPIOB	
	0x4800 0800 – 0x4800 0BFF	1 KB	Reserved	
	0x4800 0400 – 0x4800 07FF	1 KB	GPIOB	
	0x4800 0000 – 0x4800 03FF	1 KB	GPIOA	
	0x4002 6400 – 0x47FF FFFF	~ 128 MB	Reserved	
	0x4002 6000 – 0x4002 63FF	1 KB	Reserved	
	0x4002 2400 – 0x4002 5FFF	15 KB	Reserved	
	0x4002 2000 – 0x4002 23FF	1 KB	Flash 接口	
	0x4002 1400 – 0x4002 1FFF	3 KB	Reserved	
	0x4002 1000 – 0x4002 13FF	1 KB	RCC	
	0x4002 0400 – 0x4002 0FFF	3 KB	Reserved	
	0x4002 0000 – 0x4002 03FF	1 KB	DMA	
APB2	0x4001 4C00 – 0x4001 7FFF	13 KB	Reserved	
	0x4001 4800 – 0x4001 4BFF	1 KB	TIM17	
	0x4001 4400 – 0x4001 47FF	1 KB	TIM16	
	0x4001 4000 – 0x4001 43FF	1 KB	TIM14	
	0x4001 3C00 – 0x4001 3FFF	1 KB	CPT	
	0x4001 3800 – 0x4001 3BFF	1 KB	UART1	
	0x4001 3400 – 0x4001 37FF	1 KB	DBGMCU	
	0x4001 3000 – 0x4001 33FF	1 KB	Reserved	
	0x4001 2C00 – 0x4001 2FFF	1 KB	TIM1	
	0x4001 2800 – 0x4001 2BFF	1 KB	Reserved	
	0x4001 2400 – 0x4001 27FF	1 KB	ADC	
	0x4001 0800 – 0x4001 23FF	7 KB	Reserved	
	0x4001 0400 – 0x4001 07FF	1 KB	EXTI	
	0x4001 0000 – 0x4001 03FF	1 KB	SYSCFG	
APB1	0x4000 7400 – 0x4000 FFFF	35 KB	Reserved	
	0x4000 7000 – 0x4000 73FF	1 KB	PWR	
	0x4000 6C00 – 0x4000 6FFF	1 KB	Reserved	
	0x4000 6800 – 0x4000 6BFF	1 KB	Reserved	
	0x4000 6400 – 0x4000 67FF	1 KB	Reserved	
	0x4000 6000 – 0x4000 63FF	1 KB	Reserved	
	0x4000 5C00 – 0x4000 5FFF	1 KB	Reserved	
	0x4000 5800 – 0x4000 5BFF	1 KB	Reserved	
	0x4000 5400 – 0x4000 57FF	1 KB	I ² C	

总线	编址范围	大小	外设	备注
	0x4000 4800 – 0x4000 4BFF	3 KB	Reserved	
	0x4000 4400 – 0x4000 47FF	1 KB	Reserved	
	0x4000 4000 – 0x4000 43FF	1 KB	Reserved	
	0x4000 3800 – 0x4000 3BFF	1 KB	Reserved	
	0x4000 3400 – 0x4000 37FF	1 KB	Reserved	
	0x4000 3000 – 0x4000 33FF	1 KB	IWDG	
	0x4000 2C00 – 0x4000 2FFF	1 KB	WWDG	
	0x4000 2800 – 0x4000 2BFF	1 KB	BKP	
	0x4000 0800 – 0x4000 0BFF	8 KB	Reserved	
	0x4000 0400 – 0x4000 07FF	1 KB	TIM3	
	0x4000 0000 – 0x4000 03FF	1 KB	TIM2	
SRAM	0x2000 2000 – 0x2FFF FFFF	~ 512 MB	Reserved	
	0x2000 0000 – 0x2000 1FFF	8 KB	SRAM	
Flash	0x1FFF F810 – 0x1FFF FFFF	~2 KB	Reserved	
	0x1FFF F800 – 0x1FFF F80F	16 B	Option bytes	
	0x1FFF F400 – 0x1FFF F7FF	1 KB	Sysmem memory	
	0x1FFE 1C00 – 0x1FFF F3FF	~ 256 MB	Reserved	
	0x1FFE 1000 – 0x1FFE 1BFF	3 KB	Security space	
	0x1FFE 0200 – 0x1FFE 0FFF	3 KB	Reserved	
	0x1FFE 0000 – 0x1FFE 01FF	0.5 KB	Protect bytes	
	0x0802 0000 – 0x1FFD FFFF	~ 256 MB	Reserved	
	0x0800 0000 – 0x0800 FFFF	64 KB	Main Flash memory	
	0x0002 0000 – 0x07FF FFFF	~ 128 MB	Reserved	
	0x0000 0000 – 0x0000 FFFF	64 KB	主闪存存储器,系统存储器或是 SRAM, 有赖于 BOOT 的配置	

5. 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

5.1.1 最小和最大数值

除非特别说明，最小和最大数值是在环境温度 $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{V}$ 下执行的测试。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A = 25^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

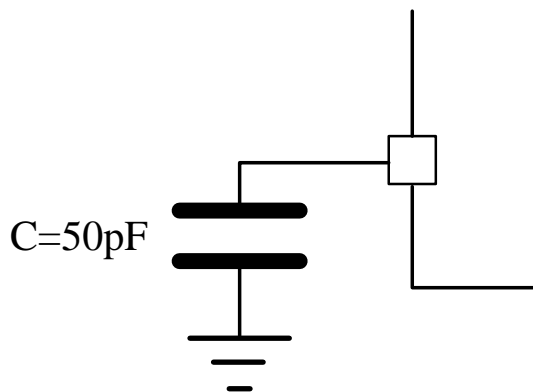
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于下图。

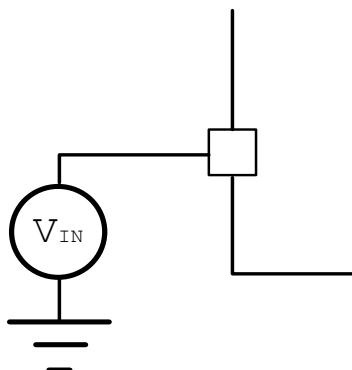
图 4. 引脚的负载条件



5.1.5 引脚输入电压

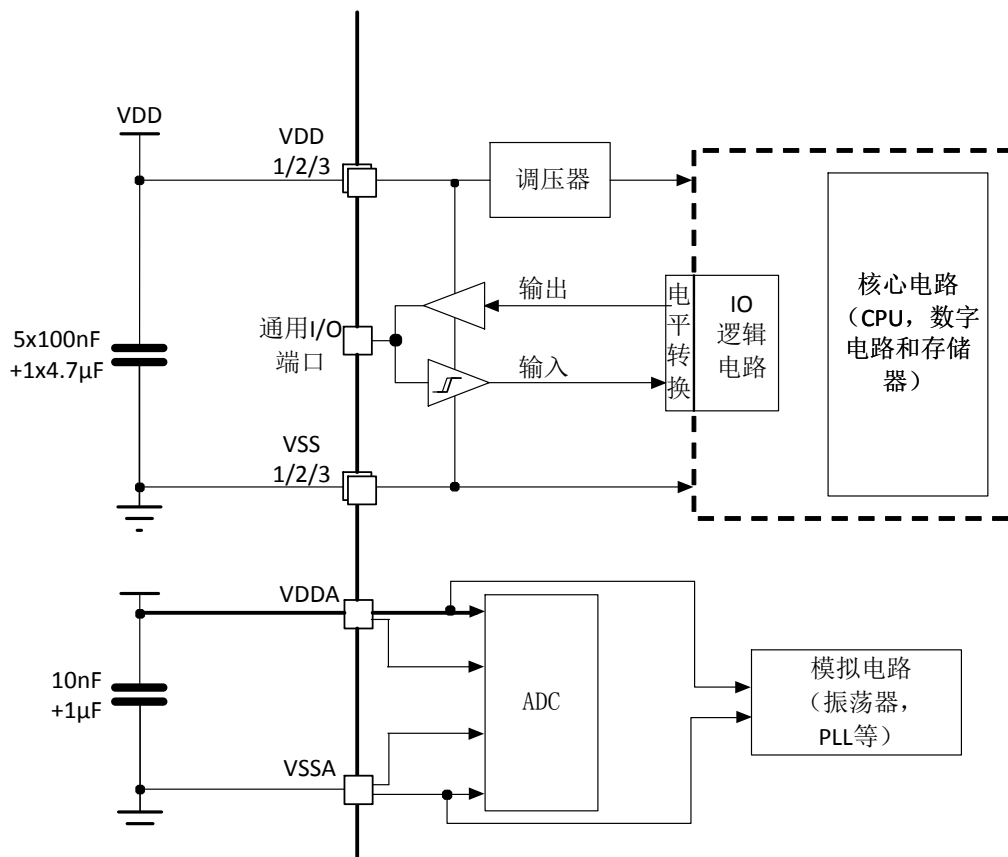
引脚上输入电压的测量方式示于下图。

图 5. 引脚输入电压



5.1.6 供电方案

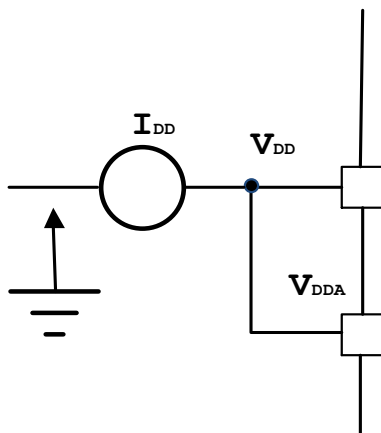
图 6. 供电方案



注：上图中的 4.7μF 电容必须连接到 V_{DD3}

5.1.7 电流消耗测量

图7. 电流消耗测量方案



5.2 绝对最大额定值

加在器件上的载荷如果超过‘绝对组最大额定值’列表（表 8、表 9、表 10）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 8. 电压特性

符号	描述	最小值	最大值	单位
VCC-VSS	外部主供电电压（包含 V _{DDA} 和 V _{DD} ） ⁽¹⁾	- 0.3	23	V
LDO5V	LDO5V 输出电压	0	5.5	V
U/V/W	U/V/W	-1	23	V
V _{DD} -V _{SS}	外部主供电电压（包含 V _{DDA} 和 V _{DD} ） ⁽¹⁾	- 0.3	5.5	V
V _{IN}	在 5V 容忍的引脚上的输入电压 ⁽²⁾	V _{SS} - 0.3	5.5	
	在其它引脚上的输入电压 ⁽²⁾	V _{SS} - 0.3	5.5	
ΔV _{DDx}	不同供电引脚之间的电压差		50	mV
V _{SSx} - V _{SS}	不同接地引脚之间的电压差		50	
V _{ESD(HBM)}	ESD 静电放电电压（人体模型）	参见 5.3.11		

1. 所有的电源（V_{DD}, V_{DDA}）和地（V_{SS}, V_{SSA}）引脚必须始终连接到外部允许范围内的供电系统上。

2. I_{INJ(PIN)}绝对不可以超过它的极限（见表 9），即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 I_{INJ(PIN)}不超过其最大值。当 V_{IN} > V_{INmax} 时，有一个正向注入电流；当 V_{IN} < V_{SS} 时，有一个反向注入电流。

表 9. 电流特性

符号	描述	最大值	单位
I _{VDD}	经过V _{DD} /V _{DDA} 电源线的总电流（供应电流） ⁽¹⁾	150	mA
I _{VSS}	经过V _{SS} 地线的总电流（流出电流） ⁽¹⁾	150	
I _{IO}	任意I/O和控制引脚上的输出灌电流	20	
	任意I/O和控制引脚上的输出电流	-18	
I _{INJ(PIN)} ⁽²⁾⁽³⁾	NRST引脚的注入电流	± 5	
	HSE的OSC_IN引脚的注入电流	± 5	

	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}^{(2)}$	所有I/O和控制引脚上的总注入电流 ⁽⁴⁾	± 25	

1. 所有的电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参看第 5.3.17 节。
4. 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表 10. 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	- 45 ~ +150	$^{\circ}\text{C}$
T_J	最大结温度	150	$^{\circ}\text{C}$

5.3 工作条件

5.3.1 通用工作条件

表 11. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率		0	48	MHz
f_{PCLK}	内部APB时钟频率		0	48	
V_{CC-VSS}	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	3	15	V	
$LDO5V$	LDO5V 输出电压	0	5	V	
$U/V/W$	U/V/W	-1	15	V	
V_{DD}	标准工作电压		2.0	5.5	V
$V_{DDA}^{(1)}$	模拟部分工作电压	必须与 V_{DD} 相同	2.5	5.5	V
P_D	功率耗散 温度: $T_A = 85^{\circ}\text{C}$	QFN32	-	-	mW
T_A	环境温度: $T_A = 85^{\circ}\text{C}$	最大功率耗散	- 25	85	$^{\circ}\text{C}$
		低功率耗散 ⁽³⁾	- 25	105	
	环境温度: $T_A = 105^{\circ}\text{C}$	最大功率耗散	- 25	85	$^{\circ}\text{C}$
		低功率耗散 ⁽³⁾	- 25	105	

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电, 在上电和正常操作期间, V_{DD} 和 V_{DDA} 之间最多允许有 300mV 的差别。
2. 如果 T_A 较低, 只要 T_J 不超过 T_{Jmax} (参见第 1 节), 则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下, 只要 T_J 不超过 T_{Jmax} (参见第 1 节), T_A 可以扩展到这个范围。

5.3.2 Gatedriver 工作条件

表 12. Gatedriver 工作条件

参数	符号	测试条件	最小值	典型值	最大值	单位
提供输入						
电源电流	I _{CC}	UI = LI = 0V, V _{CC} = 12V	--	0.8	1.2	mA
VCC POR上升阈值	V _{CCRTH}	提高V _{CC}	6	7	8	V
VCC迟滞阈值	V _{CCHYS}		--	0.3	--	V
UI/LI PWM输入						
输入高电平	PWM _H		2	--	--	V
输入低电平	PWM _L		--	--	0.3	V
输入下拉电阻	RI		--	200	--	kΩ
自举开关						
导通电阻	R _{DS(ON)}	正向偏置电流 = 10mA	--	40	--	Ω
上桥臂驱动						
输出电阻, 来源	R _{U_SRC}	V _{BOOT} - V _{PHASE} = 12V, I _{LGATE} = 100mA	--	4.5	9	Ω
输出电阻, 下沉	R _{U_SNK}	V _{BOOT} - V _{PHASE} = 12V, I _{LGATE} = - 100mA	--	2.8	5.6	Ω
输出上升时间	T _{RUG}	V _{BOOT} - V _{PHASE} = 12V, C _L = 1nF	--	15	30	ns
输出下降时间	T _{FUG}	V _{BOOT} - V _{PHASE} = 12V, C _L = 1nF	--	15	30	ns
死区时间	T _{PDHUG}	V _{BOOT} - V _{PHASE} = 12V	--	30	55	ns
UI / UG下降延迟	T _{UIFUGF}	V _{BOOT} - V _{PHASE} = 12V	--	20	35	ns
UI / UG上升延迟	T _{UIRUGR}	V _{BOOT} - V _{PHASE} = 12V	--	20	35	ns
下桥臂驱动						
输出电阻, 来源	R _{L_SRC}	V _{BOOT} - V _{PHASE} = 12V, I _{LGATE} = 100mA	--	4.5	9	Ω
输出电阻, 下沉	R _{L_SNK}	V _{BOOT} - V _{PHASE} = 12V, I _{LGATE} = - 100mA	--	2.8	5.6	Ω
输出上升时间	T _{RLG}	V _{CC} = 12V, C _L = 1nF	--	15	30	ns
输出下降时间	T _{FLG}	V _{CC} = 12V, C _L = 1nF	--	15	30	ns
死区时间	T _{PDHLG}	V _{CC} = 12V	--	30	55	ns
LI / LG下降延迟	T _{LI FLGF}	V _{CC} = 12V	--	20	35	ns
LI / LG上升延迟	T _{LI RLGR}	V _{CC} = 12V	--	20	35	ns

5.3.3 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 13. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率	T _A = 27°C	100	∞	μS/V
	V _{DD} 下降速率		100	∞	

5.3.4 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 11 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 14. 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[3: 0]=0000 (上升沿)	1.813	1.819	1.831	V
		PLS[3: 0]=0000 (下降沿)		1.705		V
		PLS[3: 0]=0001 (上升沿)	2.112	2.116	2.124	V
		PLS[3: 0]=0001 (下降沿)		2.0		V
		PLS[3: 0]=0010 (上升沿)	2.411	2.414	2.421	V
		PLS[3: 0]=0010 (下降沿)		2.297		V
		PLS[3: 0]=0011 (上升沿)	2.711	2.714	2.719	V
		PLS[3: 0]=0011 (下降沿)		2.597		V
		PLS[3: 0]=0100 (上升沿)	3.011	3.013	3.018	V
		PLS[3: 0]=0100 (下降沿)		2.895		V
		PLS[3: 0]=0101 (上升沿)	3.311	3.313	3.317	V
		PLS[3: 0]=0101 (下降沿)		3.194		V
		PLS[3: 0]=0110 (上升沿)	3.611	3.613	3.616	V
		PLS[3: 0]=0110 (下降沿)		3.494		V
		PLS[3: 0]=0111 (上升沿)	3.91	3.913	3.916	V
		PLS[3: 0]=0111 (下降沿)		3.793		V
		PLS[3: 0]=1000 (上升沿)	4.21	4.212	4.215	V
		PLS[3: 0]=1000 (下降沿)		4.092		V
		PLS[3: 0]=1001 (上升沿)	4.51	4.512	4.515	V
		PLS[3: 0]=1001 (下降沿)		4.391		V
		PLS[3: 0]=1010 (上升沿)	4.809	4.811	4.813	V
		PLS[3: 0]=1010 (下降沿)		4.69		V
$V_{PVDhyst}^{(2)}$	PVD 迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿	1.623	1.656	1.675	V
		上升沿		1.747		V
$V_{PDRhyst}^{(2)}$	PDR 迟滞			90.9		mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间			TBD		mS

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 9。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期）。
- 指令预取功能开启（提示：这个参数必须在设置时钟和总线分频之前设置）。当开启外设时：
 $f_{PCLK1} = f_{HCLK}/2$ ， $f_{PCLK2} = f_{HCLK}$ 。

表 15. 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	最大值	单位
			$T_A = 25^{\circ}\text{C}$	
I_{DD}	停机模式下的供应电流	复位后进入停机模式	190	μA
	待机模式下的供应电流	复位后进入待机模式	0.5	

1. 典型值是在 $T_A = 25^{\circ}\text{C}$ 下测试得到。
2. 由综合评估得出，不在生产中测试。

典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期）。
- 环境温度和 V_{DD} 供电电压条件列于表 11。
- 指令预取功能开启（提示：这个参数必须在设置时钟和总线分频之前设置）。当开启外设时：
 $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$ 。

表 16. 运行模式下的典型电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾	48MHz	13.47	7.55	mA
			36MHz	11.83	6.67	
			24MHz	8.62	5.15	
			8MHz	3.44	2.48	
		运行于高速内部振荡器（HSI），使用AHB预分频以减低频率	48MHz	7.63	4.28	
			36MHz	5.98	3.48	
			24MHz	4.55	2.88	
			8MHz	1.40	0.85	

1. 典型值是在 $T_A = 25^{\circ}\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 时测试得到。

2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

表 17. 睡眠模式下的典型电流消耗，数据处理代码从内部 Flash 或 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	睡眠模式下的供应电流	外部时钟 ⁽³⁾	48MHz	10.88	4.85	mA
			36MHz	9.45	4.22	
			24MHz	7.06	3.55	
			8MHz	2.79	1.81	
		运行于高速内部振荡器（HSI），使用AHB预分频以减低频率	48MHz	5.89	2.49	
			36MHz	4.68	2.12	
			24MHz	3.45	1.74	
			8MHz	1.03	0.48	

1. 典型值是在 $T_A = 25^{\circ}\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 时测试得到。

2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

内置外设电流消耗

内置外设的电流消耗列于表 17，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 11。

表 18. 内置外设的电流消耗⁽¹⁾

内置外设		25°C时的典型功耗	单位	内置外设		25°C时的典型功耗	单位
APB1	TIM2	0.49	mA	APB2	ADC	0.53	mA
	TIM3	0.50					
	I ² C	0.49			UART1	0.52	
APB2	TIM14	0.52		AHB	GPIOA	0.53	
	TIM16	0.52			GPIOB	0.53	
	TIM17	0.52			GPIOC	0.53	
	TIM1	0.49			GPIOD	0.53	

1. $f_{HCLK} = 48\text{MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, 每个外设的预分频系数为默认值。

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

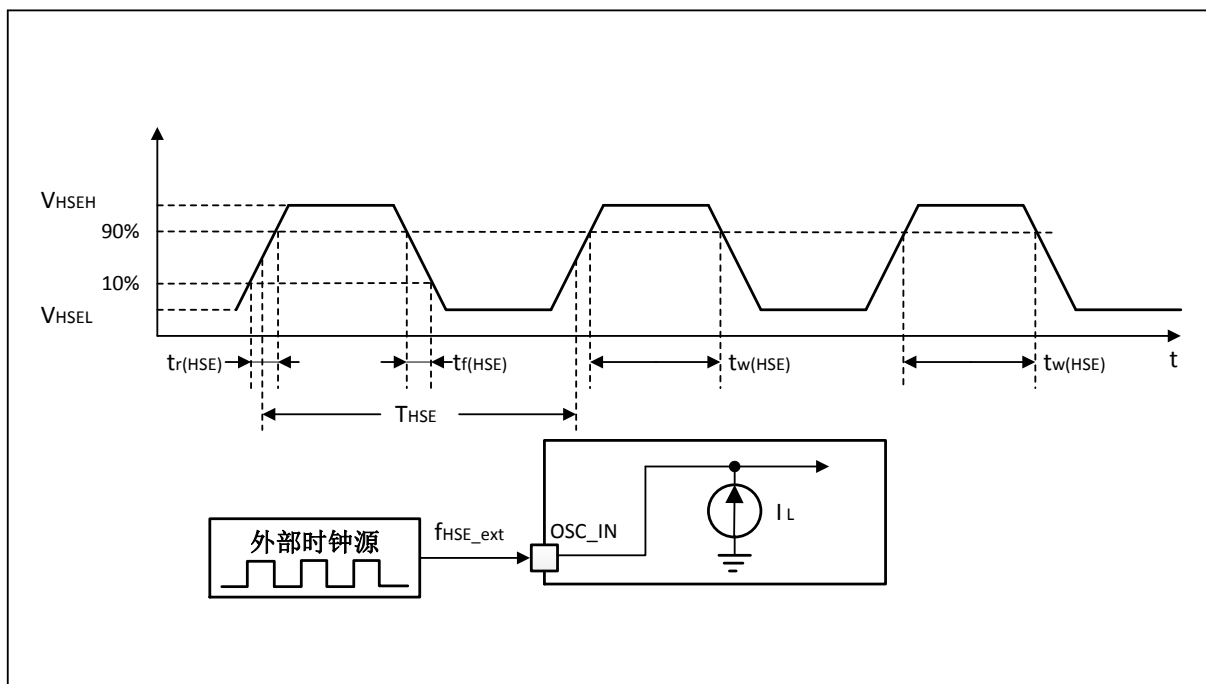
下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表 11 的条件。

表 19. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾	-	1	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(HSE)}$	OSC_IN 高或低的时间 ⁽¹⁾		16	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 上升或下降的时间 ⁽¹⁾		-	-	20	
$C_{in(HSE)}$	OSC_IN 输入容抗 ⁽¹⁾	-	-	5	-	pF
$DuCy(HSE)$	占空比	-	45	-	55	%
I_L	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	uA

1. 由设计保证，不在生产中测试。

图 8. 外部高速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 8 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 20. HSE 8 ~ 24MHz 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		8	12	24	MHz
R_F	反馈电阻			1000		k Ω
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体串行阻抗 (R_S) ⁽⁴⁾	$R_S = 30\Omega$		30		pF
I_2	HSE 驱动电流	$V_{DD} = 3.3V$, $V_{IN} = V_{SS}$ 30pF 负载			1	mA
g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}^{(5)}$	启动时间	V_{DD} 是稳定的		2		mS

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。

2. 由综合评估得出，不在生产中测试。

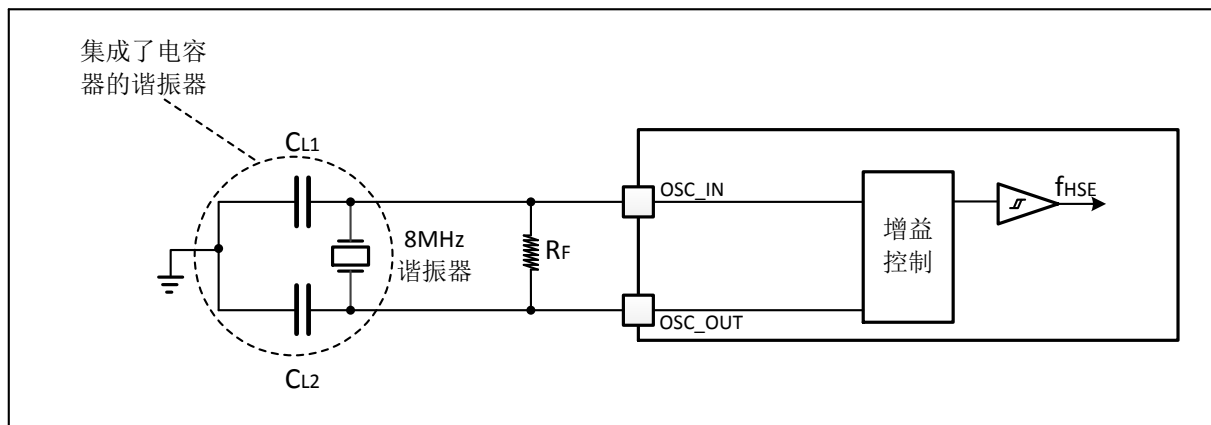
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的（典型值为）5pF ~ 25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 10pF 估计）。

4. 相对较低的 R_F 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参

数考虑进去。

5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 9. 使用 8MHz 晶体的典型应用



5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 11 的条件测量得到。

高速内部（HSI）振荡器

表 21. HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率		39.94	48.26	64.14	MHz
ACC_{HSI}	HSI 振荡器的精度	$T_A = -40^{\circ}C \sim 105^{\circ}C$	-10		9	%
		$T_A = -10^{\circ}C \sim 85^{\circ}C$				
		$T_A = 0^{\circ}C \sim 70^{\circ}C$				
		$T_A = 25^{\circ}C$	-1		1	
$t_{SU(HSI)}$	HSI 振荡器启动时间				2	μS
$I_{DD(HSI)}$	HSI 振荡器功耗			80.53	122	μA

1. $V_{DD} = 3.3V$, $T_A = -40^{\circ}C \sim 105^{\circ}C$ ，除非特别说明。

2. 由设计保证，不在生产中测试。

低速内部（LSI）振荡器

表 22. LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率		31.3	50.58	74.83	KHz
$t_{SU(LSI)}^{(2)}$	LSI 振荡器启动时间				1	μS
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗			1.082	1.652	μA

1. $V_{DD} = 3.3V$, $T_A = -40^{\circ}C \sim 105^{\circ}C$ ，除非特别说明。

2. 由综合评估得出，不在生产中测试。

3. 由设计保证，不在生产中测试。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在一个 8MHz 的 HSI 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 11 的条件测量得到。

表 23. 低功耗模式的唤醒时间

符号	参数	条件	最大值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	使用 HSI 振荡器时钟唤醒	4	μS
$t_{WUSTOP}^{(1)}$	从停机模式唤醒（调压器处于运行模式）	HSI 振荡器时钟唤醒 = $2\mu S$	8	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	HSI 振荡器时钟唤醒 = $2\mu S$ 调压器从关闭模式唤醒时间 = $38\mu S$	20000	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.8 PLL 特性

下表列出的参数是使用环境温度和供电电压符合表 11 的条件测量得到。

表 24. PLL 特性⁽¹⁾

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	8		24	MHz
	PLL 输入时钟占空比	40		60	%
f_{PLL_OUT}	PLL 倍频输出时钟	40		100	MHz
t_{LOCK}	PLL 锁相时间			100	μS

1. 由设计保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

5.3.9 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 $T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 得到。

表 25. 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	8位的编程时间	$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	4	-	-	μS
t_{ERASE}	页（512K字节）擦除时间	$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	4		5	mS
t_{ME}	整片擦除时间	$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	20		40	mS
I_{DD}	供电电流	读模式, $f_{\text{HCLK}} = 48\text{MHz}$		5	6	mA
		写模式, $f_{\text{HCLK}} = 48\text{MHz}$			7	mA
		擦除模式, $f_{\text{HCLK}} = 48\text{MHz}$			2	mA
I_{SB}	Standby电流			1@25 $^{\circ}\text{C}$	50@125 $^{\circ}\text{C}$	μA
I_{DEP}	Deep Standby电流			0.5@25 $^{\circ}\text{C}$	15@125 $^{\circ}\text{C}$	μA
V_{prog}	编程电压			3.3		V

1. 由设计保证，不在生产中测试。

表 26. 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	寿命（译注：擦写次数）	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ （尾缀为6） $T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ （尾缀为7）	10			千次
t_{RET}	数据保存期限	$T_A = 85^{\circ}\text{C}$ 时, 1000 次擦写 ⁽²⁾ 之后	30			年
		$T_A = 105^{\circ}\text{C}$, 1000 次擦写 ⁽²⁾ 之后	10			
		$T_A = 55^{\circ}\text{C}$, 1 万次擦写 ⁽²⁾ 之后	20			

1. 由综合评估得出，不在生产中测试。

2. 循环测试均是在整个温度范围下进行。

5.3.10 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电（ESD）（正放电和负放电）施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC1000-4-2 标准。
- FTB：在 V_{DD} 和 V_{SS} 上通过一个 100pF 的电容器施加一个瞬变电压的脉冲群（正向和反向）直到产生功能性错误。这个测试符合 IEC1000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于应用笔记中定义的 EMS 级别和类型进行的测试。

表 27. EMS 特性

符号	参数	条件	级别/类型
V_{EFT}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	$V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, $f_{HCLK} = 48MHz$ 。符合 IEC1000-4-4	

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等.....）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

5.3.11 绝对最大值（电气敏感性）

基于三个不同的测试（ESD，LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电（ESD）

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x (n+1) 供电引脚）。这个测试符合 JESD22-A114/C101 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78A 集成电路栓锁标准。

表 28. ESD 特性

符号	参数	条件	类型	最大值	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	$TA = +25^{\circ}C$, 符合JESD22-A114		2000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	$TA = +25^{\circ}C$, 符合JESD22-C101		500	
I_{LU}	静态栓锁类(Latch-up current)	$TA = +25^{\circ}C$, 符合JESD78A		200	mA

0. 由综合评估得出，不在生产中测试。

5.3.12 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 11 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 29. I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL 端口			0.8	V
V_{IH}	输入高电平电压		2			
V_{IL}	输入低电平电压	CMOS 端口	- 0.5		1.1	V
V_{IH}	输入高电平电压		2.08			
V_{hys}	I/O 脚施密特触发器电压迟滞 ⁽¹⁾		500	700	800	mV
I_{lkg}	输入漏电流 ⁽²⁾				1	μA
R_{PU}	弱上拉等效电阻 ⁽³⁾	$V_{IN} = V_{SS}$	30	50	100	k Ω
R_{PD}	弱下拉等效电阻 ⁽³⁾	$V_{IN} = V_{DD}$	30	50	100	
C_{IO}	I/O 引脚的电容			5		pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。

2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMOS/NMOS 开关的电阻很小（约占 10%）。

所有 I/O 端口都是 CMOS 和 TTL 兼容（不需软件配置），它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数：

- 对于 V_{IH} :
 - 如果 V_{DD} 是介于[2.50V ~ 3.08V]；使用 CMOS 特性但包含 TTL。
 - 如果 V_{DD} 是介于[3.08V ~ 3.60V]；使用 TTL 特性但包含 CMOS。
- 对于 V_{IL} :
 - 使用 CMOS 特性但包含 TTL。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{mA}$ 电流, 并且吸收 $+20\text{mA}$ 电流(不严格的 V_{OL})。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值:

- 所有 I/O 端口从 V_{DD} 上获取的电流总和, 加上 MCU 在 V_{DD} 上获取的最大运行电流, 不能超过绝对最大额定值 I_{VDD} (参见表 9)。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电流, 不能超过绝对最大额定值 I_{VSS} (参见表 9)。

输出电压

除非特别说明, 下表出的参数是使用环境温度和 V_{DD} 供电电压符合表 11 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 30. 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平, 当 8 个引脚同时吸收电流	TTL 端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.4	V
$V_{OH}^{(2)}$	输出高电平, 当 8 个引脚同时输出电流		$0.8V_{DD}$		
$V_{OL}^{(1)}$	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.4	
$V_{OH}^{(2)}$	输出高电平, 当 8 个引脚同时输出电流		$0.8V_{DD}$		
$V_{OL}^{(1)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +20\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.4	
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流		$0.8V_{DD}$		
$V_{OL}^{(2)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +6\text{mA}$ $2\text{V} < V_{DD} < 2.7\text{V}$		TBD	
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流		TBD		

1. 芯片吸收的电流 I_{IO} 必须始终遵循错误!未找到引用源。9 中给出的绝对最大额定值, 同时 I_{IO} 的总和(所有 I/O 脚和控制脚) 不能超过 I_{VSS} 。

2. 芯片输出的电流 I_{IO} 必须始终遵循错误!未找到引用源。9 中给出的绝对最大额定值, 同时 I_{IO} 的总和(所有 I/O 脚和控制脚) 不能超过 I_{VDD} 。

3. 由综合评估得出, 不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 13 和表 30 给出。

除非特别说明, 下表列出的参数是使用环境温度和供电电压符合表 11 的条件测量得到。

表 31. 输入输出交流特性⁽¹⁾

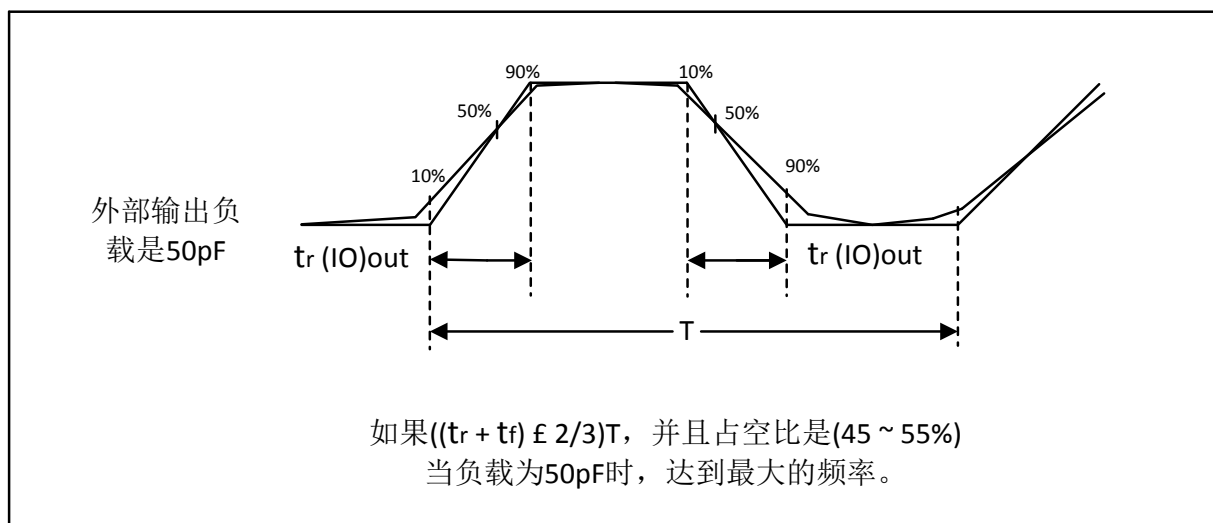
MODEx [1: 0]的配置	符号	参数	条件	最小值	最大值	单位
01 (50MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 30\text{pF}$, $V_{DD} = 2.7\text{V} \sim 3.6\text{V}$		50	MHz
			$C_L = 50\text{pF}$, $V_{DD} = 2.7\text{V} \sim 3.6\text{V}$		30	
			$C_L = 50\text{pF}$, $V_{DD} = 2\text{V} \sim 2.7\text{V}$		20	
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 30\text{pF}$, $V_{DD} = 2.7\text{V} \sim 3.6\text{V}$		5	nS
			$C_L = 50\text{pF}$, $V_{DD} = 2.7\text{V} \sim 3.6\text{V}$		8	
			$C_L = 50\text{pF}$, $V_{DD} = 2\text{V} \sim 2.7\text{V}$		12	
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间	$C_L = 30\text{pF}$, $V_{DD} = 2.7\text{V} \sim 3.6\text{V}$		5	
			$C_L = 50\text{pF}$, $V_{DD} = 2.7\text{V} \sim 3.6\text{V}$		8	
			$C_L = 50\text{pF}$, $V_{DD} = 2\text{V} \sim 2.7\text{V}$		12	
10 (20MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V} \sim 3.6\text{V}$		20	MHz
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V} \sim 3.6\text{V}$		20 ⁽³⁾	nS
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间			20 ⁽³⁾	
11 (10MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V} \sim 3.6\text{V}$		10	MHz
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V} \sim 3.6\text{V}$		25 ⁽³⁾	nS
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间			25 ⁽³⁾	
	$t_{\text{EXTI}pw}$	EXTI控制器检测到外部信号的脉冲宽度		10		nS

1. I/O 端口的速度可以通过 MODEx[1: 0]配置。参见 MM32SPIN220B 参考手册中有关 GPIO 端口配置寄存器的说明。

2. 最大频率在图 13 中定义。

3. 由设计保证，不在生产中测试。

图 10. 输入输出交流特性定义



5.3.13 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺, 它连接了一个不能断开的上拉电阻, R_{PU} (参见表 31)。

除非特别说明, 下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 11 的条件测量得到。

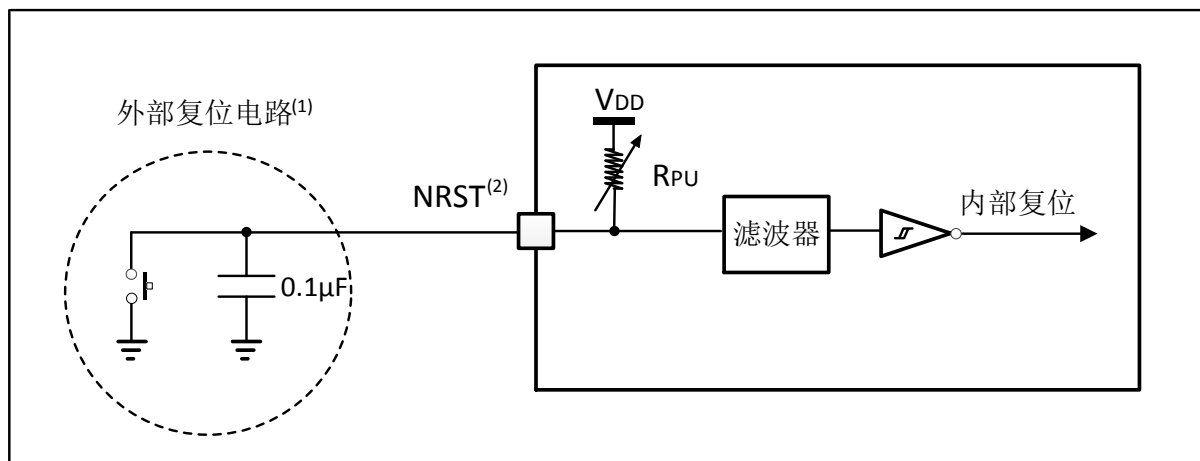
表 32. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压		-0.5		0.8	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压		2		V_{DD}	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞			$0.2V_{DD}$		mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$		15		kΩ
$V_F(NRST)^{(1)}$	NRST输入滤波脉冲				100	nS
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲		300			

1. 由设计保证, 不在生产中测试。

2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小 (约占 10%)。

图 11. 建议的 NRST 引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 31 中列出的最大 $V_{IL}(NRST)$ 以下，否则 MCU 不能得到复位。

5.3.14 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见第 5.3.11 节。

表 33. TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res}(TIM)$	定时器分辨时间		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	10.4		nS
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48MHz$	0	24	
Res_{TIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	0.0104	682	μS
t_{MAX_COUNT}	最大可能的计数			65536 x 65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$		44.7	S

0. TIMx 是一个通用的名称，代表 TIM1,2,3,14,16,17。

5.3.15 通信接口

I²C 接口特性

除非特别说明，表 33 列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 11 的条件测量得到。

MM32SPIN220B 的 I²C 接口符合标准 I²C 通信协议，但有如下限制：SDA 和 SCL 不是‘真’的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

I²C 接口特性列于表 33，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见第 5.3.11 节。

表 34. I²C 接口特性

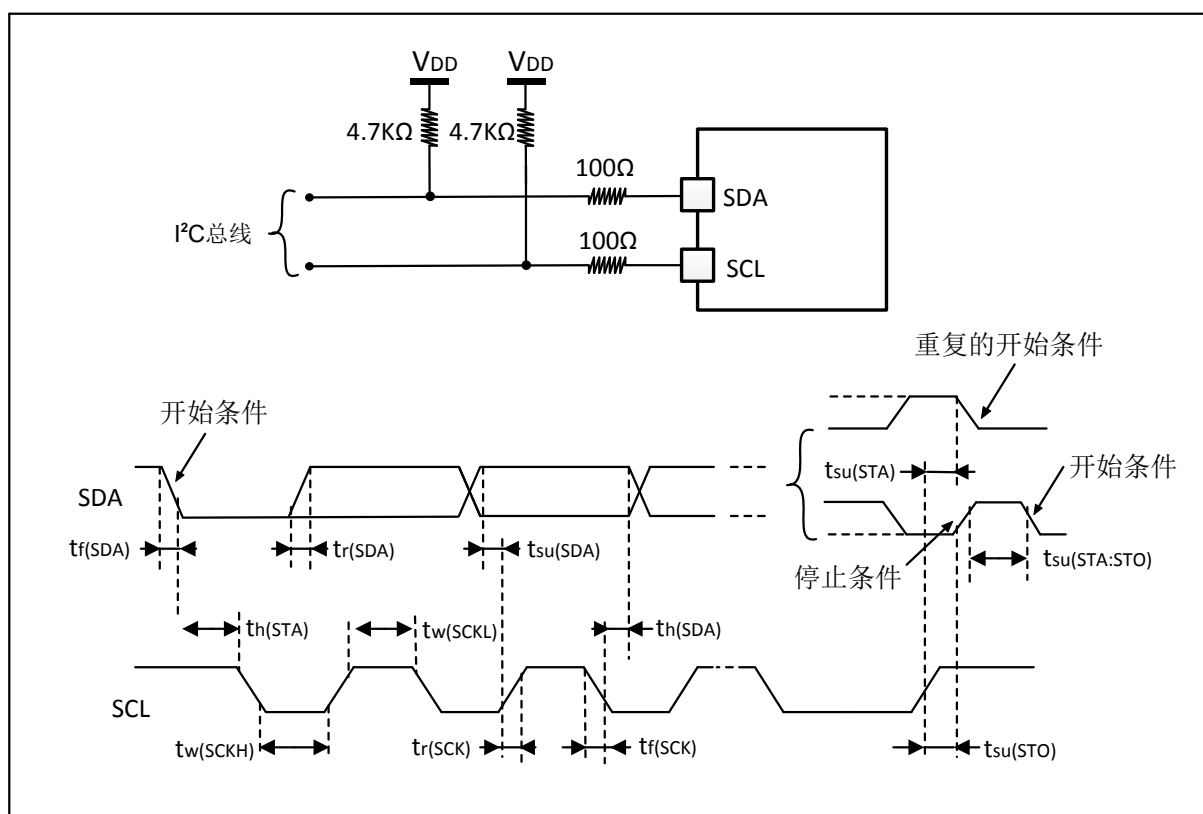
符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
t _w (SCLL)	SCL 时钟低时间	4.7		1.3		μS
t _w (SCLH)	SCL 时钟高时间	4.0		0.6		
t _{su} (SDA)	SDA 建立时间	250		100		nS
t _h (SDA)	SDA 数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
t _r (SDA) t _r (SCL)	SDA 和 SCL 上升时间		1000	2.0+0.1C _b	300	
t _f (SDA) t _f (SCL)	SDA 和 SCL 下降时间		300		300	
t _h (STA)	开始条件保持时间	4.0		0.6		μS
t _{su} (STA)	重复的开始条件建立时间	4.7		0.6		
t _{su} (STO)	停止条件建立时间	4.0		0.6		
t _w (STO:STA)	停止条件至开始条件的 时间 (总线空闲)	4.7		1.3		
C _b	每条总线的容性负载		400		400	pF

1. 由设计保证，不在生产中测试。

2. 为达到标准模式 I²C 的最大频率，f_{PCLK1} 必须大于 2MHz。为达到快速模式 I²C 的最大频率，f_{PCLK1} 必须大于 4MHz。

3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。

4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300nS 的保持时间。

图 12. I²C 总线交流波形和测量电路⁽¹⁾


1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.3.16 12 位 ADC 特性

除非特别说明，下表的参数是使用符合表 11 的条件的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

注：建议在每次上电时执行一次校准。

表 35. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压		2.5	5	5.5	V
V _{REF+}	正参考电压		2.5		V _{DDA}	V
f _{ADC}	ADC时钟频率				15	MHz
f _S ⁽²⁾	采样速率				1	MHz
f _{TRIG} ⁽²⁾	外部触发频率	f _{ADC} = 15MHz				kHz
						1/f _{ADC}
V _{AIN} ⁽²⁾	转换电压范围		0 (V _{SSA} 或 V _{REF-} 连接到地)		V _{REF+}	V
R _{AIN} ⁽²⁾	外部输入阻抗		参见公式1和表39			kΩ
R _{ADC} ⁽²⁾	采样开关电阻				1	kΩ
C _{ADC} ⁽²⁾	内部采样和保持电容			10		pF
t _S ⁽²⁾	采样时间	f _{ADC} = 15MHz	0.1		16	μS
			1.5		239.5	1/f _{ADC}

$t_{STAB}^{(2)}$	上电时间			1		μS
$t_{CONV}^{(2)}$	总的转换时间（包括 采样时间）	$f_{ADC} = 15MHz$	1		16.9	μS
			15 ~ 253（采样 t_s +逐步逼近13.5）			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中， V_{REF+} 在内部连接到 V_{DDA} ， V_{REF-} 在内部连接到 V_{SSA} 。
4. 对于外部触发，必须在时延中加上一个延迟 $1/f_{PCLK2}$ 。

公式 1: 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式（公式 1）用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 $N = 12$ （表示 12 位分辨率）。

表 36. $F_{ADC} = 15\text{MHz}^{(1)}$ 时的最大 R_{AIN}

T_S (周期)	t_s (μS)	最大 R_{AIN} ($\text{k}\Omega$)
1.5	0.1	1.2
7.5	0.5	10
13.5	0.9	19
28.5	1.9	41
41.5	2.76	60
55.5	3.7	80
71.5	4.77	104
239.5	16.0	350

0. 由设计保证，不在生产中测试。

表37. ADC精度-局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK2} = 48\text{MHz}$, $f_{ADC} = 15\text{MHz}$, $R_{AIN} < 10\text{ k}\Omega$, $V_{DDA} = 3\text{V} \sim 3.6\text{V}$, $T_A = 25^\circ\text{C}$	± 11	± 12	LSB
EO	偏移误差		± 8	± 9	
EG	增益误差		± 7.5	± 9	
ED	微分线性误差		± 3	± 3	
EL	积分线性误差		± 11	± 11	

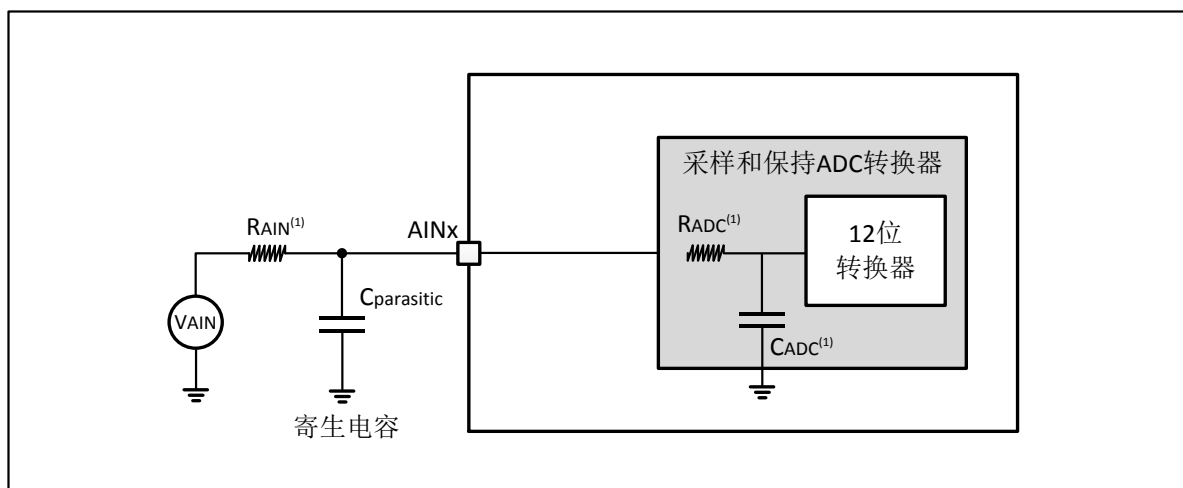
1. ADC 的直流精度数值是在经过内部校准后测量的。

2. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

如果正向的注入电流，只要处于第 5.3.12 节中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。

3.由综合评估保证，不在生产中测试。

图13. 使用ADC典型的连接图

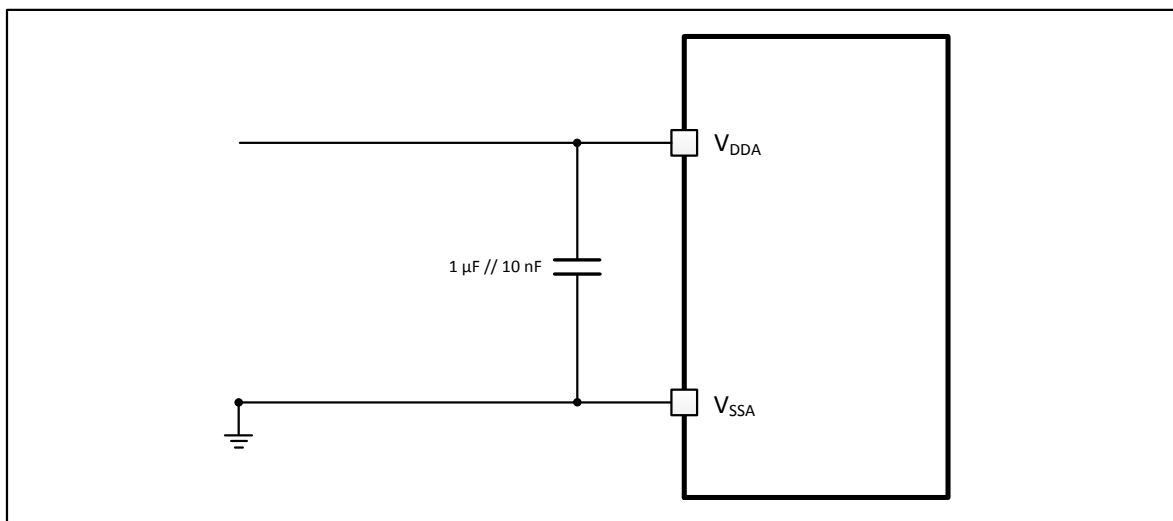


1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 35。
2. $C_{parasitic}$ 表示 PCB（与焊接和 PCB 布局质量相关）与焊盘上的寄生电容（大约 7pF）。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB设计建议

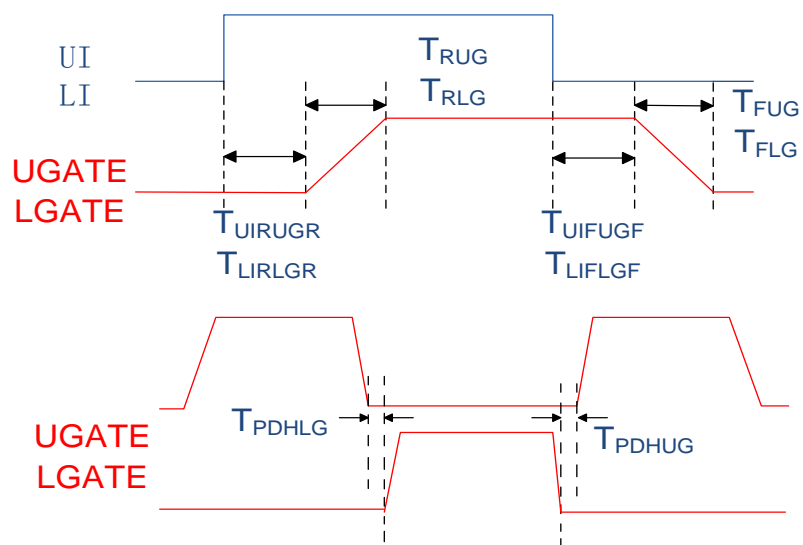
电源的去耦必须按照下图连接。图中的10nF电容必须是瓷介电容(好的质量)，它们应该尽可能地靠近MCU芯片。

图14. 供电电源和参考电源去藕线路



5.3.17 GateDriver 特性

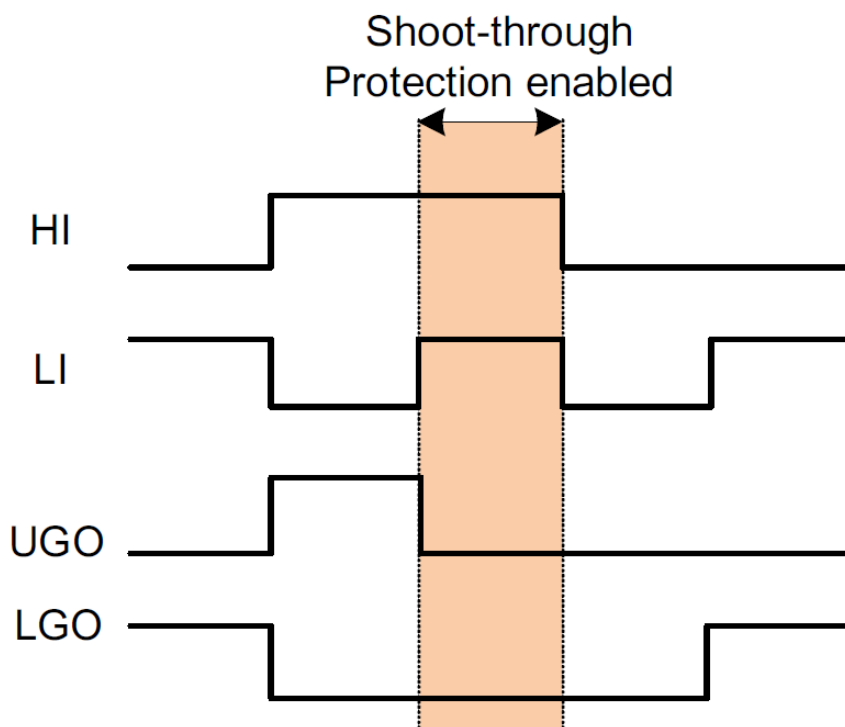
图 15 上电时序状态图



射出保护（Shoot-Through Protection）

GateDriver 装有射出保护电路（Shoot-Through Protection Circuitry）。下图显示当 HI 和 LI 被同时打开时，输出保护会同时切断高 high-side 和低 low-side 开关。这是为了防止高 high-side 和低 low-side 的输出在同一时间打开。

图 16 射出保护（Shoot-Through Protection）时序图



下表标示 PWM 输入/输出状态。

表 38 PWM 输入输出状态表

PWM State			
HI	LI	UGATE	LGATE
On	Off	On	Off
Off	On	Off	On
On	On	Off	Off
Off	Off	Off	Off

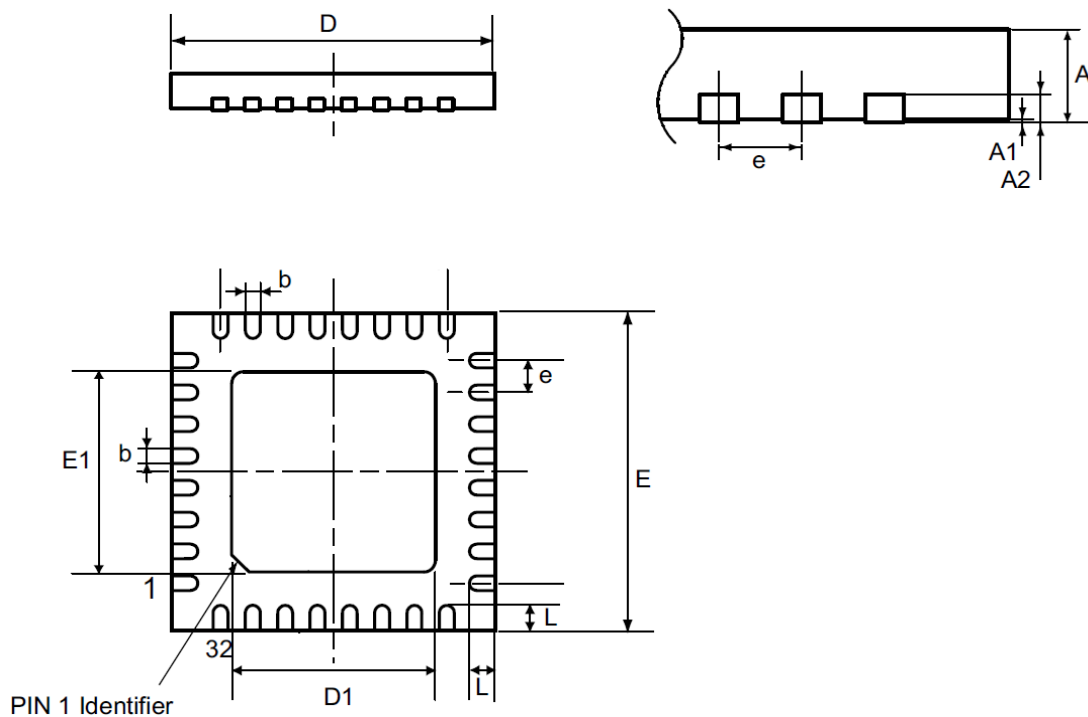
欠电压保护

如果电压 $VCC < 2.5V$ 时，会触发欠电压保护。当欠电压保护功能激活时，GateDriver 关闭 LDO5V 和驱动输出。

6. 封装特性

6.1 封装 QFN32

图 17. QFN32，方形扁平无引线封装外形



1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 39 QFN32尺寸参数

标号	毫米		
	最小值	典型值	最大值
A	0.7	0.75	0.80
A1	0.00	0.035	0.05
b	0.20	0.25	0.30
D	4.90	5.00	5.10
D1		3.50	
D2	3.40	3.50	3.60
E	4.90	5.00	5.10
E1		3.50	
E2	3.40	3.50	3.60
e		0.5	
L	0.30	0.40	0.50
N	引脚数目 = 32		

7. 型号命名

	MM32	SPIN	2	22	C	N	T	x						
Device family	MM32 = ARM-based 32-bit microcontroller													
Product type														
SPIN = Moto														
Sub-family														
2 =														
User code memory size														
22 =														
Function Family														
C =														
Package														
N= QFN														
Pin count														
T = 32 Pins														
Options														
TR= tape and reel packing blank= tray packing														

8. 修改记录

表 40 修改记录表

版本	内容	日期
Ver0.1	Draft version	2017/12/06