

# 欢迎第一次加入的伙伴(开会时请从下一页开始展示)

- 开放编辑, 直接点击 request for edit 然后在东亚时区群里at吴伟
- 如果没有找到自己的内容分类, 可以添加1-2页在最开始或中间
- 欢迎在开始的前5分钟进行自我介绍
- 日常八卦在东亚时区RISC-V双周同步微信群中, 欢迎加入
- 东亚时区Slides会公开到  
: <https://github.com/cnrv/RISCV-East-Asia-Biweekly-Sync/tree/main/biweekly-meetings>仓库, 并且默认了CC协议

# 东亚时区RISC-V双周会

2025年12月25日·第 117 次

<https://github.com/cnrv/RISCV-East-Asia-Biweekly-Sync>

Host: 张松松

Organizer: PLCT Lab [plct-oss@iscas.ac.cn](mailto:plct-oss@iscas.ac.cn)

# 会议议程(15:00 - 16:00)

- 自我介绍、等待参会者接入、非技术话题八卦(没有的话就直接跳过)
- RVI 的更新和八卦(基本上跟东亚双周会群内消息同步)
- 东亚地区小伙伴的项目更新
- 自由讨论

# RISC-V International 同步、全球开源社区八卦(陈逸轩)

[tech-p-ext]讨论了 P 扩展 vxsat 位的实现

[sig-documentation]分享了可视化扩展的[网站](#)

[sig-fp]讨论了如何Bfloat16和FP8

[tech-vme]向量矩阵扩展工作组批准 Greg Favor 担任主席

# RISC-V 中文社区的同步与八卦(张宇溪)

- [高通收购RISC-V CPU公司Ventana！](#)
- [全球首款！量产上车RISC-V芯片！“紫荆M100”发布](#)
- [Andes晶心发布D23-SE：支持DCLS与Split-Lock的RISC-V处理器，满足ASIL-B/D汽车功能安全应用需求](#)
- [进迭时空 upstream 系列 - RVV 库优化 | 取之于开源，贡献于开源](#)
- [软件所提出基于相似度引导的RISC-V处理器模糊测试方法](#)
- [活动预告 | RISC-VxAI生态大会暨Architstudio用户大会嘉宾企业已就位！](#)
- [2026 上海见！| “开放·连接” 玄铁 RISC-V 生态大会报名通道正式开启！](#)

# RISC-V 韩语社区的同步与八卦

请此页编辑者删除水印

# RISC-V 德语社区的同步与八卦

- [newelectronics: Quintauris and Vector to integrate MICROSAR Classic on automotive RISC-V platform](#)

Quintauris 与 Vector 宣布合作, 计划将 Vector 广泛采用的 MICROSAR Classic(AUTOSAR Classic)软件栈 集成至 Quintauris 的 RT-EUROPA 汽车实时平台。该平台基于 RISC-V 架构, 专为汽车应用设计, 整合了编译器、实时操作系统、工具链、微架构 IP 及验证框架等。

- [RISC-V automotive platform targets real-time control with RT-Europa](#)

Quintauris 推出的 RT-Europa 是一个旨在推动 RISC-V 进入汽车主流市场的标准化实时平台, 通过提供系统级参考、性能验证工具和生态合作, 帮助车企加速下一代 ECU 的开发与集成。

- 为欧洲 OEM 和 Tier1 供应商提供评估 RISC-V 替代方案的基准。
- 与 Bosch、Infineon、NXP、Qualcomm、STMicroelectronics 等企业合作。
- 汽车 RISC-V 生态在操作系统、编译器、调试工具等方面的对齐。
- 2026 年 1 月 向客户和合作伙伴开放, 1月7日(周三)至1月10日, 拉斯维加斯 CES 2026 展示 RT-Europa 参考架构和早期版本。

- [Germany's CISPA Helmholtz Center for Information Security posted the initial Linux kernel patches today for enabling Spectre V1 for RISC-V](#)

漏洞: 较新的高性能 RISC-V CPU(如 阿里巴巴的玄铁 C910 和 SiFive 的 P550)被发现存在 Spectre V1 漏洞。

原因: 这些核心采用了更深的流水线和复杂的推测执行设计, 使其与 x86\_64 和 Arm64 架构一样, 面临通过条件分支进行边界检查绕过、进而泄露内核内存的侧信道攻击风险。

来自 德国 CISPA 研究所 的研究人员提交了补丁, 主要包含两项关键缓解措施:

- 用户指针掩码: 在内核访问用户空间指针前, 清除其最高位(类似 Arm64 的 uaccess\_mask\_ptr()), 确保即使在推测执行时, 用户控制的指针也无法访问内核内存。
- 系统调用号净化: 在通过系统调用号索引系统调用表之前, 使用 array\_index\_nospec() 对其进行净化(与 x86 做法类似), 防止推测执行进行越界读取。

# RISC-V 德语社区的同步与八卦

- Full-Integer Spiking Neural Network Inference with RISC-V ISA Extensions for Radar-Based Gesture Recognition Infineon Technologies AG, Codasip GmbH

为了解决脉冲神经网络在边缘设备上部署时面临的浮点计算效率瓶颈，实现通过硬件感知优化和RISC-V指令集定制，实现高效的全整数SNN推理。

提出了一个针对雷达手势识别的综合性解决方案，首先硬件感知优化，通过算法和模型层面的调整，降低计算复杂度；其次全整数SNN推理，设计了一套完整的方案，完全消除了推理过程中的浮点运算；最后定制RISC-V指令集扩展，为开发专用的RISC-V SNN加速器，提出了定制化的指令集架构扩展。

与原始的浮点方案相比，实现了约32倍的整体加速。其中，硬件感知优化和全整数方案贡献了约11.5倍加速，定制的RISC-V指令集扩展进一步带来了约2.8倍加速

Ich wünsche euch allen Frohe Weihnachten und einen guten Rutsch ins neue Jahr 2026.

祝大家圣诞快乐，并顺利迈进2026年！

# RISC-V 日语社区的同步与八卦

.

请此页编辑者删除水印

# RISC-V 中国峰会进展(吴伟)

请此页编辑者删除水印

# Clang/LLVM 上游进展

- [RISCV] Mark the Xqci Qualcomm uC Vendor Extension as non-experimental  
<https://github.com/llvm/llvm-project/commit/520ba7d0>
- [RISCV] Implement conditional Zca implies C extension rule  
<https://github.com/llvm/llvm-project/commit/fc69c804d>
- Initial codegen support for big-endian RISC-V was added  
<https://github.com/llvm/llvm-project/commit/fefda86c28>
- [VPlan] Use BlockFrequencyInfo in getPredBlockCostDivisor  
<https://github.com/llvm/llvm-project/commit/e8219e5ce>
- [RISCV] Introduce new AND combine to expose additional load narrowing opportunities  
<https://github.com/llvm/llvm-project/commit/3ce0552d1>

# GCC 进展

添加了Zvzip扩展的Binutils支持

<https://patchwork.sourceware.org/project/binutils/patch/20251223025825>

新增 -mrvv-max-lmul=conv-dynamic 选项参数

<https://patchwork.sourceware.org/project/gcc/patch/DEWB0FLAEE0N>

更新了P扩展Binutils支持至018版本

<https://github.com/ruyisdk/riscv-binutils/pull/12>

# QEMU/Spike 进展(呼唤志愿者)

请此页编辑者删除水印

# Sail/ACT进展 (PLCT)

请此页编辑者删除水印

# V8 for RISC-V 更新(邱吉、陆亚涵)

1. 修复 位转换FP32->UINT64时没有正确NanBox,此外减少arm64多余的指令  
IR中ChangeUint32ToUint64(BitcastFloat32ToUint32)会将fp32零扩展到uint64不符合RISC-V spec  
7271804: [Turbofan] optimize ChangeUint32ToUint64(BitcastFloat32ToUint32) |  
<https://chromium-review.googlesource.com/c/v8/v8/+/7271804>
2. 支持Zicfiss  
7039660: [riscv64] Protect return addresses stored on stack. |  
<https://chromium-review.googlesource.com/c/v8/v8/+/7039660>

Port:

3. 7274581: [riscv] [builtins] Refactor CallApiGetter builtin |  
<https://chromium-review.googlesource.com/c/v8/v8/+/7274581>
4. 7271945: [riscv][heap] Make read-only MemoryChunk field conditionally optional |  
<https://chromium-review.googlesource.com/c/v8/v8/+/7271945>
5. 7259655: [riscv][api] Flatten v8::FunctionCallbackInfo<T> |  
<https://chromium-review.googlesource.com/c/v8/v8/+/7259655>
6. 7255074: [riscv][wasmpfx] Support return values in stack wrapper |  
<https://chromium-review.googlesource.com/c/v8/v8/+/7255074>
7. 7252469: [riscv][maglev] Materialize undefined for undefined nan on exception |  
<https://chromium-review.googlesource.com/c/v8/v8/+/7252469>

Review:

1. 优化开启Zba时多余的指令  
7255075: [riscv] Change 'zextw + add' to 'add.uw' | <https://chromium-review.googlesource.com/c/v8/v8/+/7255075>

# Spidermonkey for RISC-V更新（邱吉、陆亚涵）

# OpenJDK on RISC-V (PLCT 杨飞)

## 1. Authored/Co-authored JDK-mainline PRs:

- <https://github.com/openjdk/jdk/pull/27676> (8369296: Add fast class init checks in interpreter for resolving ConstantPool entries for static field)
- <https://github.com/openjdk/jdk/pull/27728> (8369505: jhsdb jstack --mixed cannot handle continuation stub on Linux)
- <https://github.com/openjdk/jdk/pull/27885> (8370176: Mixed mode jhsdb jstack cannot unwind call stack with -Xcomp)
- <https://github.com/openjdk/jdk/pull/27802> (8369238: Allow virtual thread preemption on some common class initialization paths)

## 2. Reviewed JDK-mainline PRs:

- <https://github.com/openjdk/jdk/pull/27557> (8368893: RISC-V: crash after JDK-8352673 on fastdebug version)
- <https://github.com/openjdk/jdk/pull/27562> (8368897: RISC-V: Cleanup RV\_EXT\_FEATURE\_FLAGS & RV\_NON\_EXT\_FEATURE\_FLAGS)
- <https://github.com/openjdk/jdk/pull/27570> (8367601: Remove held\_monitor\_count)
- <https://github.com/openjdk/jdk/pull/27757> (8369616: JavaFrameAnchor on RISC-V has unnecessary barriers and wrong store order in MacroAssembler)
- <https://github.com/openjdk/jdk/pull/27572> (8368950: RISC-V: fail to catch out of order declarations among dependent cpu extensions/flags)
- <https://github.com/openjdk/jdk/pull/27771> (8369685: RISC-V: refactor code related to RVFeatureValue::enabled)
- <https://github.com/openjdk/jdk/pull/27850> (8369947: Bytecode rewriting causes Java heap corruption on RISC-V)
- <https://github.com/openjdk/jdk/pull/27894> (8370225: RISC-V: move verify\_frame\_setup into ASSERT)
- <https://github.com/openjdk/jdk/pull/27915> (8367982: Unify ObjectSynchronizer and LightweightSynchronizer)
- <https://github.com/openjdk/jdk/pull/28005> (8370708: RISC-V: Add VerifyStackAtCalls)

## 3. Reviewed JDK-21u/25u mainline PRs:

- <https://github.com/openjdk/jdk25u/pull/252> (8368732: RISC-V: Detect support for misaligned vector access via hwprobe)
- <https://github.com/openjdk/jdk21u-dev/pull/2417> (8369947: Bytecode rewriting causes Java heap corruption on RISC-V)

## 4. OpenJDK Committer Nomination:

- <https://mail.openjdk.org/pipermail/jdk-dev/2025-December/010642.html> (New JDK Committer: Dingli Zhang)
- <https://mail.openjdk.org/pipermail/jdk-dev/2025-December/010704.html> (Result: New JDK Committer: Dingli Zhang)
- <https://mail.openjdk.org/pipermail/jdk-dev/2025-December/010643.html> (New JDK Committer: Anjian Wen)
- <https://mail.openjdk.org/pipermail/jdk-dev/2025-December/010705.html> (Result: New JDK Committer: Anjian Wen)



# Go community work update (PLCT 蒙卓)

## TL;DR Summary:

- RVV runtime optimazation reviewing
- RV Zk asm support upstreaming, runtime/crypto library TBD
- runtime/secret upstreaming
- Fixing <https://github.com/golang/go/issues/76816> for RVA22U64 builder

## 1. Authored/Co-authored Go-mainline CLs:

- 647596: runtime: unify C -> Go ABI transitions on riscv64 | <https://go-review.googlesource.com/c/go/+/647596>
- 659175: cmd/link: generate proper attributes for riscv profile | <https://go-review.googlesource.com/c/go/+/659175>
- 657036: internal/bytealg: vector implementation of count 1 byte for riscv64 | <https://go-review.googlesource.com/c/go/+/657036>
- 663778: cmd/asm, cmd/internal/obj: add zvbb/zvbc/zvkb for riscv64 | <https://go-review.googlesource.com/c/go/+/663778>
- 664155: cmd/asm, cmd/internal/obj: add crypto algorithm suites for riscv64 | <https://go-review.googlesource.com/c/go/+/664155>
- 663675: cmd/internal/obj: add crypto extension for riscv64 | <https://go-review.googlesource.com/c/go/+/663675>
- 702695: cmd/internal/obj: add zfh extensions for riscv64 | <https://go-review.googlesource.com/c/go/+/702695>
- 711075: chacha20: improve performance for riscv64 | <https://go-review.googlesource.com/c/crypto/+/711075>
- 719880: math/big: use vector for addVV on riscv64 | <https://go-review.googlesource.com/c/go/+/719880>
- 728940: runtime/secret: enable secret on riscv64 | <https://go-review.googlesource.com/c/go/+/728940>
- 728901: cmd/compile: update ABI document for riscv64 | <https://go-review.googlesource.com/c/go/+/728901>
- 732540: runtime: reduce stack size of gcWriteBarrier on riscv64 | <https://go-review.googlesource.com/c/go/+/732540>

## 2. Reviewed Go-mainline CLs:

- 652717: doc, cmd/internal/obj/riscv: document the riscv64 assembler | <https://go-review.googlesource.com/c/go/+/652717>
- 646736: internal/bytealg: vector implementation of equal for riscv64 | <https://go-review.googlesource.com/c/go/+/646736>
- 646737: internal/bytealg: vector implementation of compare for riscv64 | <https://go-review.googlesource.com/c/go/+/646737>
- 670875: riscv64: fix the path to the RISC-V extensions in spec.go | <https://go-review.googlesource.com/c/arch/+/670875>
- cmd/compile: line number debug info regression in go1.25 around literal rewriting | <https://github.com/golang/go/issues/74576>
- 348389: cmd/compile: emit classify instructions for infinity tests on riscv64 | <https://go-review.googlesource.com/c/go/+/348389>
- 670875: riscv64: fix the path to the RISC-V extensions in spec.go | <https://go-review.googlesource.com/c/arch/+/670875>
- 690495: runtime: identify virtual memory layout for riscv64 | <https://go-review.googlesource.com/c/go/+/690495>
- 703715: cmd/compile/internal/ssa: add codegen for Zicond extension on riscv64 | <https://go-review.googlesource.com/c/go/+/703715>
- 717560: cmd/compile: use FCLASSD for subnormal checks on riscv64 | <https://go-review.googlesource.com/c/go/+/717560>
- 705996: cmd/compile/internal/ssa: add codegen for Zicond extension on riscv64 | <https://go-review.googlesource.com/c/go/+/705996>
- 732180: test/codegen: codify bit related code generation for riscv64 | <https://go-review.googlesource.com/c/go/+/732180> [merged]
- 731921: cmd/asm/internal/asm: run riscv64 end-to-end tests for each profile | <https://go-review.googlesource.com/c/go/+/731921> [merged]



# RuyiSDK (何佩)

## 包管理器:

RuyiSDK 软件源的更新主要包含了以下内容:

- 新增设备支持:
  - Milk-V Megrez: 搭载使用 SiFive P550 微架构的 ESWIN EIC7700X CPU, 兼容各类 RockOS 镜像。
- 完善了设备支持:
  - OpenBSD: 更新到 7.8。
  - FreeBSD Mini Live: 更新到 15.0。
  - Milk-V Pioneer 的 RevyOS: 更新到 20251115。
  - SiFive Unmatched 的 OpenWrt: 更新到 24.10.4。
  - Sipeed Laptop 4A 的 RevyOS: 更新到 20251115。
  - Sipeed LicheePi 4A 的 RevyOS: 更新到 20251115。
  - Sipeed LicheePi Console 4A 的 RevyOS: 更新到 20251115。
  - Sipeed LicheeRV Nano 的 Buildroot SDK: 更新到 20251202。
  - Sipeed Meles 的 RevyOS: 更新到 20251115。

## IDE:

VSCode 插件:

- 添加 Release CI
- 预发布 1.0 版本

Eclipse 插件:

- 将依赖库交由 Maven 管理, 清理不需要的项目文件。
- 添加并测试“虚拟环境”模块。
- 进行发布前的测试。

# openEuler RISC-V (周嘉诚)

Status / 20251225

- openEuler 24.03 SP3:
  - RVA23: Mass-rebuilding & Testing
  - RVA20: Bug-fixing & Testing
- Updates
- RVCK 6.6:
  - Backport silencing set affinity failed warning patches from 6.12
  - OLK-6.6: Rebase to 6.6.0-128.0.0 & minor bug fixes
- ISA-L\_crypto: Upstreaming mh\_sha256 RVV asm patches
- Infra
  - Resolving issues related to AtomGit migration of openEuler
  - Adapting for RVA23 releases on openEuler pipelines

Following releases

- Late Q4 - openEuler 24.03 SP3 ([RVA23&20](#))
- Late Q1 - openEuler 26.03 ([RVA23&20](#))

Features:

- 6.6-based [common kernel](#) for QEMU, Pioneer(SG2042), LPi4A(TH1520), BPi-F3(K1)
- UEFI-supported Hardware & QEMU images

Images:

- [UEFI ISO](#)
- [UEFI qcow2 Image](#)
- U-Boot Images for devboards

# Gentoo for RISC-V 的情况更新 (Gentoo 小队)

请此页编辑者删除水印

# Arch Linux RISC-V (Felix & PRZ)

请此页编辑者删除水印

# Arch Linux RISC-V (Felix & PRZ) - Electron

- 

请此页编辑者删除水印

# Fedora on RISC-V status update (20251225)

- RPM packaging (<https://www.fedoravforce.org>)
  - Koji Status: [F43, GA on October 28, 2025](#)
    - [F43/rawhide: 17031 \[87%+\] srpm](#)
    - [RVA23\[ONGOING\]](#)
    - [F42: 22471 \[92.32%\] srpm](#)
- main package version(F43):
  - Toolchain:
    - [gcc-15.2.1-4](#)
    - [glibc-2.42-4](#)
    - [binutils-2.45.1-1](#)
  - [libffi-3.5.2-1](#)
  - [java-25-openjdk-25.0.0.0.36](#)
  - [java-latest-openjdk\(24.0.1.0.9-4\)](#)
  - [perl-5.42.0-520](#)
  - [python3.14-3.14.0-2](#)
  - [llvm-21.1.6-1](#)
  - [golang-1.25.2-1](#)
  - [rust-1.91.1-1](#)
- Desktop support Fedora 43:
  - [DONE: XFCE/Sugar/i3/Sway](#)
  - [ONGOING:LXDE/GNOME/KDE/LXQT/Cinnamon/Budgie/Mate/Deepin](#)
  - **Key Desktop App**
    - [firefox-145.0.1-1](#)
    - [libreoffice-25.8.3.2-3](#)
    - [thunderbird-145.0-1](#)
    - [chromium-137.0.7151.119-1.rv64](#)
- Image and REPOS :
  - <https://images.fedoravforce.com>
  - Images:  
<rsync://mirror.iscas.ac.cn/fedora-riscv/releases/43/Spins/>
  - REOP:  
<rsync://mirror.iscas.ac.cn/fedora-riscv/releases/43/Everything>
  -
- ROS/ROS2 upgrading to F43
- [Sail](#) for rawhide[\[UPSTREAMING\]](#)
- function testing for F43:
  - [Podman, Image:](#) [fedorariscv/base](#)
  - [Ceph](#)[\[ONGOING\]](#) , [DPDK, SPDK](#)
  - [K8s](#)[\[ONGOING\]](#)

# Debian for RISC-V(于波)

请此页编辑者删除水印

RevyOS (郑景坤)



# Sophgo Linux Upstream Status Update(汪辰 冲突不在线)

<https://github.com/sophgo/linux/wiki> [Last updated: Dec/23/2025]

Linux Upstream Status updated for Sophgo: Nov/26/2025: <https://ruyisdk.cn/t/topic/2283>

6.19-rc1 is released, following PRs are merged into master:

- CV18XX
  - Top syscon drivers.
- SG2042
  - SPI-norflash DTS part.
  - PCIe driver DTS part.
  - net: stmmac: dwmac-sophgo: Add phy interface filter.
- SG2044
  - Fix incorrect use of bus width value macros

Some new PRs raised:

- CV18XX
  - fix USB dwc2 FIFO sizes: v1. Applied to dt/riscv, will be picked in 6.20
  - allow DMA multiplexer set channel number for DMA controller: updated to v2.

# openCloudOS/openGauss SIG 进展(孙敏)



<https://gitcode.com/MengMengDeXiaoJi/riscv/tree/upgrade-7.0.0-full> openGauss 7.0.0 RC2 代码

<https://mp.weixin.qq.com/s/whZk5L5CUR2U7OA0O8DwZA> 宣发 openGauss 7.0.0 RC2 成功适配 RISC-V

openGauss Embedded H/RVV rvv 优化

# Box64 RISC-V 进展

- 

请此页编辑者删除水印

# 固件（王翔）

- OpenSBI
  - 在启动停止固件计数器前检测状态  
<https://lists.infradead.org/pipermail/opensbi/2025-December/009236.html>
  - 优化csr\_xyz, 添加register关键字阻止堆栈占用, 防止在调试模式下的堆栈溢出  
<https://lists.infradead.org/pipermail/opensbi/2025-December/009243.html>
  - p8700不支持amo指令, 通过在makefile中修改PLATFORM\_RISCV\_ISA  
<https://lists.infradead.org/pipermail/opensbi/2025-December/009268.html>
- EDK II
  - 简化ia32/x64下的UefiPayloadEntry  
<https://github.com/tianocore/edk2/pull/11932>
  - 修正BL\_CAPSULE\_CALLBACK的申明  
<https://github.com/tianocore/edk2/pull/11918>
  - 给riscv添加堆栈检测支持  
<https://github.com/tianocore/edk2/pull/11932>
- coreboot
  - rmodtool工具添加riscv支持  
<https://review.coreboot.org/c/coreboot/+/90600/1>      <https://review.coreboot.org/c/coreboot/+/90601/1>
- riscv-brs
  - 修正SBI\_070  
<https://github.com/riscv-non-isa/riscv-brs/pull/282>

# RustSBI团队进展(洛佳)

- 

请此页编辑者删除水印

# RustSBI团队进展(洛佳)

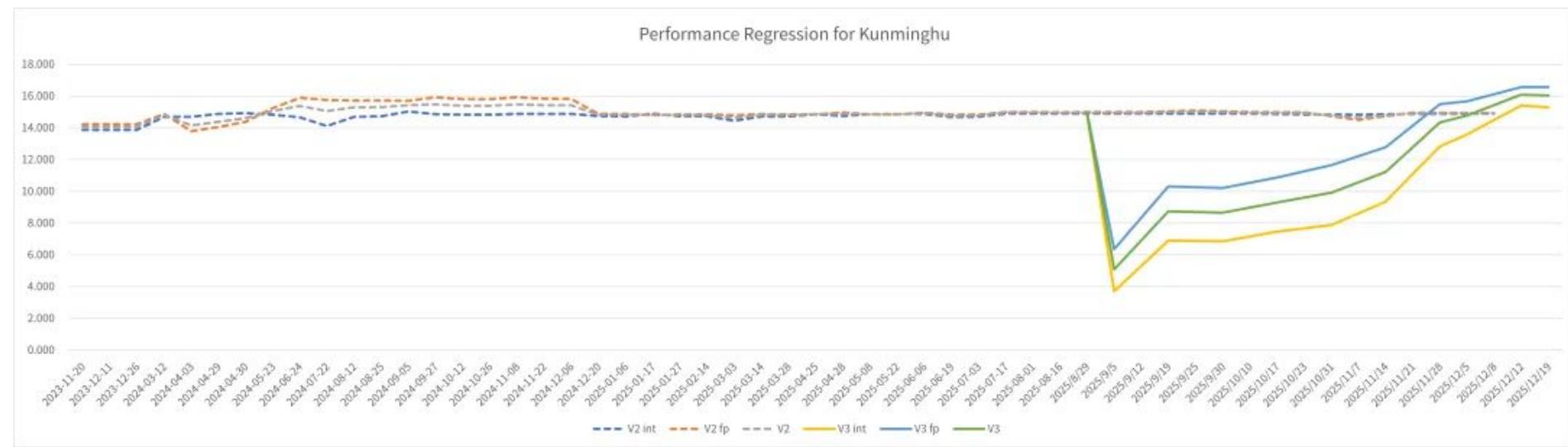
- 

请此页编辑者删除水印

# 香山开源RISC-V处理器 - ICT / PCL

昆明湖 V3 自今年 8 月启动性能回归以来，已经完成了 11 次性能回归。这 11 次性能回归见证了香山团队齐心协力，对设计进行快速开发迭代的过程。昆明湖 V3 的最初版本在 SPEC 2006 测试中只有 3.717 分/GHz。现在，在最新一次性能回归中，V3 已经达到了 16.081 分/GHz，超过了 V2 的分数。V3 也已替代 V2 成为了香山仓库的默认分支！

值得注意的是，V3 性能数据的变化曲线，正是香山团队敏捷发展理念的生动体现。和传统瀑布式开发流程不同，V3 的开发并非一蹴而就、一次性交付全部代码，而是在初始代码的基础上快速迭代、持续演进的结果。我们相信，这一新的理念将为业界带来新的开发范式，也一定能够推动昆明湖 V3 迈上新的台阶，进一步提升开源处理器的性能标杆。



# 香山开源RISC-V处理器 - ICT / PCL

## 前端

- RTL 新特性
  - 减少 TAGE 计数器饱和时的 SRAM 写请求, 从而减少 SRAM 端口冲突导致的阻塞 (#5309)
  - 对齐 TAGE 预测生成逻辑和 GEM5 一致 (#5377)
  - 实现 SC bias 表 (#5234)
  - 实现 ITTAGE 预测 call 类型分支 (#5311)
- Bug 修复
  - 修复 BPU 训练中, 分支地址(cfiPc)和预测块地址(startPc)命名不明确导致的混用误用问题 (#5317)
  - 修复 UBTB 训练流水级命中判断条件, 避免错误更新 replacer (#5326)
  - 修复 TAGE 折叠历史信号的宽度笔误 (#5325)
  - 修复 TAGE cfiPc 笔误 (#5345)
  - 修复 RAS 一些笔误, 启用 RAS (#5321)
  - 修复 FTQ resolveQueue bpu enqueue 冲刷逻辑错误的问题 (#5344)
- 时序/面积优化
  - 将 TAGE BaseTable 挪到 MBTB 中, 使计数器的分配和 MBTB 项同步, 减少冗余存储 (#5349)
- 代码质量
  - 统一 BPU 内 pc 相关信号的命名 (#5318)
  - 新增一些 utility 方法以批量生成具有相似前缀的性能计数器 (#5298)
- 调试工具
  - 各模块新增和修复大量性能计数器 (#5320, #5265, #5319, #5332, #5339, #5347, #5353, #5370, #5383, #5372)
  - 优化 TAGE Trace 的分支实际地址计算逻辑, 考虑压缩指令 (#5355)

# 香山开源RISC-V处理器 - ICT / PCL

## 后端

- RTL 新特性
  - 正在推进 V3 向量单元的新设计实现
- Bug 修复
  - 修复后端 TopDown 接口连接问题([#5340](#))
  - 修改 mvendorid 的值([#5367](#))
  - 修复 Dispatch 的流水线阻塞周期统计问题([#5398](#))
- 代码优化
  - 让 srcLoadDependencyUpdate 的连接更易读([#5404](#))
- 其他
  - 更新后端的代码维护者名单([#5342](#))

# 香山开源RISC-V处理器 - ICT / PCL

## 访存&缓存

- RTL 新特性
  - (V2) 支持在 CoupledL2 中通过参数关闭 ClockGate ([CoupledL2 #451](#))
  - (V2) 将 CoupledL2 MMIOBridge 的 TIMERange 参数化 ([CoupledL2 #453](#))
  - MMU、LoadUnit、StoreQueue、L2 等模块重构与测试持续推进中
- Bug 修复
  - (V2) 修复了 LoadQueueReplay 中 load 请求无法被正确唤醒的问题 (#5327)
  - (V2) 修复了 LoadQueueRAW 中 storeIn.wlineflag 没有延迟一周期的问题 (#5352)
  - (V2) 修复了 L1StreamPrefetcher 的深度 (#5365)
  - (V2) 移除了 L2Top 与 MemBlock 中部分 RegNext(hartid) (#5408)
  - (V2) 修复了 TXDAT 中错误的 DataCheck 逻辑 ([CoupledL2 #455](#))
  - (V2) 修复了 I2MissMatch IO 的编译错误 ([CoupledL2 #456](#))
- 性能优化
  - (V2) 将 uncachebuffer 的容量从 4 增加至 16 (#5364)
  - 为 LoadUnit 添加了 PerfCCT 支持 (#5286)
- 时序
  - (V2) 调整了 LoadUnit 中 s0 source 的仲裁顺序 (#5300)
  - (V2) 优化了 VSegmentUnit、exceptionBuffer 的时序 (#5330, #5292)
  - (V2) 移除了 Sbuffer 中 store 预取的 IO 端口 (#5329)
  - (V2) 移除了 MemBlock 中 TLB 生成 paddr 时非必要的 Mux (#5331)
  - (V2) 将 BitmapCache 从寄存器替换为 SRAM (#5346)
- 调试工具
  - 在 tl-test-new 中支持输出性能计数器 ([tl-test-new #84](#))
  - 在 NEMU 中支持在 check\_paddr 失败时输出详细信息 ([NEMU #867](#))
  - 持续改进 CHI 基础设施 CHiron
  - 开发用于新版 L2 Cache 的验证工具 CHI Test。持续推进中
  - 改进了 L2 Topdown Monitor 中统计的预取信息 ([CoupledL2 #452](#))

# banshanjdk-8 让你的 java8 程序在 RISC-V 平台极限加速

请此页编辑者删除水印

# Chisel and Additional Technology / Sequencer

请此页编辑者删除水印

# OpenHW & OpenHW Aisa Working Group

请此页编辑者删除水印

# 甲辰计划进展(吴伟)

●

请此页编辑者删除水印

# 自由讨论 / AOB

# BACKUP

准备加入更多的国际开源组织进行同步观测

欢迎追加或提议