

东亚时区RISC-V生态双周同步会

2020年12月24日·第002次

<https://github.com/cnrv/RISCV-East-Asia-Biweekly-Sync>

会议议程

- 15:00 - 15:05 自我介绍、等待参会者接入、非技术话题八卦
- 汪辰:AOSP for RISC-V 的进展(5分钟)
- 陈嘉炜:QEMU与GDB的某个bug的更新(mentor Jim Wilson)(5分钟)
- 陈嘉炜:Code Size Reduction SIG 近期工作(5分钟)
- 吴伟:Code Speed SIG 近期工作(5分钟)
- 陆旭凡:LLVM RISC-V 后端近两周 patch 提交及review情况简报(5分钟)
- 刘玖阳:上一次双周会提出的需求的文档任务跟踪(5分钟)
- 15分钟:开放位置x3 有可能Andes、DSP/P扩展、成立 Java TG
- 5分钟:自由讨论

Code Size Reduction TG

- spimm and PUSH/POP benchmark results: 19 封邮件, 讨论蛮热烈
 - 并不是很理解为啥
- Tariq 遇到了 SAIL Model 的大麻烦, 但是还没有收到公开回复或者帮助
 - 一位志愿者帮助实现; 志愿者遇到了麻烦, 从 git clone 之后构建就遇到了麻烦
 - 志愿者寻求 SAIL 的维护者的帮助一周没有回应
 - Tariq 将邮件转给 Mark 和邮件列表寻求帮助
 - 一周过去了没有收到公开的邮件回复
 - Zfinx 的 SAIL 验证这个事情目前就搁置在刚开始 git clone SAIL 失败的位置
 - 总而言之, SAIL问题很大。同时也是个机会, 急需SAIL苦工。

Minutes of Code Speed Opt SIG 15 Dec 2020

- 吴伟做了建立性能跟踪(PerfCI)的proposal, 1月4日再review, 7日申请TG
 - <https://github.com/riscv/riscv-code-speed-optimization/blob/main/projects/infrastructure-for-perf-tracking.adoc>
- Jeremy 提供了一个PRD的列表, 推荐B扩展, 下次会议继续讨论
 - <https://drive.google.com/file/d/1SNk99y6C1BbEAsI15ldIn-glv7etoeep/edit>
- Jeremy 引荐了一位大学的朋友, 讨论了一些 Benchmark 的话题

Perf Tracking TG / Perf Tracking Platform

- 在真实的硬件上跑各种benchmark
 - Hardware x Compiler x benchmark x build config x run config
- 系统搭建由PLCT来完成, 而成立一个TG负责
 - 决定添加哪些新硬件, 或 贡献, 或购买
 - 决定针对哪些 toolchain & runtime
 - 决定哪些benchmark, 有些 free, 有些需要购买
 - 最重要的是开放和中立
 - 所有的事情PLCT或者任何一个小队都可以完成搭建, 重要的是性能数据可靠

RVI技术会议的旁听记录分享

- Code Size Reduction 2020-12-15

- 陈嘉炜做了进展报告; others

- Code Speed Opt 2020-12-15

- Jeremy做了很全的会议纪要

<https://github.com/riscv/riscv-code-speed-optimization/blob/main/meetings/2020/2020-12-15-minutes.adoc>

- T&R Biweekly 2020-12-17 (没纪要; 我没去开, 听 Jeremy 转述)

- 审议 Code Speed SIG 的 charter (what? 这都开展工作两个月了 还在审这个?)
- psABI TG (目前都是 Jim 老爷子一个人扛着, 累了。陈桑Zfinx的实现把ABI问题炸了出来)
- GNU分支管理等的问题(Kito 做过报告; 不过据说T&R会议上没理解清楚 GNU的管理架构)

[RISC-V] [tech-toolchain] ELF file format and ABIs

- 希望能够批准 psABI TG
- 陈嘉炜/Jiawei实现Zfinx提出, Tariq + Jeremy 提出, Krste 回复最好放 EABI 里
- We have a spec for ELF format, maintained single handed by Jim Wilson as part of the processor specific ABI (psABI) GitHub repo
 - <https://github.com/riscv/riscv-elf-psabi-doc/blob/master/riscv-elf.md>
- 现在需要扩展ELF格式, 希望成立TG。目前block了Zfinx和(可能)P扩展
- 应该说话的 Christoph、Philipp、Evandro、Arun、Mark。
- <https://lists.riscv.org/g/tech-toolchain-runtime/topic/78806208#38>

[RISC-V] [tech-toolchain] Thoughts on proposing Java Speed TG and JavaScript Speed TG, and the (planned) Managed Runtime SIG/TG



Inbox x

riscv x

Wei Wu (吴伟) via lists.riscv.org <lazyparser@gmail.com@lists.riscv.org>

8:17 PM (9 minutes ago)



to tech-toolchain-runtime, sig-code-speed, yadonn.wang, dingli, qi...@iscas.ac.cn, brice.dobry, pengwu, Evandro, Philipp, Arun, Jeremy, Christoph, Yungang, Mark ▾

Hi all,

I think it is the time to create a Java Speed TG for the porting of OpenJDK/OpenJ9/OpenArkCompiler, and a TG for V8/Spidermonkey/JSC and engines for webassembly.

The PLCT Lab is pushing the boundary of the RISC-V software ecosystem by speeding up the JavaScript and Java codes running on the RISC-V platform. We collaborate with FutureWei and RIOS Lab on V8 for RISC-V project, with BishengJDK (Huawei) on OpenJDK for RISC-V project. The upstreaming for V8 is near done, while the upstreaming of OpenJDK will start soon (by Yadong Wang from Huawei). We are going to speed up more than 100x for both Java and JavaScript in 2021. More collaboration among all the teams involved becomes much more important.

The question I have is how to create the two TGs? Now the RVI has Software SSC, T&R subcommittee, and Code Speed Opt SIG. IIUC The code speed SIG spawns new proposals of TG and sends them to T&R subcommittee for approval.

I am the co-chair of the code speed SIG, so I'm OK with the process mentioned above. What I'm not sure is the status of the Runtime SIG/TG. Two months ago, we talked about the creation of the Managed Runtime SIG/TG in the meeting/ mailing list/ mail threads under the Toolchain & Runtime subcommittee. I want to make sure that if anyone is preparing similar proposals before I start to write, to avoid duplicate works.

Please let me know if anyone is preparing similar proposals. Thanks.

--

Best wishes,

Wei Wu (吴伟)

成立 Java Speed TG (or 至少在东亚时区)

- 为了在2021年将 Java 程序执行速度相对于 Zero 提高 100 倍以上
 - BishengJDK的 RV64G 已经提升了20x以上了
 - 所以2021的目标是在BishengJDK的基础上再提升5x以上
- 不仅有 OpenJDK, 还有OpenJ9和OpenArkCompiler都需要纳入TG的考虑范围
- 利用 Code Speed SIG / Perf Tracking TG 的 Platform 跟踪性能的提升
- T&R 说要成立 Managed Runtime TG 但是两个月了还没有动静
 - 我不想等了, 反正也没有依赖关系, 把东西做出来, 效果做出来才是真的 贡献
 - 后续Java Speed TG 时间有两个可选:
 - 隔周四上午9点-10点, 一个小时
 - 隔周四下午2点-3点, 在东亚时区双周会之前1个小时(share Zoom)

成立 JavaScript Speed TG (V8-RISCV社区已经是事实存在)

- 为了在2021年将 JavaScript 程序执行速度相对于 QuickJS 提高 100 倍以上
 - FutureWei、PLCT Lab、RIOS Lab 的 V8 for RV64G 已经稳定, upstreaming
 - 还有大量的优化的机会, 欢迎加入社区做志愿者或入职PLCT
 - 很快就会直接往 chromium 上游直接贡献; gh/v8-riscv/v8 保留做WIP的分支管理
- 不仅有 V8, 还有 Spidermonkey 和 JSC 都需要纳入TG的考虑范围
- 利用 Code Speed SIG / Perf Tracking TG 的 Platform 跟踪性能的提升
- T&R 说要成立 Managed Runtime TG 但是两个月了还没有动静
 - 我不想等了, 反正也没有依赖关系, 把东西做出来, 效果做出来才是真的 贡献
 - 目前 V8 for RISC-V 团队隔周四上午9点开会一小时。我将沿用此时间作为 JS Speed TG 时间
 - Spidermonkey 尚未开始; JSC 尚未开始调研; 欢迎加入和贡献(联系吴伟)

RISC-V Policy: Definition of Done

- Spec Doc
- Opcode and Consistency Review
- ACT: Architecture Compatibility Tests
- HW/SW Config
- Reference Model: SAIL Model. Verify x 5.
- Software Support: os handlers, toolchain, OS, hypervisor, bootloader, etc.
- Proof of Concept

目前的问题主要出在 ACT、SAIL Model、Toolchain。

近期开源技术社区的一些新情报

- 吴伟参加了12月17日举办的两岸RISC-V交流会。
 - Andes在推DSP/P扩展的时候也遇到了SAIL和ACT卡住进度的问题
 - 大家都很吐槽半夜十二点或者一点开会的 RVI会议制度
- LLVM RISC-V 后端, sifive 正在跟 BSC/EPI 一起快速的刷 patch
 - 自己公司D自己公司r, 绕过了 lowRISC 等, 感觉后面可能会有问题/冲突(希望是我多虑)
 - 出现过非 sifive 公司 reviewer 主动跳出来 reject 的情况
 - LLVM 的宽松的 review 机制或许过度宽松了? anyone ok then ok 的 pha 默认规则

东亚时区的一些新情报

- 邱吉/陆亚涵/Brice继续在为 V8 for RISC-V upstreaming 根据review修改
- OpenJDK upstreaming 王亚东还在酝酿中(抓紧时间啊老哥)
 - RedHat Andrew Haley 提出了一些建议, 同时提出了CLA(类似)的问题
 - 无论是亚东还是吴伟/张定立都还不知道 OpenJDK 上游怎么建立 Project
- 陈嘉炜开始做GDB相关
- 吴伟开始看 Gold Linker 相关, 支持起来 RISC-V(招募全职和实习生)
- 孙少策开始在LLVM中实现Zfinx(w/ 陆旭凡指导)
 - <https://github.com/isrc-cas/rvv-llvm/tree/zfinx>

[tech-vector-ext] minutes for 2020/12/18 meeting

- 今年没会议了。圣诞-元旦假期。
- 1.0要freeze了 : We are close to freezing the spec. There is a waiver from chairs for SAIL model and compatibility tests, but we will need to complete these before ratification.
- Mask handling: Continuing discussion,
- vsetivli: A new variant of vsetvl was proposed providing an immediate as the AVL in rs1[4:0].

RVI社区的其他信息

- [RISC-V] [tech-tee] **IOPMP proposal** from **Andes Technology**
- SIG-Safety meeting, 2020-12-16
 - 不是很理解这个TG在做什么, 安全芯片的 blueprint? 看到QNX、嵌入式、safety-critical
- [tech-crypto-ext] Scalar Spec v0.8.1 Release - SM4/AES32 encoding updates
 - 已经有45页的厚度了
- [tech-compliance] Finally: v2.0 of the Architectural Tests + Framework
- [sig-hpc] Reminder: RISC-V SIG-HPC Monthly Meeting Dec 17th @ 7 AM PT
 - HPC Lib/App Task Group (w/ Demo) + RISC-V Virtual Addressing
- [tech-unixplatformspec] Platform Spec Meetings in December (guoren ?)
 - Hypervisor, add PMU to SBI, initial draft of Linux Spec. Dec month meetings cancelled.

[tech-compliance] Finally: v2.0 of the Architectural Tests + Framework

- The Architectural Compatibility (néé Compliance) TG is pleased to announce
- v2.0 of the Architectural Tests and framework including:
 - - new tests with much improved coverage for both RV32I and RV64I + M,C-extensions
 - - Tests and framework conforming to the architectural test format specification
 - - Two new tools open-sourced for test writers:
 - Compatibility Test Generator docs here: <https://riscv-ctg.readthedocs.io/>
 - Coverage Tool docs here: <https://riscv-isac.readthedocs.io/>