28 Pin EPROM, EEPROM and RAM Pinouts

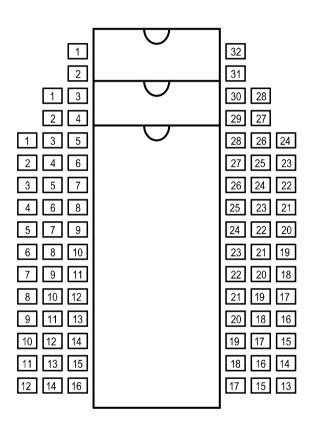
SRAM	EEPROM	EPROM	SRAM	EEPROM	EPROM	EPROM	SRAM	EEPROM	EPROM				EPROM	EEPROM	SRAM	EPROM	EPROM	EEPROM	SRAM	EPROM	EEPROM	SRAM
62256	28C256	27256	6264	28C64	2764	2732	6116	28C16	2716			ı	2716	28C16	6116	2732	2764	28C64	6264	27256	28C256	62256
A14	A14	VPP	NC	NC	VPP					1	\bigcirc	28					VCC	VCC	VCC	vcc	vcc	vcc
A12	A12	A12	A12	A12	A12					2		27					PGM	WE	WE	A14	WE	WE
A 7	A7	A7	A7	A7	A7	A7	A 7	A7	A7	1 3	\bigcirc	26 24	vcc	vcc	VCC	vcc	NC	NC	CS2	A13	A13	A13
A6	A6	A6	A6	A6	A6	A6	A6	A6	A6	2 4		25 23	A8	A8	A8	A8	A8	A8	A8	A8	A8	A8
A 5	A 5	A 5	A 5	A5	A 5	A 5	A 5	A5	A5	3 5		24 22	A9	A9	A9	A9	A9	A9	A9	A9	A9	A9
A 4	A4	A4	A4	A4	A4	A4	A4	A4	A4	4 6		23 21	VPP	WE	WE	A11	A11	A11	A11	A11	A11	A11
А3	А3	А3	А3	А3	А3	А3	А3	А3	А3	5 7		22 20	OE	OE	OE	OE/VPP	OE	OE	OE	OE	OE	OE
A2	A2	A2	A2	A2	A2	A2	A2	A2	A2	6 8		21 19	A10	A10	A10	A10	A10	A10	A10	A10	A10	A10
A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	7 9		20 18	CE	CE	CE	CE	CE	CE	CE	CE	CE	CE
A0	A0	A0	A0	A0	A0	A0	A0	A0	A0	8 10		19 17	D7	D7	D7	D7	D7	D7	D7	D7	D7	D7
D0	D0	D0	D0	D0	D0	D0	D0	D0	D0	9 11		18 16	D6	D6	D6	D6	D6	D6	D6	D6	D6	D6
D1	D1	D1	D1	D1	D1	D1	D1	D1	D1	10 12		17 15	D5	D5	D5	D5	D5	D5	D5	D5	D5	D5
D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	11 13		16 14	D4	D4	D4	D4	D4	D4	D4	D4	D4	D4
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	12 14		15 13	D3	D3	D3	D3	D3	D3	D3	D3	D3	D3

Note:

- 1. CE,OE,WE are Active low inputs.
- 2. VPP and PGM pins should be connected to VCC when not used in programming, except for the 2732 dual function pin 20, OE/VPP.

Static RAM Pinouts

512k	128k	32k	8k	2k		
628512	628128	62256	6264	6116		
A18	NC					
A16	A16					
A14	A14	A14	NC			
A12	A12	A12	A12			
Α7	A7	A7	Α7	A7		
A6	A6	A6	A6	A6		
A5	A5	A5	A5	A5		
A4	A4	A4	A4	A4		
А3	А3	А3	А3	А3		
A2	A2	A2	A2	A2		
A1	A1	A1	A1	A1		
Α0	Α0	Α0	Α0	A0		
D0	D0	D0	D0	D0		
D1	D1	D1	D1	D1		
D2	D2	D2	D2	D2		
GND	GND	GND	GND	GND		



2k	8k	32k	128k	512k		
6116	6264	62256	628128	628512		
		VCC	VCC			
		A15	A15			
	VCC	VCC	CS2	A17		
	WE	WE	WE	WE		
VCC	CS2	A13	A13	A13		
A8	A8	A8	A8	A8		
Α9	Α9	A9	A9	A9		
WE	A11	A11	A11	A11		
OE	OE	OE	OE	OE		
A10	A10	A10	A10	A10		
CE	CS1	CE	CS1	CE		
D7	D7	D7	D7	D7		
D6	D6	D6	D6	D6		
D5	D5	D5	D5	D5		
D4	D4	D4	D4	D4		
D3	D3	D3	D3	D3		