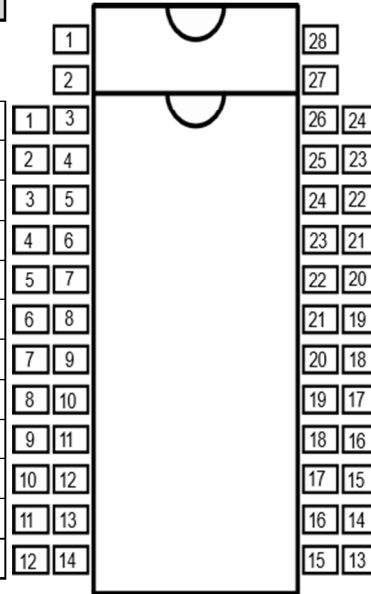


28 Pin EPROM, EEPROM and RAM Pinouts

SRAM	EEPROM	EPROM	SRAM	EEPROM	EPROM	EPROM	SRAM	EEPROM	EPROM
62256	28C256	27256	6264	28C64	2764	2732	6116	28C16	2716
A14	A14	VPP	NC	NC	VPP				
A12	A12	A12	A12	A12	A12				
A7	A7	A7	A7	A7	A7	A7	A7	A7	A7
A6	A6	A6	A6	A6	A6	A6	A6	A6	A6
A5	A5	A5	A5	A5	A5	A5	A5	A5	A5
A4	A4	A4	A4	A4	A4	A4	A4	A4	A4
A3	A3	A3	A3	A3	A3	A3	A3	A3	A3
A2	A2	A2	A2	A2	A2	A2	A2	A2	A2
A1	A1	A1	A1	A1	A1	A1	A1	A1	A1
A0	A0	A0	A0	A0	A0	A0	A0	A0	A0
D0	D0	D0	D0	D0	D0	D0	D0	D0	D0
D1	D1	D1	D1	D1	D1	D1	D1	D1	D1
D2	D2	D2	D2	D2	D2	D2	D2	D2	D2
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND



EPROM	EEPROM	SRAM	EPROM	EPROM	EEPROM	SRAM	EPROM	EEPROM	SRAM
2716	28C16	6116	2732	2764	28C64	6264	27256	28C256	62256
					VCC	VCC	VCC	VCC	VCC
					PGM	WE	WE	A14	WE
VCC	VCC	VCC	VCC	NC	NC	CS2	A13	A13	A13
A8	A8	A8	A8	A8	A8	A8	A8	A8	A8
A9	A9	A9	A9	A9	A9	A9	A9	A9	A9
VPP	WE	WE	A11	A11	A11	A11	A11	A11	A11
OE	OE	OE	OE/VPP	OE	OE	OE	OE	OE	OE
A10	A10	A10	A10	A10	A10	A10	A10	A10	A10
CE	CE	CE	CE	CE	CE	CE	CE	CE	CE
D7	D7	D7	D7	D7	D7	D7	D7	D7	D7
D6	D6	D6	D6	D6	D6	D6	D6	D6	D6
D5	D5	D5	D5	D5	D5	D5	D5	D5	D5
D4	D4	D4	D4	D4	D4	D4	D4	D4	D4
D3	D3	D3	D3	D3	D3	D3	D3	D3	D3

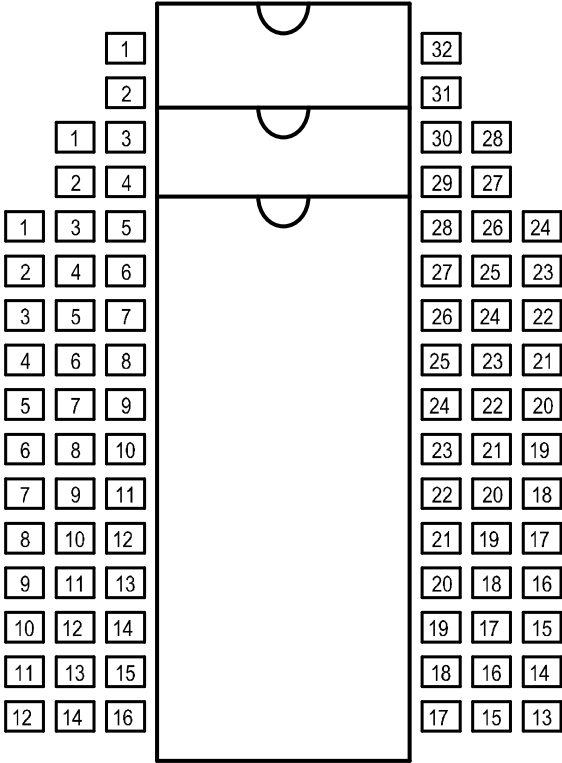
Note:

1. CE,OE,WE are Active low inputs.

2. VPP and PGM pins should be connected to VCC when not used in programming, except for the 2732 dual function pin 20, OE/VPP.

Static RAM Pinouts

512k	128k	32k	8k	2k
628512	628128	62256	6264	6116
A18	NC			
A16	A16			
A14	A14	A14	NC	
A12	A12	A12	A12	
A7	A7	A7	A7	A7
A6	A6	A6	A6	A6
A5	A5	A5	A5	A5
A4	A4	A4	A4	A4
A3	A3	A3	A3	A3
A2	A2	A2	A2	A2
A1	A1	A1	A1	A1
A0	A0	A0	A0	A0
D0	D0	D0	D0	D0
D1	D1	D1	D1	D1
D2	D2	D2	D2	D2
GND	GND	GND	GND	GND



2k	8k	32k	128k	512k
6116	6264	62256	628128	628512
			VCC	VCC
			A15	A15
			VCC	VCC
			\overline{WE}	\overline{WE}
VCC	CS2	A13	A13	A13
A8	A8	A8	A8	A8
A9	A9	A9	A9	A9
\overline{WE}	A11	A11	A11	A11
\overline{OE}	\overline{OE}	\overline{OE}	\overline{OE}	\overline{OE}
A10	A10	A10	A10	A10
\overline{CE}	$\overline{CS1}$	\overline{CE}	$\overline{CS1}$	\overline{CE}
D7	D7	D7	D7	D7
D6	D6	D6	D6	D6
D5	D5	D5	D5	D5
D4	D4	D4	D4	D4
D3	D3	D3	D3	D3