

Universidade Federal do Maranhão
Centro de Ciências Exatas e Tecnologia
Departamento de Informática
Ciência da Computação
Laboratório de Circuitos Digitais
Prof. Braga

1. IDENTIFICAÇÃO

Relatório - 2

Título - Bit de Paridade e Multiplicador de 2 bits

Nome do Aluno - Eduardo Silva Vieira

2. RESUMO SOBRE O TEMA DA AULA PRÁTICA

Este projeto tem como objetivo a utilização de funções e portas lógicas, tabela verdade e construção de circuitos combinacionais. Por meio deste estudo, pode-se compreender o funcionamento de um circuito verificador de paridade par ou ímpar, com 5 bits (sendo 4 de dados e 1 de paridade) e um multiplicador que recebe dois números de dois bits (x e y) e gere outro número (z) de 4 bits que seja o produto entre eles.

3. INTRODUÇÃO

Circuitos combinacionais são conhecidos como aqueles cuja a saída depende diretamente das variáveis de entrada. Para solucionar os presentes problemas para a qual uma determinada saída é esperada, torna-se necessário conhecer sua expressão característica. Para isso, tem-se que construir tabelas verdade para cada situação, a fim de alcançar a expressão acima referida.

4. DESCRIÇÃO DO EXPERIMENTO (PARTE EXPERIMENTAL)

Circuito 1:

Circuitos verificadores de paridade de bits são largamente utilizados em memórias de computadores e circuitos de comunicação de dados. Proponha um circuito combinacional que faça a verificação de paridade par ou ímpar com 5 bits (4 bits de dados e 1 bit de paridade).

Circuito 2:

Proponha um circuito multiplicador que receba dois números de dois bits $[x]$ e $[y]$ e gere um número $[z]$ de 4 bits que corresponda ao produto aritmético dos dois números da entrada. (Sugestão: o circuito lógico terá 4 entradas e 4 saídas).

5. RESULTADOS OBTIDOS

Verificador de Paridade

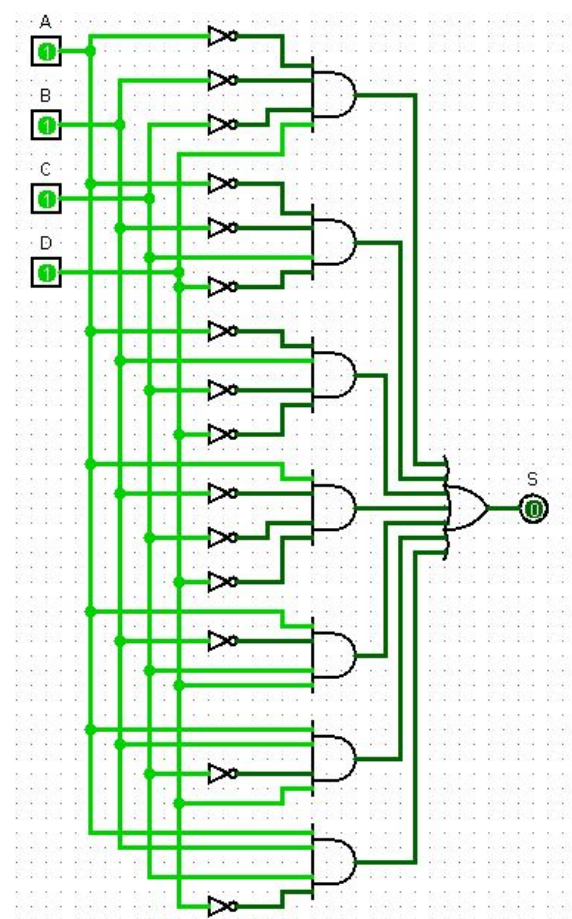
Um bit de paridade é um bit extra, incorporado ao conjunto de bits do código a ser transferido de um local para outro. Ele pode ser 0 ou 1, dependendo do número de 1s contido no conjunto de bits do código.

O método de paridade par adiciona um bit 1 à esquerda do conjunto de bits quando a quantidade de bits 1 for ímpar, definindo que houve perda durante a transmissão dos dados. No método de paridade ímpar acontece o inverso, adiciona-se o bit quando a quantidade for par.

Assim, tem-se a tabela verdade a seguir, onde foi montada uma entrada para o bit de paridade par, e verificou-se se a mesma possuía número ímpar de bits 1, se sim, a saída paridade recebe 1, caso contrário seria 0.

Abaixo podemos ver a tabela verdade e o circuito combinacional correspondente.

A	B	C	D	S
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

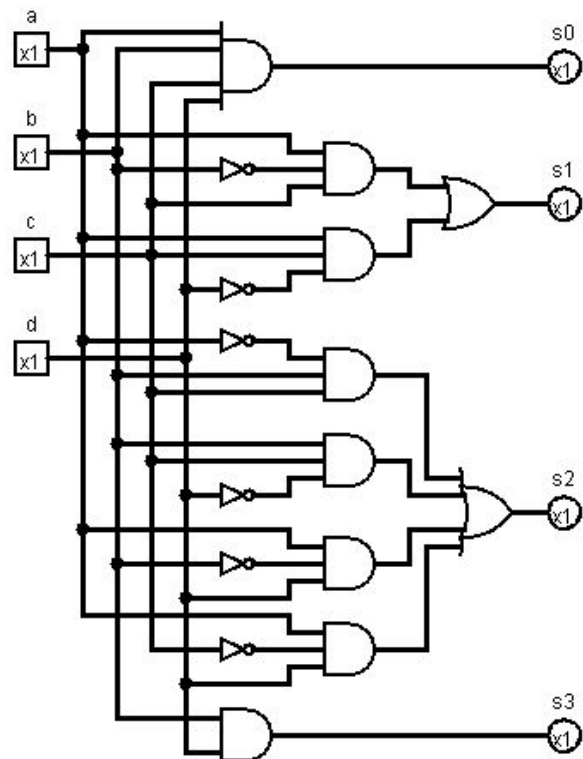


Multiplicador

O circuito multiplicador é bastante utilizado nas Unidade Lógicas Aritméticas. Neste exemplo, temos um multiplicador de dois bits, gerando um número de 4 bits. Dessa forma, tem-se dois bits que vão até 11 em binário e 3 em decimal. A multiplicação de 3×3 é igual a 9 (decimal) e 1001 (binário).

Abaixo podemos ver a tabela verdade e o circuito combinacional correspondente.

A	B	C	D	S1	S2	S3	S4
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1



6. CONCLUSÃO

Desta forma, através dos experimentos, foi possível montar um circuito combinacional de verificação de bits de paridade par e um circuito multiplicador aritmético, através da construção e análise de suas respectivas tabelas verdade.