

第一章

1、通常划分计算机发展时代是以（ ）为标准的

- A、所用的电子器件 B、运算速度 C、 计算机结构 D、所有语言

2、微型计算机的发展是以（ ）技术为标志

- A、操作系统 B、微处理器 C、 磁盘 D、软件

3、目前，人们所说的个人计算机属于（ ）

- A、巨型机 B、中型机 C、 小型机 D、微型机

4、完整的计算机系统应包括（ ）

- A、运算器、存储器、控制器 B、外部设备和主机
C、 主机和实用程序 D、配套的硬件设备和软件系统

5、计算机系统中的存储系统是指（ ）

- A、RAM 存储器 B、ROM 存储器 C、主存 D、cache、主存和辅存

6、冯·诺伊曼机工作方式的基本特点是（ ）

- A、多指令流单数据流 B、按地址访问并顺序执行指令
C、堆栈操作 D、存储器按内容选择地址

7、下列（ ）属于应用软件

- A、操作系统 B、编译程序 C、连接程序 D、文本处理

8、计算机的算术逻辑单元和控制单元合称为（ ）

- A、ALU B、UP C、CPU D、CAD

9、由 0、1 代码组成的语言，称为（ ）

- A、汇编语言 B、人工语言 C、机器语言 D、高级语言

10、32 位的个人计算机，一个字节（byte）由 （ ） 位（bit）组成

- A、4 B、8 C、16 D、32

11、存储单元是指（ ）

- A、存放一个字的所有存储元集合
- B、存放一个存储字的所有存储元集合
- C、存放一个二进制信息位的存储元集合
- D、存放一条指令的存储元集合

12、存储字是指（ ）

- A、存放在一个存储单元中的二进制代码组合
- B、存放在一个存储单元中的二进制代码位数
- C、存储单元的个数
- D、机器指令的位数

13、存储字长是指（ ）

- A、存放在一个存储单元中的二进制代码组合
- B、存放在一个存储单元中的二进制代码位数
- C、存储单元的个数
- D、机器指令的位数

14、计算机系统的层次结构通常分为微程序机器层、机器语言层、操作系统层、汇编语言机器层和高级语言机器层层次之间的依存关系为（ ）

- A、上下层都无关
- B、上一层实现对下一层的功能扩展，而下一层与上一层无关
- C、上一层实现对下一层的功能扩展，而下一层是上一层的基础
- D、上一层与下一层无关，而下一层是上一层的基础

15、CPU 组成中不包含（ ）

- A、运算器
- B、存储器
- C、控制器
- D、寄存器

16、下列选项中，描述浮点数操作速度指标的是（ ）

- A、MIPS
- B、CPI
- C、IPCS
- D、MFLOPS

17、计算机中，数据处理中心是（ ）

- A、主机
- B、运算器
- C、控制器
- D、I/O 系统

18、以下说法错误的是（ ）

- A、计算机的机器字长是指数据存储与运算的基本单位
- B、寄存器由触发器构成
- C、计算机中一个字的长度都是 32 位
- D、磁盘可以永久性存放数据和程序

19、指令是指（ ）

- A、发给计算机的一个个操作命令 B、通常用于构成主存的集成电路
- C、计算机中一个部件 D、完成操作功能的硬件

20、() 是程序运行时的存储位置，包括所需的数据

- A、数据通路 B、主存 C、硬盘 D、操作系统

21、指令流通常是 ()

- A、从主存流向控制器 B、从控制器流向主存
- C、从控制器流向控制器 D、从主存流向主存

22、数据流通常是 ()

- A、从主存流向控制器 B、从控制器流向主存
- C、从控制器流向运算器 D、在运算器和主存之间流动

23、以下叙述中正确的是 ()

- A、寄存器的设置对汇编语言程序员是透明的
- B、实际应用程序的测试结果能够全面代表计算机的性能
- C、系列机的基本特征是指令系统向后兼容
- D、软件和硬件在逻辑功能上是等价的

24、当前设计高性能计算机的重要技术途径是 ()

- A、提高 CPU 主频 B、扩大主存容量
- C、硬盘 采用非冯·诺依曼结构 D、采用并行处理技术

25、若一台计算机的机器字长为 4 字节,则表明该机器()

- A、能处理的数值最大为 4 位十进制数
- B、能处理的数值最多为 4 位二进制数组成
- C、在 CPU 中能够作为一个整体处理 32 位的二进制代码
- D、在 CPU 中运算的结果最大为 232

26、下列选项中，能缩短程序执行时间的措施是 ()

- I 、提高 CPU 时钟频率 II 、优化数据通路结构 III 、对程序进行编译优化
- A、仅 I 和 II B、仅 I 和 III C、仅 II 和 III D、I 、II 和 III

27、假定基准程序 A 在某计算机上的运行时间为 100 秒，其中 90 秒为 CPU 时间，其余为 I/O 时间若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所耗费的时间是（ ）

- A、55 秒 B、60 秒 C、65 秒 D、70 秒

28、某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如下表所示则该机的 MIPS 数是（ ）

指令类型	所占比例	CPI
A	50%	2
B	20%	3
C	10%	4
D	20%	5

- A、100 B、200 C、400 D、600

29、冯·诺伊曼计算机结构的核心思想是（ ）

- A、二进制运算 B、有存储信息的功能 C、运算速度快 D、存储程序控制

30、电子计算机可分为数字计算机、模拟计算机和数模混合计算机，它是按照（ ）

- A、计算机的用途分类 B、计算机的使用方式分类
C、信息的形式和处理方式分类 D、计算机的系统规模分类

31、目前我们所说的个人计算机属于（ ）

- A、巨型机 B、中型机 C、小型机 D、微型机

32、微型计算机的发展以（ ）技术为标志

- A、操作系统 B、微处理器 C、磁盘 D、软件

33、下列说法中不正确的是（ ）

- A、任何可以由软件实现的操作也可以由硬件来实现
B、固件就功能而言类似于软件，从形态来说又类似于硬件
C、在计算机系统的层次结构中，微程序级属于硬件级，其他四级都是软件级
D、面向高级语言的机器是完全可以实现的

34、迄今为止，计算机中的所有信息仍以二进制方式表示的理由是（ ）

A、节约元件 B、运算速度快 C、物理器件性能所致 D、信息处理方便

第二章

必须掌握的概念知识点

- 1、数的定点表示法
- 2、IEEE754 浮点表示法
- 3、汉字的表示
- 4、定点数补码加减法及其硬件实现
- 5、定点数加减法的溢出及其判断方法
- 6、定点数的乘除法及其硬件实现
- 7、算术逻辑运算单元（ALU）
- 8、浮点数加减法运算步骤

一、填空题

- 1、设 $X=-69$ ， $n=8$ （含符号位），则 X 的原码为（ ）， X 的补码为（ ）
- 2、十进制 64.5 所对应的二进制数表示为（ ），8421BCD 码表示为（ ）
- 3、阶码 8 位（最左一位为符号位），用移码表示，尾数为 24 位（最左一位为符号位），用规格化补码表示，则它能表示的最大正数的阶码是（ ），尾数为（ ）；绝对值最小的负数的阶码为（ ），尾数为（ ）（以上用二进制书写）
- 4、 $[-0]$ 反表示为（ ）
- 5、8 位补码定点整数所能表示的绝对值最大的负数的值为（ ）
- 6、补码定点小数所能表示的绝对值最大负数的值是（ ）
- 7、当浮点数的尾数为补码时，其为规格化数应满足的条件为（ ）
- 8、已知某个汉字的国标码是 3547H，其机器内码为（ ）
- 9、已知某数的补码为 11110101，算术左移 1 位后得（ ），算术右移 1 位后得（ ）
- 10、影响并行加法器速度的关键因素是（ ）

二、选择题

- 1、9 位原码（含一位符号位）能表示的数据个数是（ ）
A、10 B、9 C、511 D、512
- 2、零的原码可以用以下哪个代码表示（ ）
A、11111111 B、10000000 C、01111111 D、11000000

3、定点 8 位字长的机器数，采用补码表示，所表示的整数范围是（ ）

- A、-128~127 B、-129~128 C、-127~127 D、-128~128

4、已知 $[X]_{\text{补}}=1.X_1X_2X_3X_4X_5$ ，若要 $X > -1/2$ ， $X_1X_2X_3X_4X_5$ 应满足（ ）

- A、 X_1 必须为 1， $X_2X_3X_4X_5$ 至少有一个 1
B、 X_1 必须为 1， $X_2X_3X_4X_5$ 任意
C、 X_1 必须为 0， $X_2X_3X_4X_5$ 至少有一个 1
D、 X_1 必须为 0， $X_2X_3X_4X_5$ 任意

5、在定点机中，下列说法错误的是（ ）

- A、除补码外，原码和反码不能表示 -1
B、+0 的原码不等于 -0 的原码
C、+0 的反码不等于 -0 的反码
D、对于相同的机器字长，补码比原码和反码能多表示一个负数

6、在规格化浮点数表示中，保持其他方面不变，将阶码部分的移码表示改成补码表示，将会使数的表示范围（ ）

- A、增大 B、减少 C、不变 D、以上都不对

7、在浮点数中，当数据的绝对值太小，以至于小于所能表示的数据时，称为浮点数的（ ）

- A、下溢 B、负下溢出 C、负溢 D、正下溢

8、设浮点数阶码的基数是 2，下列浮点数尾数（原码表示）中规格化数是（ ）

- A、1.0011100 B、0.1111000 C、1.0101010 D、0.01111011

9、已知大写英文字母 A 的 ASCII 码为 41H，现字母 F 被放在某个存储单元中，若采用偶校验（假设最高位作为校验位），则该存储单元中存放的十六进制数据是（ ）

- A、46H B、C6H C、47H D、C7H

10、汉字“啊”的十进制区位码为 1601，则它的十六进制机器内码是（ ）

- A、1601H B、9081H C、B0A1H D、B081H

11、某数在计算机中用 8421BCD 码表示为 011110001001，其十进制形式为（ ）

- A、789 B、789H C、1929 D、11110001001B

12、假定下列字符码中有奇偶检验位，但没有数据错误，采用奇检验的字符码是（ ）

- A、11001010 B、11010111 C、11001100 D、11001011

13、在串行进位的加法器中，影响加法器运算速度的关键因素是（ ）

- A、门电路的级延迟 B、元器件速度 C、进位传递延迟 D、各位加法器速度的不同

14、补码的加减法是指（ ）

- A、操作数用补码表示，两数相加减，符号位单独处理，减法用加法代替
B、操作数用补码表示，符号位和数值位一起参加运算，结果的符号与加减相同
C、操作数用补码表示，连同符号位直接相加减，减某数用加某负数的补码代替，结果的符号在运算中形成
D、操作数用补码表示，由数符决定两数的操作，符号位单独处理

15、两个补码数相加，采用1位符号位，当（ ）时，表示结果溢出

- A、符号位有进位 B、符号位进位和最高数位进位异或结果为0
C、符号位为1 D、符号位进位和最高位进位异或结果为1

16、在补码的加减法中，用两位符号位判断溢出，两位符号位为01是，表示（ ）

- A、结果为正数，无溢出 B、结果正溢出
C、结果负溢出 D、结果为负数，没有溢出

17、当定点运算发生溢出时，应进行（ ）

- A、向左规格化 B、向右规格化 C、发出出错信息 D、舍入处理

18、8位补码10010011等值扩展为16位后，其机器数为（ ）

- A、1111111110010011 B、0000000010010011
C、1000000010010011 D、1111111101101101

19、对于二进制数，若小数点左移1位，则数值（ ），若小数点右移1位，则数值（ ）

- A、扩大一倍，扩大一倍 B、扩大一倍，缩小一半
C、缩小一半，扩大一倍 D、缩小一半，缩小一半

20、原码加减交替除法又称为不恢复余数法，因此（ ）

- A、不存在恢复余数的操作
- B、当某一步运算不够减时，做恢复余数的操作
- C、仅当最后一步余数为负时，做恢复余数的操作
- D、当某一步余数为负时，做恢复余数的操作

- 21、采用规格化的浮点数是为了（ ）
- A、增加数据的表示范围 B、方便浮点运算
 - C、防止运算时数据溢出 D、增加数据的表示精度

- 22、若浮点数用补码表示，判断运算结果是否是规格化数的方法是（ ）
- A、阶符与数符相同 B、阶符与数符相异
 - C、数符与尾数最高有效数位相同 D、数符与尾数最高有效数位相异

- 23、使用 74LS181 构成一个 16 位的 ALU，则需要（ ）片
- A、 2 B、 4 C、 8 D、 16

- 24、 $[X]_{补}=X_0.X_1X_2X_3\cdots X_n$ （n 为整数），它的模是（ ）
- A、 2^{n-1} B、 2^n C、1 D、2

- 25、 $[X]_{补}=X_0.X_1X_2X_3\cdots X_n$ （n 为整数），它的模是（ ）
- A、 2^{n+1} B、 2^n C、1 D、2

- 26、假定一个十进制数为 -66，按补码形式存放在一个 8 位寄存器中，该寄存器的内容用十六进制表示为（ ）
- A、C2H B、BEH C、BDH D、42H

- 27、设机器数采用补码表示（含 1 位符号位），若寄存器的内容为 9BH，则对应十进制数为（ ）
- A、-27 B、-97 C、-101 D、155

- 28、若寄存器内容为 10000000，若它等于 0，则寄存器内容为（ ）码；若它等于 -0，则为（ ）码
- A、原码 B、补码 C、反码 D、移码

- 29、若寄存器内容为 11111111，若它等于 +127，则寄存器内容为（ ）码；若它等于 -1，则为（ ）码
- A、原码 B、补码 C、反码 D、移码

30、若寄存器内容为 00000000，若它等于-128，则寄存器内容为（）码；

- A、原码 B、补码 C、反码 D、移码

31、设寄存器位数为 8 位，机器数采用补码形式（含一位符号位）对应于十进制数-27，寄存器内容为（ ）

- A、27H B、9BH C、E5H D、FFH

32、对真值 0 表示形式唯一的机器数是（ ）

- A、原码 B、补码和移码 C、反码 D、机器码

33、在整数定点机中，下述说法正确的是（ ）

- A、原码和反码不能表示-1，补码可以表示-1
B、三种机器均可表示-1
C、三种机器均可表示-1 且三种机器数的表示范围相同

34、两补码相加，采用一位符号位，则当（ ） 时，表示结果溢出

- A、最高位有进位 B、最高位进位和次高位进位异或结果为 0
C、最高位为 1 D、最高位进位和次高位进位异或结果为 1

35、运算器的主要功能是进行（ ）

- A、算术运算 B、逻辑运算 C、算术逻辑运算 D、初等函数运算

36、芯片 74181 可完成（ ）

- A、16 种算术运算 B、16 种逻辑运算
C、8 种算术运算和 8 种逻辑运算 D、16 种算术运算和 16 种逻辑运算

37、在浮点数运算中，下溢指的是（）

- A、运算结果的绝对值小于机器所能表示的最小绝对值
B、运算的结果小于机器所能表示的最小负数
C、运算的结果小于机器所能表示的最小正数
D、运算结果的最低有效位产生的错误

38、在浮点数中，当绝对值太大，以至于超过机器所能表示的数据时，称为浮点数的（ ）

A、正上溢 B、上溢 C、正溢 D、正下溢

39、以下（ ） 表示法主要用来表示浮点数中的阶码

A、原码 B、补码 C、反码 D、移码

40、在定点机中执行算术运算时会产生溢出， 其原因是（ ）

A、主存容量不够 B、操作数过大
C、操作数地址过大 D、运算结果无法表示

41、4 片 74181ALU 和 1 片 74182CLA 相配合， 具有（ ） 传递功能

A、串行进位 B、组内并行进位， 组间串行进位
C、组内串行进位， 组件并行进位 D、组内、组间均为并行进位

42、浮点数加减中的对阶是指（ ）

A、将较小的一个阶码调整到与较大的一个阶码相同
B、将较大的一个阶码调整到与较小的一个阶码相同
C、将被加数的阶码调整到与加数的阶码相同
D、将加数的阶码调整到与被加数的阶码相同

43、假定两种浮点数表示格式的位数都是 32 位， 但格式 1 的阶码长、尾数短， 格式 2 的阶码短、尾数长， 其他所有规定都相同则它们可表示的数的精度和范围为（ ）

A、两者可表示的数的范围和精度都相同
B、格式 1 可表示的数的范围小、但精度高
C、格式 2 可表示的数的范围小、但精度高
B、格式 1 可表示的数的范围大、且精度高

44、在定点数运算中产生溢出的原因是（ ）

A、运算过程中最高位产生了进位或错位
B、参加运算的操作数超出了机器的表示范围
C、运算的结果的操作数超出了近期的表示范围
D、寄存器的位数太少， 不得不舍弃最低有效位

45、使用 74LS181 来构成一个 16 位的 ALU， 则需要使用（ ） 片

A、2 B、4 C、8 D、16

46、下列数中最大的数为（ ）

A、(10010101) 2 B、(227) 8 C、(101001) BCD D、(233) 16

47、运算器虽有许多部件组成，但核心部分是（ ）

A、数据总线 B、算术逻辑运算单元 C、多路开关 D、通用寄存器

48、加法器采用先行进位的目的是（ ）

A、优化加法器的结构 B、节省器材 C、加速传递进位信号 D、增强加法器结构

49、在浮点机中，（ ）是隐藏的

A、阶码 B、数符 C、尾数 D、基数

50、关于浮点数在 IEEE754 标准中的规定，下列说法中错误的是（ ）

- I . 浮点数可以表示正无穷大和负无穷大两个值
- II . 如果需要，也允许使用非格式化的浮点数
- III . 对任何形式的浮点数都要求使用隐藏位技术
- IV . 对 32 为浮点数的阶码采用了偏移值为 127 的移码表示，尾数用原码表示

A、I， III B、II， III C、只有 III D、I， III， IV

51、float 型数据通常用 IEEE754 标准中的单精度浮点格式表示如果编译器将 float 型变量 X 分配在一个 32 为浮点寄存器 FR1 中，且 X=-8.25，则 FR1 的内容是（ ）

A、C104 0000H B、C242 0000H C、C184 0000H D、C1C2 0000H

52、float 类型（IEEE754 单精度浮点数格式）能表示的最大正整数是（ ）

A、2126-2103 B、2127-2104 C、2127-2103 D、2128-2104

53、组成一个运算器需要多个部件，但下列所列（ ）不是组成运算器的部件

A、通用寄存器组 B、数据总线 C、ALU D、地址寄存器

54、串行运算器结构简单，其运算规律是（ ）

A、由低位到高位先行进行进位运算 B、由低位到高位先行进行借位运算

- C、由低位到高位逐位运算
- D、由高位到低位逐位运算

55、ALU 属于（ ）

- A、时序电路
- B、控制器
- C、组合逻辑电路
- D、寄存器

第三章

一、填空题

- 1、在多级存储体系中，Cache 的主要功能是，虚拟存储器的主要功能是（ ）
- 2、SRAM 靠存储信息，DRAM 靠（ ）存储信息（ ）存储器器需要定时刷新
- 3、动态半导体存储器的刷新一般有（ ）、（ ）和（ ）
- 4、一个 512KB 的存储器，其地址线和数据线的总和是（ ）
- 5、若 RAM 芯片内有 1024 个单元，用单译码方式，地址译码器有（ ）条输出线；用双译码方式，地址译码器有（ ）条输出线
- 6、高速缓冲存储器中保存的信息是主存信息的（ ）

二、选择题

- 1、存储器是计算机系统中的记忆设备，它主要用来（ ）
- A、存放数据
- B、存放程序
- C、存放数据和程序
- D、存放微程序

- 2、和外存储器相比，内存储器的特点是（ ）
- A、容量大、速度快、成本低
- B、容量大、速度慢、成本高
- C、容量小、速度快、成本高
- D、容量小、速度快、成本低

- 3、磁盘属于（ ）类型的存储器
- A、随机存取存储器（RAM）
- B、只读存储器（ROM）
- C、顺序存储器（SAM）
- D、直接存取存储器（DAM）

- 4、某计算机系统，其操作系统保存在硬盘上，其内存储器应该采用（ ）
- A、RAM
- B、ROM
- C、RAM 和 ROM
- D、都不对

- 5、计算机的存储器系统是指（ ）
- A、RAM
- B、ROM
- C、主存储器
- D、cache、主存储器和外存储器

- 6、以下器件中存取速度最快的是（ ）

A、cache B、主存 C、寄存器 D、磁盘

7、下列几种存储器中，CPU 可直接访问的是（ ）

A、主存储器 B、磁盘 C、磁带 D、光盘

8、下列叙述中， 正确的是（ ）

A、主存可由 RAM 和 ROM 组成 B、主存只能由 RAM 和 ROM 组成

C、主存只能由 ROM 组成 D、都不对

9、在存储器分层体系结构中， 存储器从速度最快到最慢的排列顺序是（ ）

A、寄存器——主存——cache——辅存 B、寄存器——主存——辅存——cache

C、寄存器——cache——辅存——主存 D、寄存器——cache——主存——辅存

9、在存储器分层体系结构中， 存储器从容量最大到最小的排列顺序是（ ）

A、寄存器——主存——cache——辅存 B、寄存器——主存——辅存——cache

C、辅存——主存——cache——寄存器 D、寄存器——cache——主存——辅存

10、以下（ ）表示从主存 M 中读出数据

A、 $M(MAR) \rightarrow MDR$ B、 $(MDR) \rightarrow M(MAR)$ C、 $M(MDR) \rightarrow MAR$ D、 $(MAR) \rightarrow M(MDR)$

11、以下（ ）表示将数据写入主存 M 中

A、 $M(MAR) \rightarrow MDR$ B、 $(MDR) \rightarrow M(MAR)$ C、 $M(MDR) \rightarrow MAR$ D、 $(MAR) \rightarrow M(MDR)$

12、若存储周期 250ns， 每次读出 16 位， 则该存储器的数据传送率为（ ）

A、4×106 字节/秒 B、4M 字节/秒 C、8×106 字节/秒 D、48M 字节/秒

13、存储周期是指（ ）

A、存储器的读出时间

B、存储器的写入时间

C、存储器进行连续读和写操作所允许的最短时间间隔

D、存储器进行连续写操作所允许的最短时间间隔

14、某单片机字长 16 位， 它的存储量 64KB， 若按字编址， 那么它的寻址范围是

A、64K B、32K C、64KB D、32KB

15、某 DRAM 芯片，其存储容量为 512K X 16 位，该芯片的地址线盒数据线的数目是

A、8, 512 B、512,8 C、18,8 D、19,8

16、交叉存储器实质上是一种 存储器，它能 执行 独立的读写操作

A、模块式，并行，多个 B、模块式，串行，多个

B、整体式，并行，多个 D、整体式，串行，多个

17、主存储器和 CPU 之间增加 cache 的目的是（ ）

A、解决 CPU 和主存之间的速度匹配问题 B、扩大主存储器的容量

C、扩大 CPU 中通用寄存器的数量 D、既扩大主存容量又扩大 CPU 通用寄存器数量

18、下列因素下，与 chahe 的命中率无关的是

A、主存的存取时间 B、块的大小 C、cache 的组织方式 D、cache 的容量

19、某存储器容量为 32Kx16 位，则（ ）

A、地址线为 16 根，数据线为 32 根

B、地址线为 32 根，数据线为 16 根

C、地址线为 15 根，数据线为 16 根

20、EPROM 是指（ ）

A、只读存储器 B、可编程的只读存储器 C、可擦洗可编程的只读存储器

21、下述说法中（ ）是正确的

A、半导体 RAM 信息可读可写，且断电后仍能保持记忆

B、半导体 RAM 是易失性 RAM，而静态 RAM 中的存储信息时不易失的

C、半导体 RAM 是易失性 RAM，而静态 RAM 只有在电源不掉电时，所存信息是不易失的

22、设机器字长为 64 位，存储容量为 128MB，若按字编址，它的寻址范围是（ ）

A、16MB B、2M C、32M

23、存储器进行一次完整的读写操作所需的全部时间称为（ ）

A、存取时间 B、存取周期 C、CPU 周期 D、机器周期

24、半导体静态存储器 SRAM 指（ ）

- A、在工作过程中，存储内容保持不变 B、在断电后信息仍能维持不变
- C、不需要动态刷新 D、芯片内部有自动刷新逻辑

25、某 SRAM 芯片，其存储容量为 512×8 位，包括电源端和接地电线，该芯片引出线的数目为（ ）

- A、23 B、25 C、50 D、19

26、存储器容量为 32K×16，则（ ）

- A、地址线为 16 根，数据线为 32 根 B、地址线为 32 根，数据线为 16 根
- C、地址线为 15 根，数据线为 16 根 D、地址线为 16 根，数据线为 15 根

27、双端口 RAM 之所以能高速进行读、写，是因为采用（ ）

- A、高速芯片 B、两套相互独立的读写电路 C、流水技术 D、新型器件

27、双端口 RAM 在（ ）情况下会发生读/写冲突

- A、左右端口的地址码不同 B、左右端口的地址码相同
- C、左右端口的数据码不同 D、左右端口的数据码相同

28、一个四体并行低位交叉存储器，每个模块的容量是 64K×32 位，存取周期为 200ns，在以下说法中，（ ）是正确的

- A、在 200ns 内，存储器能向 CPU 提供 256 位二进制信息
- B、在 200ns 内，存储器能向 CPU 提供 128 位二进制信息
- C、在 50ns 内，每个模块能向 CPU 提供 32 位二进制信息
- D、都不对

29、一个四体并行低位交叉存储器，每个模块的容量是 32K×16 位，存取周期为 400ns，在以下说法中，（ ）是正确的

- A、在 0.1us 内，存储器能向 CPU 提供 26 位二进制信息
- B、在 0.1us 内，存储器能向 CPU 提供 16 位二进制信息
- C、在 0.4us 内，存储器能向 CPU 提供 26 位二进制信息
- D、都不对

30、在磁盘和磁带这两种磁介质存储器中，存取时间与存储单元的物理位置有关，按存储方式分（ ）

- A、二者都是顺序存取 B、二者都是直接存取
- C、磁盘是直接存取，磁带是顺序存取 D、磁带是直接存取，磁盘是顺序存储

31、用户程序所放的主存空间属于（ ）

- A、随机存取存储器 B、只读存储器 C、顺序存取存储器 D、直接存取存储器

32、在对破坏性读出的存储器进行读写操作时，为维持原存信息不变，必须辅以的操作是（ ）

- A、刷新 B、再生 C、写保护 D、主存校验

33、DRAM 的刷新是以（ ）为单位进行的

- A、存储单元 B、行 C、列 D、存储位

34、若数据在存储器中采用以低字节地址为字节地址的存放方式，则十六进制数 12345678H 的存储字节顺序按地址由小到大依次为（ ）

- A、12345678H B、78563412H C、87654321H D、34127856H

35、设机器字长为 32 位，一个容量为 16MB 的存储器，CPU 按半字寻址，其可寻址的单元数是（ ）

- A、224 B、223 C、222 D、221

36、某计算机字长为 32 位，存储器容量为 4MB，若按字编址，其寻址范围是 0 到（ ）

- A、220 -1 B、221 -1 C、223 -1 D、224 -1

37、下述说法正确的是（ ）

- A、EPROM 是可改写的，因而也是随机存储器的一种
- B、EPROM 是可改写的但它不能用作随机存储器用
- C、EPROM 只能改写一次，故不能作为随机存储器用
- D、EPROM 是只能改写一次的只读存储器

40、存储器采用部分译码法片选时（ ）

- A、不需要地址译码器 B、不能充分利用存储器空间
- C、会产生地址重叠 D、CPU 的地址线全参与译码

41、如果一个存储单元被访问，则可能这个存储单元会很快地再次被访问，这称为（ ）

- A、时间局部性 B、空间局部性 C、程序局部性 D、数据局部性

42、在主存和 CPU 之间增加高速缓冲存储器的目的是（ ）

- A、解决 CPU 和主存之间的速度匹配问题
- B、扩大主存容量
- C、扩大 CPU 通用寄存器的数目
- D、既扩大主存容量又扩大 CPU 中通用寄存器的数量

43、在程序的执行过程中，Cache 与主存的地址映射是由（ ）

- A、操作系统来管理的
- B、程序员调度的
- C、由硬件自动完成的
- D、由软、硬件共同完成的

44、容量为 64 块的 Cache 采用组相联映射方式，字块大小为 128 字，每 4 块为一组，若主存 4096 块，且以字编址，那么主存地址和主存标记的位数分别为（ ）

- A、16, 6
- B、17, 6
- C、18, 8
- D、19, 8

45、采用虚拟存储器的目的是（ ）

- A、提高主存的速度
- B、扩大辅存的存取空间
- C、扩大主存的寻址空间
- D、扩大存储器的寻址空间

46、下列关于虚拟存储器的论述中，正确的是（ ）

- A、对应用程序员透明，对系统程序员不透明
- B、对应用程序员不透明，对系统程序员透明
- C、对应用程序员、系统程序员都不透明
- D、对应用程序员、系统程序员都透明

47、在虚拟存储器中，辅存的编址方式是（ ）

- A、按信息块编址
- B、按字编址
- C、按字节编址
- D、按位编址

48、虚拟存储器中的页表有快表和慢表之分，下面关于页表的叙述中正确的是（ ）

- A、快表与慢表都存储在主存中，但快表比慢表容量小
- B、快表采用优化的搜索算法，因此查找速度快
- C、快表比慢表的命中率高，因此快表可以得到更多的搜索结果
- D、快表采用快速存储器件组成，按照查找内容访问，因此比慢表查找速度快

三、分析与设计题

1、某存储器容量为 4KB 其中，ROM 2KB，选用 EPROM 2K×8 位；RAM 2KB，选用 RAM 1K×8 位；地址线 A15~A0 写出全部片选信号的逻辑式

2、要求用 128K×16 位的 SRAM 芯片组成 512K×16 位的随机存储器，用 64K×16 位的 EPROM 芯片组成 128K×16 位的只读存储器试问：

- (1) 数据寄存器、地址寄存器分别多少位？
- (2) 两种芯片各需多少片？
- (3) 若 EPROM 的地址从 00000H 开始，RAM 的地址从 60000H 开始，写出各芯片的地址分配情况

3、已知地址总线 A15~A0，其中 A0 是最低位用 ROM 芯片（4K×4 位）和 RAM（2K×8 位）芯片组成一个半导体存储器，按字节编址该存储器 ROM 区的容量为 16KB，RAM 的容量为 10KB

- (1) 组成该存储器需要多少块 ROM 芯片和 RAM 芯片？
- (2) 该存储器共需要多少根地址线？ROM 芯片、RAM 芯片各需要连入哪几根地址线？
- (3) 需要设置多少个片选信号，分别写出各片选信号的逻辑表达式

4、某机 CPU 可寻址的最大存储空间为 64KB，存储器按字节编址，CPU 的数据总线宽度为 8 位，可提供一个控制信号为 #RD(低电平为读，高电平为写)目前系统中使用的存储器容量为 8KB，其中 4KB 为 ROM，拟采用容量为 2K×8 位的 ROM 芯片，其地址范围为 0000H~0FFFH 4KB 为 RAM，拟采用容量为 4K×2 位的 RAM 芯片，其地址范围为 4000H~4FFFH

- (1) 需 RAM 和 ROM 芯片各多少片？
- (2) 画出 CPU 与存储器之间的连接图（译码器自定）

5、CPU 执行一段程序时，Cache 完成存取的次数为 1900 次，主存完成存取的次数为 100 次，已知 Cache 存取周期为 50ns，主存存取周期为 250ns 求：Cache 主存系统的命中率，平均访问时间和效率

6、假设主存容量为 512K×16 位，Cache 容量为 4096×16 位，块长为 4 个 16 位的字，访存地址为字地址

- (1) 在直接映射方式下，设计主存的地址格式
- (2) 在全相联映射方式下，设计主存的地址格式
- (3) 在二路组相联映射方式下，设计主存的地址格式
- (4) 若主存容量为 512K×32 位，块长不变，在四路组相联映射方式下，设计主存的地址格式

7、某机字长 32 位，主存按字节编址，现有 4 种不同长度的数据（字节、半字、单字、双字），请采用一种既节省存储空间，又能保证任何长度的数据在单个存取周期内完成读写的方法，将一批数据顺序地存入主存，画出主存中数据的存放示意图

这批数据一共有 10 个，它们依次为字节、半字、双字、单字，字节，单字、双字、半字、单字、字节

8、若低位交叉的 8 体并行主存按字节编址，每个模块的读写宽度为两个字节，请图示 8 体交叉并行主存的编址情况，若每个模块的读写周期均为 250ns,求 8 体交叉并行主存的带宽若读操作所涉及的 8 个单元地址为下列两种情况，是分别计算这两种情况时 8 体交叉并行主存的实际带宽

(1) 8880H，8881H，8882H，8883H，8884H，8885H，8886H，8887H

(2) 8880H，8884H，8888H，888CH，8890H，8894H，8898H，889CH

第四章

一、填空题

- 1、零地址运算指令的操作数来自（ ）
- 2、根据操作数所在位置，指出其寻址方式：操作数在寄存器中称为（ ）寻址方式；操作数地址在寄存器中，称为（ ）寻址方式；操作数在指令中，称为（ ）寻址方式；操作数地址在指令中，称为（ ）寻址方式操作数的地址，为某一个寄存器的内容与位移之和，则可以是（ ）、（ ）和（ ）寻址方式
- 3、设字长和指令长度均为 24 位，若指令系统可完成 108 种操作，并且具有直接、间接（一次间址）、变址、基址、相对、立即 6 种寻址方式，则在保证最大范围内直接寻址的前提下,指令字中操作码占()位,寻址特征位占()位,可直接寻址的范围是(),一次间址的范围是（ ）

二、选择题

- 1、指令系统中采用不同寻址方式的目的主要是（ ）
- A 可以降低指令译码难度
- B 缩短指令字长，扩大寻址空间，提高编程灵活性
- C 实现程序控制
- 2、一地址指令中，为完成两个数的算术运算，除地址译码器指明的一个操作数外，另一个操作数常用（ ）
- A 堆栈寻址方式 B 立即寻址方式 C 隐含寻址方式
- 3、操作数在寄存器中的寻址方式称为（ ）寻址

A 直接 B 寄存器直接 C 寄存器间接

4、寄存器间接寻址方式中，操作数在（ ）中

A 通用寄存器 B 堆栈 C 主存单元

5、扩展操作码是（ ）

A 操作码字段以外的辅助操作字段的代码

B 指令格式中不同字段设置的操作码

C 一种指令优化技术，即让操作码的长度随地址数的减少而增加，不同地址数的指令可以具有不同的操作码长度

6、（ ）方式便于数组的处理

A、间接寻址 B、变址寻址 C、相对寻址 D、基址寻址

7、以下有关指令系统的说法，错误的是（ ）

A、指令系统是计算机硬件设计的重要依据 B、指令系统是表征一台计算机功能的重要因素

C、指令系统是计算机软件、硬件的界面 D、指令系统与机器语言无关

8、程序控制类指令的功能是（ ）

A、改变程序执行顺序 B、进行主存和 CPU 之间的数据传送

C、进行 CPU 和外设之间的数据传送 D、控制进、出栈操作

9、RISC 思想主要基于的是（ ）

A、减少指令的平均执行周期数 B、减少指令的复杂度

C、减少硬件的复杂程度 D、便于编译器的编写

10、下列几项中，不符合 RISC 指令系统的特点是（ ）

A、指令长度固定，指令种类少

B、寻址方式种类尽量减少，指令功能尽可能强

C、增加寄存器的数目，以尽量减少访存次数

D、选取使用频率最高的一些简单指令，以及很有用但不复杂的指令

11、（ ）方式对实现程序浮动提供了支持

A、间接寻址 B、变址寻址 C、相对寻址 D、基址寻址

12、假定指令中地址码所给出的是操作数的有效地址，则该指令采用（ ）寻址方式

- A、立即 B、直接 C、基址 D、变址

13、以下几种寻址方式中，（ ）方式取操作数最快

- A、直接寻址 B、寄存器寻址 C、相对寻址 D、基址寻址

14、以下关于 RISC 的描述正确的是（ ）

- A、支持的寻址方式更多 B、指令条数多
C、只有取数/存数指令访问存储器，其余指令的操作均在寄存器之间进行 D、指令字长不固定

15、执行一条一地址的加法指令共需要（ ）次访问主存（含取指令）

- A、1 B、2 C、3 D、4

16、零地址的运算类指令在指令格式中不给出操作数地址，参加的两个操作数来自（ ）

- A、累加器和寄存器 B、累加器和暂存器
C、堆栈的栈顶和次栈顶单元 D、暂存器和堆栈的栈顶单元

17、在关于一地址运算类指令的叙述中，正确的是（ ）

- A、仅有一个操作数，其地址由指令的操作码提供 B、可能有一个操作数，也可能有两个操作数
C、一定有两个操作数，另一个是隐含的 D、指令的地址码字段存放的一定是操作码

18、一个计算机系统采用 32 位单字长指令，地址码为 12 位，如果定义了 250 条二地址指令，那么单地址指令的条数有（ ）

- A、4K B、8k C、16K D、24k

19、一条指令有 128 位，按字节编址，读取这条指令后，PC 的值自动加（ ）

- A、1 B、2 C、4 D、16

20、为了缩短指令中某个地址码的位数，而指令的执行时间又相对短，则有效得寻址方式是（ ）

- A、立即寻址 B、寄存器寻址 C、直接寻址 D、寄存器间接寻址

21、指令操作所需的数据不会来自（ ）

- A、寄存器 B、指令本身 C、主存 D、控制器

22、在变址寻址方式中，若变址寄存器的内容是 4E3CH，指令中的形式地址是 63H，则它对应的有效地址是（ ）

- A、63H B、4D9FH C、4E3CH D、4E9FH

23、采用变址寻址可以扩大寻址范围，且（ ）

- A、变址寄存器的内容由用户确定，在程序执行过程中不能改变
B、变址寄存器的内容由操作系统确定，在程序执行过程中不能改变
C、变址寄存器的内容由用户确定，在程序执行过程中可以改变
D、变址寄存器的内容由操作系统确定，在程序执行过程中可以改变

24、变址寻址和基址寻址的有效地址形成方式类似，但（ ）

- A、变址寄存器的内容在程序执行过程中是不能改变的
B、基址寄存器的内容在程序执行过程中是可以改变的
C、在程序执行过程中，变址寄存器的内容不能改变而基址寄存器的内容可变
D、在程序执行过程中，基址寄存器的内容不能改变而变址寄存器的内容可变

25、设相对寻址的转移指令占两个字节，第一个字节是操作码，第二哥字节是相对转移量（补码表示）每当 CPU 从存储器取出第一个字节时，即自动完成（PC）+1→PC 设当前 PC 的内容为 2003H，要求转移到 200AH 地址，则该转移指令第二字节的内容为（ ）若 PC 的内容为 2008H，要求转移到 2001H 地址，则该转移指令第二字节的内容为（ ）

- A、05H B、06H C、07H D、F7H E、F8H F、F9H

26、在存储器堆栈中，保持不变的是（ ）

- A、栈顶 B、栈指针 C、栈底 D、栈中的数据

27、将子程序返回地址放在（ ）中时，子程序允许嵌套和递归

- A、寄存器 B、堆栈 C、子程序的结束位置 D、子程序的起始位置

28、I/O 编址方式通常分为统一编址和独立编址，（ ）

- A 统一编址就是将 I/O 地址看作是存储器地址的一部分，可用专门的 I/O 指令对设备进行访问
B 独立编址是指 I/O 地址和存储器地址是分开的，所以对 I/O 访问必须有专门的 I/O 指令
C 统一编址是指 I/O 地址和存储器地址是分开的，所以可用访存指令实现 CPU 对设备的访问
D 独立编址就是将 I/O 地址看作是存储器地址的一部分，所以对 I/O 访问必须有专门的 I/O 指令

三、设计题

1、某机器字长 16 位，存储器直接寻址空间为 128 字，变址时的位移量为 -64~+63，16 个通用寄存器均可作为变址寄存器设计一套指令系统格式，满足下列寻址类型的要求

- (1) 直接寻址的二地址指令 3 条
- (2) 变址寻址的一地址指令 6 条
- (3) 寄存器寻址的二地址指令 8 条
- (4) 直接寻址的一地址指令 12 条
- (5) 零地址指令 32 条

2、某机主存容量为 4M x 16 位，且存储字长等于指令字长，若该机指令系统可完成 108 种操作，操作码位数固定，且具有直接、间接、变址、基址、相对、立即 6 种寻址方式，试回答：

- (1) 画出一地址指令格式，并指出各字段的作用；
- (2) 该指令直接寻址的最大范围；
- (3) 一次间址和多次间址的寻址范围；
- (4) 立即数的范围（换算成十进制）；
- (5) 相对寻址的位移量（换算成十进制）；
- (6) 上述 6 种寻址方式的指令哪一种执行时间最短？哪一种执行时间最长？为什么？哪一种便于程序浮动？哪一种最适合处理数组问题？

第五章

一、填空题

- 1、控制器由于设计方法的不同，可以分为 （ ） 型、（ ）型和 （ ）型控制器
- 2、控制器在生成各种控制信号时，必须按一定的 （ ） 进行，以便对各种操作实施时间上的控制
- 3、微程序控制器的计算机中的控制存储器 CM 是用来存放 （ ） 的
- 4、在微指令的字段编码法中，操作控制字段的分段并非任意的，必须遵循的分段原则中包括：
 - (1) 把 （ ） 性的微命令分在同一段内
 - (2) 一般每个小段要留出一个状态，表示 （ ）

二、选择题

1、中央处理机是指 （ ）

- A、运算器 B、控制器 C、运算器、控制器、cache D、运算器、控制器、主存

2、操作控制器的功能是 （ ）

- A、产生时序信号
B、从主存取出一条指令
C、完成指令操作码译码
D、从主存取出指令，完成指令操作码译码，产生有关的操作控制信号

3、指令周期是指 （ ）

- A、CPU 从主存取出一条指令的时间 B、CPU 执行一条指令的时间
C、CPU 从主存取出一条治理加上执行这条指令的时间 D、时钟周期时间

4、请在以下叙述中选出两个正确描述的句子 （ ）

- A、同一个 CPU 周期中，可以并行执行的微操作叫相容性微操作
B、同一个 CPU 周期中，不可以并行执行的微操作叫相容性微操作
C、同一个 CPU 周期中，可以并行执行的微操作叫相斥性微操作
D、同一个 CPU 周期中，不可以并行执行的微操作叫相斥性微操作

5、微程序控制器中，机器指令与微指令的关系是 （ ）

- A、每一条机器指令由一条微指令来执行 B、每一条机器指令由一段用微指令编成的微程序来解释执行
C、一段机器指令组成的程序可由一条微指令来执行 D、一条微指令由若干条机器指令组成

6、为了确定下一条微指令的地址，通常采用断定方式，其基本思想是 （ ）

- A、用程序计数器 PC 来产生后续微指令地址
B、用微程序计数器 μPC 来产生后继微指令地址
C、通过微指令控制字段由设计者指定或者由设计者指定的判断字段控制产生后继微指令地址
D、通过指令中指定一个专门字段来控制产生后继微指令地址

7、假设微操作信号用 CN 表示，指令操作码译码器输出用 I_m ，节拍电位信号用 M_k 表示，节拍脉冲信号用 T_i 表示，状态反馈信息用 B_i 表示，则硬连线控制器的基本原理课描述为 （ ），它可用门电路和触发器组成的树型网络来实现

- A、 $C_n = f(I_m, T_i)$ B、 $C_n = f(I_m, B_i)$
C、 $C_n = f(M_k, T_i, B_i)$ D、 $C_n = f(I_m, M_k, T_i, B_i)$

8、下列部件不属于控制器的部件是（ ）

- A、指令寄存器 B、操作控制器 C、程序计数器 D、状态条件寄存器

9、计算机操作的最小时间单位是（ ）

- A、时钟周期 B、指令周期 C、CPU 周期 D、微指令周期

10、就微命令的编码方式而言，若微操作命令的个数已确定，则

- A、直接表示码比编码表示法的微指令字长短
B、编码表示法比直接表示法的微指令字长短
C、编码表示法与直接表示法的微指令字长相等
D、编码表示法与直接表示法的微指令字长大小关系不确定

11、在 CPU 的寄存器中，（ ）对用户是透明的

- A、指令寄存器 B、操作控制器 C、程序计数器 D、通用寄存器

12、在 CPU 中，跟踪后继指令地址的寄存器是（ ）

- A、指令寄存器 B、操作控制器 C、程序计数器 D、通用寄存器

13、程序计数器的位数取决于（ ）

- A、存储器的容量 B、机器字长 C、指令字长 D、都不对

14、指令寄存器的位数取决于（ ）

- A、存储器的容量 B、机器字长 C、指令字长 D、存储字长

15、CPU 中的通用寄存器的位数取决于（ ）

- A、存储器的容量 B、机器字长 C、指令字长 D、都不对

16、CPU 中的通用寄存器，（ ）

- A、只能存放数据，不能存放地址 B、可以存放数据和地址
C、既不能存放数据，也不能存放地址 D、可以存放数据和地址，还可以替代指令寄存器

17、状态寄存器用来存放，（ ）

A、算术运算结果 B、逻辑运算结果 C、运算类型 D、算术、逻辑运算及测试指令的结果状态

18、指令译码是对（ ）进行译码

A、整条指令 B、指令的操作码字段 C、指令的地址码字段 D、指令的地址

19、在微程序控制器中，执行指令微程序的首条微指令地址是通过（ ）得到的

A、程序计数器 B、前条微指令 C、 $upc+1$ D、指令操作码映射

20、相对于微程序控制器，硬布线控制器的特点是()

A、指令执行速度慢，指令功能的修改和扩展容易 B、指令执行速度慢，指令功能的修改和扩展难

C、指令执行速度快，指令功能的修改和扩展容易 D、指令执行速度快，指令功能的修改和扩展难

21、在串行进位的并行加法器中，影响加法器运算速度的关键因素是（ ）

A、门电路的级延时 B、元器件速度 C、进位传递延时 D、各位加法器速度的不同

22、某计算机存储器按字（16 位）编址，每取出一条指令后 PC 值自动加 1，说明其指令长度是（ ）

A、1 字节 B、2 字节 C、3 字节 D、4 字节

23、微操作信号发生器的作用是（ ）

A、从主存中取出指令 B、完成指令操作码的分析功能

C、产生控制时序 D、产生各种微操作控制信号

24、在微程序控制器中，机器指令与微指令的关系是（ ）

A、每一条机器指令由一条微指令来执行 B、一条机器指令需要若干条微指令来解释执行

C、一段机器指令组成的程序可由一个微程序来执行 D、每一条微指令由一条机器指令来解释执行

25、超标量流水技术（ ）

A 缩短原来流水线的处理器周期 B 在每个时钟周期内同时并发多条指令

C 把多条能并行操作的指令组合成一条具有多个操作码字段的指令

26、超流水线技术是（ ）

A 缩短原来流水线的处理器周期 B 在每个时钟周期内同时并发多条指令

C 把多条能并行操作的指令组合成一条具有多个操作码字段的指令

27、由编译程序将多条指令组合成一条指令，这种技术称做（）

- A 超标量技术 B 超流水技术 C 超长指令字技术

28、微指令格式中，（）

- A 垂直型微指令采用较长的微程序结构去换取较短的微指令结构
B 垂直型微指令采用较短的微程序结构去换取较长的微指令结构

29、在微程序控制器中，控制部件向执行部件发出的某个控制信号称为（ ）

- A 微指令 B 微操作 C 微命令 D 微程序

30、将微程序存储在 EPROM 中的控制器是()控制器

- A 静态微程序 B 豪微程序 C 动态微程序

31、在控制器的控制信号中，相容的控制信号是（ ）的信号

- A 可以相互替代 B 可以相继出现 C 可以同时出现

32、以硬连线方式构成的控制器又称为（ ）控制器

- A 组合逻辑型 B 存储逻辑型 C 微程序型

33、微程序存放在（ ）中

- A 存储器控制器 B 控制存储器 C 主存储器

34、在微指令的编码方式中，在微命令数相同的情况下（ ）

- A 直接编码和字段直接编码不影响微指令字长
B 直接编码的微指令比字段直接编码的微指令长
C 字段直接编码的微指令比直接编码的微指令长

35、下列（ ）不属于设计微指令结构时所追求的目标

- A 增大控制存储器的容量 B 提高微程序的执行速度 C 缩短微指令的长度

36、同步控制是（ ）

- A 只适用于 CPU 控制的方式 B 由统一时序信号控制的方式 C 所有指令执行时间都相同的方式

37、在下列说法中，() 是错误的

A 计算机的速度完全取决于主频

B 计算机的速度不完全取决于主频

C 计算机的速度与主频、机器周期内平均含时钟周期数及机器的平均指令执行速度有关

38、计算机操作的最小单位时间是 ()

A 时钟周期

B 指令周期

C 存取周期

39、一个节拍信号的宽度是指 ()

A 指令周期

B 机器周期

C 时钟周期

40、在取指操作之后，程序计数器中存放的是 ()

A 当前指令的地址

B 程序指令的数量

C 下一条指令的地址

41、 取指令操作 ()

A 受上一条指令的操作码控制

B 受当前指令的操作码控制

C 是控制器的固有功能，无需在操作码控制下完成

42、计算机执行乘法指令时，由于其操作较复杂，需要更多的时间，通常采用 () 控制方式

A 延长机器周期内节拍数

B 异步

C 中央与局部控制相结合的

43、水平型微指令的特点是 ()

A 一次可以完成多个操作

B 微指令的操作控制字段不进行编码

C 微指令的格式简短

44、在计算机系统中，表征系统运行状态的部件是 ()

A 程序计数器

B 累加寄存器

C 中断寄存器

D 程序状态字

45、通用寄存器是 ()

A 可存放指令的寄存器

B 可存放程序状态字的寄存器

C 本身具有计数逻辑与移位逻辑的寄存器

D 可编程指定多种功能的寄存器

46、下列说法正确的是 ()

- A 指令周期等于机器周期 B 指令周期小于机器周期
- C 指令周期大于机器周期 D 指令周期是机器周期的两倍

47、三级时序系统提供的三级时序信号是（ ）

- A 指令周期、机器周期、节拍 B 指令周期、机器周期、时钟周期
- C 机器周期、节拍、脉冲 D 指令周期、微指令周期、时钟周期

48、采用同步控制的目的是（ ）

- A 提高执行速度 B 简化控制时序 C 满足不同操作对时间安排的需要 D 满足不同设备对时间安排的需要

49、异步控制常用于（ ）

- A CPU 访问外围设备时 B 微程序控制器中 C CPU 的内部控制中 D 主存的内部控制中

50、下列说法正确的是（ ）

- A 采用微程序控制器是为了提高速度 B 控制存储器采用高速 RAM 电路组成
- C 微指令计数器决定指令执行顺序 D 一条微指令存放在控制存储器的一个单元中

51、下列说法正确的是（ ）

- A 微程序控制方式与硬布线控制方式比较，前者可以使指令的执行速度更快
- B 若采用微程序控制方式，则可用 uPC 代替 PC
- C 控制存储器可以用掩膜 ROM、EPROM 或闪速存储器实现
- D 指令周期也称为 CPU 周期

52、下列说法正确的是（ ）

- A 控制器产生的所有控制信号称为微指令 B 微程序控制器比硬布线控制器更加灵活
- C 微处理器的程序称为微程序 D 采用微程序控制器的处理器称为微处理器

53、微程序控制器的速度比硬布线控制慢，主要是因为（ ）

- A 增加了从磁盘存储器读取微指令的时间 B 增加了从主存储器读取微指令的时间
- C 增加了从指令寄存器读取微指令的时间 D 增加了从控制存储器读取微指令的时间

54、硬布线控制与微程序控制器相比（ ）

- A 硬布线控制器的时序系统比较简单

- B 微程序控制器的时序系统比较简单
- C 两者的时序系统复杂程序相同
- D 可能是硬布线控制器的时序系统简单，也可能是微程序控制器的时序系统简单

55、微指令执行的顺序控制问题，实际上是如何确定下一条微指令的地址问题通常采用的一种方法是断定方式其基本思想是（ ）

- A 用程序计数器 PC 来产生后继微指令地址
- B 用微程序计数器 uPC 来产生后继微指令地址
- C 通过微指令顺序控制字段由设计者指定或者由判断字段控制产生后继微指令地址
- D 通过微指令中指定的一个专门字段来控制产生后继微指令地址

56、兼容性微命令指几个微命令是（ ）

- A 可以同时出现的
- B 可以相继出现的
- C 可以相互替代的
- D 可以相互容错的

57、下列不符合 RISC 特点的是（ ）

- A 指令长度固定，指令种类少
- B 寻址方式种类丰富，指令功能尽量增强
- C 设置大量通用寄存器，访问存储器指令简单
- D 选取使用频率较高的一些简单指令

58、以下关于 CISC/RISC 计算机的叙述中，错误的是（ ）

- A RISC 机器指令比 CISC 机器指令简单
- B RISC 中通用寄存器比 CISC 多
- C CISC 机器采用微码比 RISC 多
- D CISC 比 RISC 机器可以更好第支持高级语言

59、设指令由取指、分析、执行 3 个子部件完成，并且每个子部件的时间均为 Δt ，若采用常规标量单流水线处理机（即处理机的度为 1），连续执行 12 条指令，共需（ ）

- A $12\Delta t$
- B $14\Delta t$
- C $16\Delta t$
- D $18\Delta t$

60、现有四级指令流水线，分别完成取指、取数、运算、传送结果 4 步操作若完成上述操作的时间依次为 9ns、10ns、6ns、8ns 则流水线的操作周期应设计为（ ）

- A 9ns
- B 10ns
- C 6ns
- D 8ns

三、判断题

- 1、在冯·诺依曼计算机中，指令流是由数据流驱动的（ ）
- 2、执行指令时，指令在主存中的地址存放在指令寄存器中（ ）
- 3、指令周期是指 CPU 从主存中读出一条指令的时间（ ）

- 4、指令周期又称 CPU 周期（ ）
- 5、取指周期的操作与指令的操作码无关（ ）
- 6、微指令是指控制存储器中的一个单元的内容（ ）
- 7、在微程序控制器中，微指令寄存器用来存放微程序（ ）
- 8、微指令的操作控制字段采用字段编码时，兼容的微命令应安排在同一段中（ ）

四、设计题

- 1、某机采用微程序控制方式，微指令字长 24 位，采用水平型编码控制的微指令格式，断定方式共有微命令 30 个，构成 4 个互斥类，各包含 5 个、8 个、14 个和 3 个微命令，外部条件共 3 个
- (1) 控制存储器的容易应为多少？
- (2) 设计出微指令的具体格式

- 2、某机有 8 条微指令 l1 ~l8 ， 每条微指令所含的微命令控制信号如下表所示

微指令	激活的控制信号									
	a	b	c	d	e	f	g	h	i	j
l1	√			√						
l2			√				√		√	
l3		√				√		√		
l4	√									√
l5			√		√				√	
l6	√			√						√
l7	√		√							
l8		√				√		√		

试为 a、b、c、d、e、f、g、h、i、j 这 10 个微命令设计格式并安排编码

总线及输入输出系统

一、填空题

- 1、三态门电路比普通门电路多一种（ ）状态
- 2、总线的（ ）裁决方式速度最高
- 3、I/O 接口按数据传送的宽度可以分为（ ）和（ ）两类
- 4、CPU 响应中断时需要保存当前现场，这里现场指的是（ ）和（ ）的内容，它们被保存到（ ）中
- 5、在中断服务程序中，保护和恢复现场之前需要（ ）中断

6、DMA 只负责在（ ）总线上进行数据传送，在 DMA 写操作中，数据从（ ）传送到（ ）

二、选择题

1、计算机使用总线结构便于增减外设，同时（ ）

A . 减少了信息传输量 B 提高了信息的传输速度 C 减少了信息传输线的条数

2、在三种集中式总线控制方式中，（ ）方式响应时间最快

A 链式查询 B 计数器定时查询 C 独立请求 D、不能确定

3、 连接计算机与计算机之间的总线属于（）总线

A 内部 B 系统 C 通信

4、 在计数器定时查询方式下，若每次计数从上一次计数的终点开始，则（ ）

A 设备号小的优先级高 B 每个设备使用总线的机会相等 C 设备号大的优先级高

5、 在独立请求方式下，若有 N 个设备，则（ ）

A 有一个总线请求信号和一个总线响应信号

B 有 N 个总线请求信号和 N 个总线响应信号

C 有一个总线请求信号和 N 个总线响应信号

6、系统总线中的数据线、地址线和控制线是根据（ ）来划分的

A 总线所处的位置 B 总线的传输方向 C 总线传输的内容 D 总线的控制方式

7、总线复用方式可以（ ）

A 提高总线的传输带宽 B 增加总线的功能 C 减少总线中信号线的数量

8、在同步通信中，一个总线周期的传输过程是（ ）

A 先传送数据，再传送地址 B 先传送地址，再传送数据 C 只传送数据 D 只传送地址

9、 总线的异步通信方式（）

A 不采用时钟信号，只采用握手信号

B 既采用时钟信号，又采用握手信号

C 既不采用时钟信号，又不采用握手信号

10、数据总线的宽度由总线的（ ）定义

A、物理特性 B、功能特性 C、电气特性 D、时间特性

11、连接计算机与计算机之间的总线属于（ ）总线

A、通信 B、系统 C、内 D、都不对

12、系统总线中地址线的作用是（ ）

A、用于选择主存单元 B、用于选择进行信息传输的设备

C、用于指定主存单元和 I/O 设备接口电路的地址 D、用于传送主存物理地址和逻辑地址

13、挂接在总线上的多个部件（ ）

A、只能分时向总线发送数据，并只能分时从总线接收数据

B、只能分时向总线发送数据，但可同时从总线接收数据

C、可同时向总线发送数据，并同时从总线接收数据

D、可同时向总线发送数据，但只能分时从总线接收数据

14、总线的从设备指的是（ ）

A、申请作为从设备的设备 B、被主设备访问的设备 C、掌握总线控制权的设备 D、总线源设备

15、“总线忙”信号的建立者是（ ）

A、获得总线控制权的设备 B、发出“总线请求”信号的设备 C、总线控制器 D、CPU

16、“在计数定时查询方式下， 正确的描述是（ ）

A、总线设备的优先级可变 B、越靠近控制器的设备优先级越高

C、各个设备的优先级相等 D、各个设备获得总线使用权的机会均等

17、微型机系统中，主机和高速硬盘进行数据交换一般采用（ ）方式

A 程序查询 B 程序中断 C DMA

18、在数据传送过程中，数据由串行变并行或者由并行变串行，这种转换是通过接口电路中的（ ） 实现的

A 数据寄存器 B 移位寄存器 C 锁存器

19、主机与设备传送数据时，采用（ ），主机与设备是串行工作的

A 程序查询方式 B 程序中断方式 C DMA 方式 D 通道方式

20、主机与 I/O 设备传送数据时，采用（ ），CPU 效率最高

A 程序查询方式 B 程序中断方式 C DMA 方式

21、DMA 方式中，周期窃取是窃取一个（ ）

A 存取周期 B 指令周期 C CPU 周期 D 总线周期

22、I/O 编址方式通常分为统一编址和独立编址，（ ）

A 统一编址就是将 I/O 地址看作是存储器地址的一部分，可用专门的 I/O 指令对设备进行访问

B 独立编址是指 I/O 地址和存储器地址是分开的，所以对 I/O 访问必须有专门的 I/O 指令

C 统一编址是指 I/O 地址和存储器地址是分开的，所以可用访存指令实现 CPU 对设备的访问

23、I/O 与主机交换信息的方式中，DMA 方式的特点是（ ）

A CPU 与设备串行工作，传送与主程序串行工作

B CPU 与设备并行工作，传送与主程序串行工作

C CPU 与设备并行工作，传送与主程序并行工作

24、DMA 访问主存时，让 CPU 处于等待状态，等 DMA 的一批数据访问结束后，CPU 再恢复工作，这种情况称为（ ）

A 停止 CPU 访问主存 B 周期挪用 C DMA 与 CPU 交替访问

25、活动头磁盘存储器的找道时间通常是指（ ）

A、最大找道时间

B、最小找道时间

C、最大找道时间与最小找道时间的平均值

D、最大找道时间与最小找道时间之和

26、DMA 方式是在（ ）之间建立一条直接数据通路

A、I/O 设备和主存 B、两个 I/O 设备 C、I/O 设备和 CPU D、CPU 和主存

27、CPU 响应 DMA 请求的条件是当前（ ）执行完

A、机器周期 B、总线周期 C、硬件和软件 D、固件

28、DMA 数据的传送是以（ ）为单位进行的

- A、字节 B、字 C、数据块 D、位

29、将外围设备与主存统一编址，一般是指（ ）

- A、每台设备占一个地址码 B、每个外围接口占一个地址码
C、接口中的有关寄存器各占一个地址码 D、每台外设由一个主存单元管理

30、当有中断源发出请求时，CPU 可执行相应的中断服务程序提出中断请求的可以是（ ）

- A、通用寄存器 B、专用寄存器 C、外部事件 D、cache

31、CPU 响应中断的时间是（ ）

- A、一条指令结束 B、外设提出中断 C、取指周期结束 D、任一机器周期结束

32、隐指令是指（ ）

- A、操作数隐含在操作码中的指令 B、在一个机器周期里完成全部操作的指令
C、隐含地址码的指令 D、指令系统中没有的指令

33、在中断周期，CPU 主要完成以下工作（ ）

- A、关中断，保护断点，发中断响应信号并形成中断服务程序入口地址
B、开中断，保护断点，发中断响应信号并形成中断服务程序入口地址
C、关中断，执行中断服务程序
D、开中断，执行中断服务程序

34、中断向量是（ ）

- A、外设提出中断 B、由硬件形成中断服务程序入口地址
C、由硬件形成向量地址，再由向量地址找到中断服务程序入口地址 D、以上都不对

35、中断允许触发器用于（ ）

- A、向 CPU 发中断请求 B、指示正有中断在进行 C、开发或关闭中断系统 D、指示中断处理结束

36、中断屏蔽码的作用是（ ）

- A、暂停外设对主机的访问 B、暂停对某些中断的处理
C、暂停对一切中断的处理 D、暂停 CPU 对主存的访问

37、以下论述正确的是（ ）

- A、CPU 响应中断期间仍执行原程序
- B、在中断过程中，若又有中断源提出中断请求，CPU 立即响应
- C、在中断响应中，保护断点、保护现场应由用户编程完成
- D、在中断响应中，保护断点是由中断隐指令自动完成的

38、在 DMA 传送方式中，由（ ）发出 DMA 请求

- A、外部设备
- B、DMA 控制器
- C、CPU
- D、主存

39、在采用 DMA 方式高速传输数据时，数据传送是（ ）

- A、在总线控制器发出的控制信号控制下完成的
- B、在 DMA 控制器本身发出的控制信号控制下完成的
- C、由 CPU 执行的程序完成的
- D、由 CPU 响应中断处理完成的

40、DMA 方式的接口电路中有程序中断部件，其作用是（ ）

- A、实现数据传送
- B、向 CPU 提出总线使用权
- C、向 CPU 提出传输结束
- D、发出中断请求

41、DMA 方式（ ）

- A、既然能用于高速外围设备的信息传送，也就能代替中断方式
- B、不能取代中断方式
- C、也能向 CPU 请求中断处理数据传送
- D、内无中断机制

42、通道程序是由（ ）组成

- A、I/O 指令
- B、通道控制字（或称通道指令）
- C、通道状态字
- D、通道地址字

43、对于低速输入输出设备，应当选用的通道是（ ）

- A、数组多路通道
- B、字节多路通道
- C、选择通道
- D、DMA 专用通道

三、判断题

- 1、微型机中系统总线包括数据总线、地址总线和控制总线，所以称它为三总线（ ）
- 2、一个总线在某一时刻可以有多对主、从设备进行通信（ ）
- 3、一个外设接口中至少包含两个或两个以上的端口（ ）
- 4、输入输出接口中的数据端口是一个缓冲寄存器（ ）

- 5、I/O 接口电路也是一种输入输出设备（ ）
- 6、在 I/O 接口电路中，主机和接口一侧的数据传送总是并行的（ ）
- 7、在允许多重中断的计算机系统中，只要外部有新的中断，就要打断正在处理的中断服务程序（ ）
- 8、中断请求的响应时间，必须安排在每个指令周期的末尾（ ）
- 9、DMA 请求的响应时间，必须安排在每个指令周期的末尾（ ）
- 10、通道是实现外设和主存之间直接交换数据的控制器（ ）

四、综合题

- 1、某总线时钟频率为 66MHz，在一个 64 位总线中，总线数据传输的周期是 7 个时钟周期传输 6 个字的数据块
 - (1) 问总线的数据传输率是多少？
 - (2) 如果不改变数据块的大小，而是将时钟频率减半，问这时总线的数据传输率是多少？

- 2、若输入输出系统采用字节多路通道方式，共有 8 个子通道，各子通道每次传送一个字节，已知整个通道最大传输速率为 1200B/S，问每个子通道的最大传输速率是多少？若是数组多路通道，则每个子通道的最大传输速率又是多少？