

王道考研——组成原理

WWW.CSKAOYAN.COM

第七章 输入/输出系统

1

历年真题考频统计

章节	索引	核心考点	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	小题考频	大题考频	章节考频
Ch1	1	计算机系统层次结构	#11						#12	#12		#12	#12			#18 #20	7		15+2
	2	计算机的性能指标		#12	#12	#12 &43	#12 &43	#12			#12			#12	#12		8	2	
	3	定点数的表示与运算		&43	&43	&44	#14 &44	#13	#13		&43 &44	#13 #16 #19	#13 &45	#13 &43	#13	#13	10	8	
Ch2	4	C语言中各种数据的转换		#14	&43	#13				#13	&43						3	2	
	5	IEEE 754标准, 浮点数运算	#13	#14	#13	#14	#13	#14	#14		&43 &44	#14		#13	#14	#14	11	2	28+14
	6	数据的对齐和大小端存储								#14		#15	#15	#14			4		
Ch3	7	半导体随机存取存储器		#16	#14	#16		#15	#17			#17 &44				#15 &43	#17	6	1
	8	主存储器与CPU的连接	#15	#15	#15					#16							6	1	
	9	低位交叉存储器				&43			#18		#13						2	1	
	10	高速缓冲存储器 (Cache)	#14 #21	#17 &44	&44	#17 &43	&43	#16 &45	#15 #16	#15 &45	#14	&44	&46	#15 &44	#16	#16	12	9	36+22
	11	虚拟存储器		#17	&44	&43	#16 &43	&45	#16	&45		&44	#14 &46	#15 &44	&44	#15	6	9	
Ch4	12	磁盘存储器				#20 #21			#20				#20				4	1	
	13	指令格式		&43			&44	&44	&44		#16	#15	&45		&43	#19	3	6	
	14	指令的寻址方式	#16	&43	#16 #17		#17 &44	#17 &44		#17	#15	#18	&45	#16	&43		9	5	13+14
	15	CISC与RISC	#17								&44						1	1	
Ch5	16	程序的机器级代码表示									&44						2		
	17	CPU的功能和基本结构		#18	&43				&43 &44	#18 #20		#19			#17 &43	&43	5	5	
	18	指令执行过程							&44						#21 &43	&43	2	3	
	19	数据通路的功能和基本结构	&44	&43		&44			&43	#20	#19				#18	&43	3	5	27+21
	20	控制器的功能和工作原理	#19 &44		#19	#18		#18 &45	&43 &44		#18 &44		#16			&43	6	6	
	21	指令流水线	#18	#19	#18	&44	#18	#16 &44		#19	#17	#20	#18	#17			10	2	
	22	多处理器的基本概念														#22	1		
	23	总线概念和常见总线标准	#20	#20	#20	#20	#19 &43		#19	#21 &44	#20				#19		9	2	
Ch6+Ch7	24	总线的性能指标				#19	&43	#19 #20				#21	#19	#19			6	1	
	25	外部设备和I/O接口		#22		#21		#21	#21		#21	&43			#20		6	1	41+12
	26	程序查询方式			#22							&43					1	1	
	27	程序中断方式	#22 &43	#21	#21	#22	#22	#22	#22	#22 &44	#22	#22 &43	#21	#18 #20 #21	#22	#21	16	3	
	28	DMA方式				&43						&43	#22	#22			3	4	
其他	29	加法器														&43		1	
	30	乘法电路																	0+1
	31	除法电路																	
已删		海明码					#15										1		1+0

2

【复习要点】

- I/O 接口的功能和结构，I/O 端口两种编址方式的原理及各自的优缺点。
- 程序查询方式的概念、原理、特点。
- 中断方式的概念、原理、特点，中断响应的条件及过程，中断处理过程，中断屏蔽技术。
- DMA 方式的概念、原理、特点，DMA 方式的传送方式和传送过程，与中断方式的比较。

章节	索引	核心考点	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	小题考频	大题考频	章节考频
Ch6+Ch7	25	外部设备和I/O接口		#22		#21		#21	#21		#21	&43			#20		6	1	41+12
	26	程序查询方式			#22							&43					1	1	
	27	程序中断方式	#22 &43	#21	#21	#22	#22	#22	#22	#22 &44	#22	#22 &43	#21	#18 #20 #21	#22	#21	16	3	
	28	DMA方式	&43			&43	#22					&43	#22	#22		&44	3	4	

王道考研/CSKAOYAN.COM

3

考点25

外部设备和
I/O接口

王道考研/CSKAOYAN.COM

4

考点25：外部设备和I/O接口

2009	• 小题 22	2010	• 小题 21	2011	• 小题 21	2012	• 小题 21	2013	• 小题 21	2014	• 小题 21	2015	• 小题 21
2016	• 小题 21	2017	• 综合 题43	2018		2019		2020	• 小题 20	2021		2022	

历年考频： 小题×6、综合题×1

王道考研/CSKAOYAN.COM

5

外部设备

【考点笔记】显示器的主要参数

参数指标	说明
分辨率	显示器所能表示的像素个数
灰度级 (或颜色深度)	黑白显示器中像素点亮暗的差别：灰度级为 8 位，可显示 256 种亮度的像素 彩色显示器中像素点颜色的不同：色深为 8 位，可显示 256 种颜色的像素
刷新频率	单位时间内扫描整个屏幕内容的次数
显示存储器	一帧图像存储在刷新存储器中，其存储容量由图像分辨率和灰度级决定 VRAM 容量 = 分辨率×灰度级位数 VRAM 带宽 = 分辨率×灰度级位数×刷新频率（帧频）

王道考研/CSKAOYAN.COM

6

外部设备

2010_22. 假定一台计算机的显示存储器用DRAM芯片实现, 若要求显示分辨率为 1600×1200 , 颜色深度为24位, 帧频为85Hz, 显存总带宽的50%用来刷新屏幕, 则需要的显存总带宽至少约为_____。

- A . 245Mbit/s B . 979Mbit/s
C . 1 958Mbit/s D . 7 834Mbit/s

答案：D

解析：

刷新所需带宽=分辨率×色深×帧频= $1600 \times 1200 \times 24\text{bit} \times 85\text{Hz} = 3916.8\text{Mb/s}$, 显存总带宽的50%用来刷屏, 于是需要的显存总带宽为 $3916.8\text{Mb/s} \div 0.5 = 7833.6\text{Mb/s} \approx 7834\text{Mb/s}$ 。

王道考研/CSKAOYAN.COM

7

I/O接口

【考点笔记】I/O 接口的基本结构

I/O 接口是主机和外设之间的交接界面, 其基本结构如图 7-1 所示。

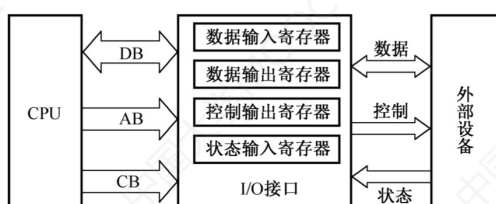


图 7-1 I/O 接口的基本结构

I/O 总线类型	说明	单双向
数据线	I/O 与主机之间数据代码的传送线	双向
地址线	又称设备选择线, 用于主机选中具体的外部设备	单向
控制线	由 CPU 发出的用来控制外设的信号, 如控制外设的启停	单向

注意：不同教材对 I/O 接口基本结构的描述可能不太一致。

王道考研/CSKAOYAN.COM

8

I/O接口

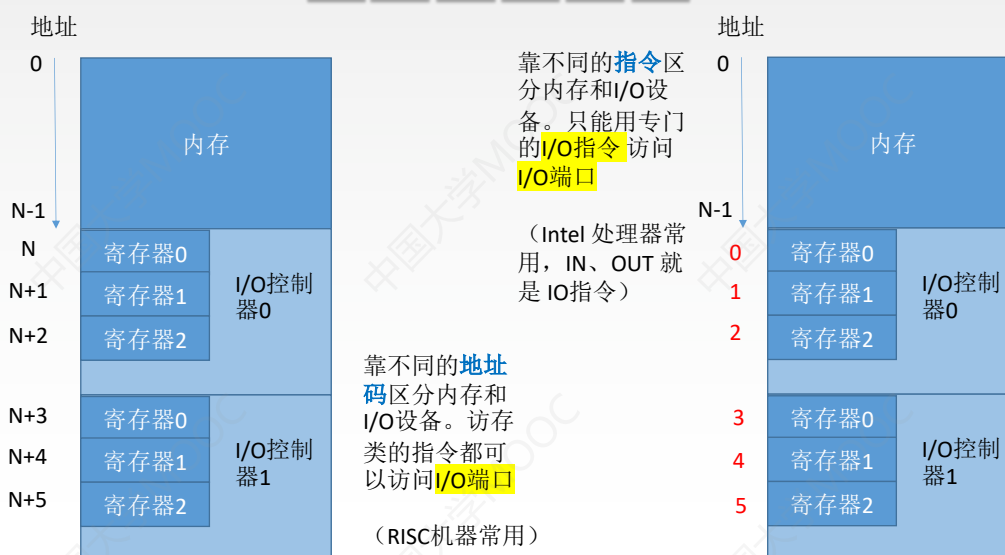
【考点笔记】I/O 端口的编址

编址方式	定义	特点
统一编址	把 I/O 端口当作存储器的单元进行地址分配, 采用统一的访存指令访问 I/O 端口	优点: ①不需要专门的 I/O 指令; ②还可使端口有较大的编址空间 缺点: ①占用了存储器地址, 使内存容量变小; ②执行速度较慢
独立编址	I/O 端口地址与存储器地址无关, 独立编址 CPU 需要设置专门的 I/O 指令访问端口	优点: 程序编制清晰, 便于理解 缺点: ①I/O 指令少, 一般只能对端口进行操作; ②增加了控制的复杂性

王道考研/CSKAOYAN.COM

9

统一编制 v.s. 独立编制



王道考研/CSKAOYAN.COM

10

I/O接口

2017_21. I/O指令实现的数据传送通常发生在___。

- A. I/O设备和I/O端口之间
- B. 通用寄存器和I/O设备之间
- C. I/O端口和I/O端口之间
- D. 通用寄存器和I/O端口之间

答案：D

解析：

I/O端口又称I/O接口，是CPU与设备之间的交接面。由于主机和I/O设备的工作方式和工作速度有很大差异，I/O端口就应运而生。在执行一条指令时，CPU使用地址总线选择所请求的I/O端口，使用数据总线在CPU寄存器和端口之间传输数据。所以选D。

王道考研/CSKAOYAN.COM

11

I/O接口

2014_21. 下列有关I/O接口的叙述中，错误的是___。

- A. 状态端口和控制端口可以合用同一个寄存器
- B. I/O接口中CPU可访问的寄存器称为I/O端口
- C. 采用独立编址方式时，I/O端口地址和主存地址可能相同
- D. 采用统一编址方式时，CPU不能用访存指令访问I/O端口

答案：D

解析：

采用统一编址时，CPU访存和访问I/O端口用的是一样的指令，所以访存指令可以访问I/O端口，D选项错误，其他三个选项均为正确陈述，选D。

王道考研/CSKAOYAN.COM

12

考点26

程序查询方式

王道考研/CSKAOYAN.COM

13

考点26：程序查询方式

		• 小题 22				
2009	2010	2011	2012	2013	2014	2015
		• 综合 题43				
2016	2017	2018	2019	2020	2021	2022

历年考频： 小题×1、综合题×1

王道考研/CSKAOYAN.COM

14

程序查询方式

【考点笔记】程序查询方式

CPU 一旦启动 I/O, 必须停止现行程序的运行, 并用测试指令不断检测设备状态, 直到设备已做好准备, CPU 才能执行 I/O 指令进行数据传送, 这就是程序查询方式。

程序查询方式中 CPU 与 I/O 串行工作, 如图 7-2 所示。

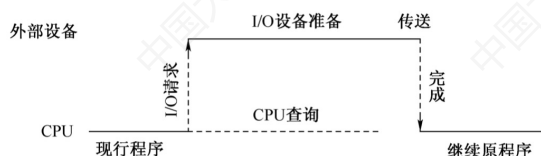


图 7-2 程序查询方式示意图

注: 在多道程序环境下, 进程A 启动I/O后需等待I/O完成, 若采用程序查询方式, 并不意味着 进程A 会一直占用CPU不断地查询, 其他进程也会轮流上CPU运行。

王道考研/CSKAOYAN.COM

15

I/O方式

2018. 43. (8分)假定计算机的主频为500MHz, CPI为4。现有设备A和B, 其数据传输率分别为2MB/s和40MB/s, 对应I/O接口中各有一个32位数据缓冲寄存器。请回答下列问题, 要求给出计算过程。

(1) 若设备A采用定时查询I/O方式, 每次输入/输出都至少执行10条指令。设备A最多间隔多长时间查询一次才能不丢失数据? CPU用于设备A输入/输出的时间占CPU总时间的百分比至少是多少?

(2) 在中断I/O方式下, 若每次中断响应和中断处理的总时钟周期数至少为400, 则设备B能否采用中断I/O方式? 为什么?

(3) 若设备B采用DMA方式, 每次DMA传送的数据块大小1000B, CPU用于DMA预处理和后处理的总时钟周期数为500, 则CPU用于设备B输入/输出的时间占CPU总时间的百分比最多是多少?

1) 程序定时向缓存端口查询数据, 由于缓存端口大小有限, 必须在传输完端口大小的数据时访问端口, 以防止部分数据没有被及时读取而丢失。设备A准备32位数据所用时间为 $4\text{B}/2\text{MB}=2\mu\text{s}$, 所以最多每隔 $2\mu\text{s}$ 必须查询一次, 每秒的查询次数至少是 $1\text{s}/2\mu\text{s}=5\times 10^5$, 每秒CPU用于设备A输入/输出的时间至少为 $5\times 10^5\times 10\times 4=2\times 10^7$ 个时钟周期, 占整个CPU时间的百分比至少是 $2\times 10^7/500\text{M}=4\%$ 。

王道考研/CSKAOYAN.COM

16

考点27

程序中中断方式

王道考研/CSKAOYAN.COM

17

考点27：程序中中断方式

• 小题22 • 综合题43	• 小题21	• 小题21	• 小题22	• 小题22	• 小题22	• 小题22
2009	2010	2011	2012	2013	2014	2015
• 小题22 • 综合题44	• 小题22	• 小题22 • 综合题43	• 小题21	• 小题18 • 小题20 • 小题21	• 小题22	• 小题21
2016	2017	2018	2019	2020	2021	2022

历年考频： 小题×16、综合题×3

王道考研/CSKAOYAN.COM

18

程序中中断方式

【考点笔记】程序中中断方式

程序中断是指在计算机执行现行程序的过程中，出现某些急需处理的异常情况或特殊请求，CPU 暂时中止现行程序，而转去对这些异常情况或特殊请求进行处理，在处理完毕后 CPU 又自动返回到现行程序的断点处继续执行，如图 7-3 所示。

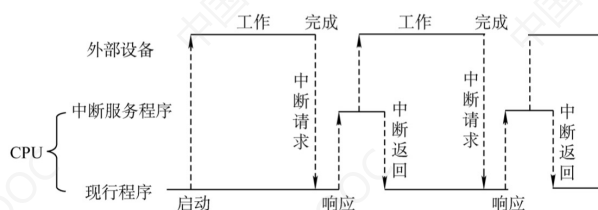


图 7-3 程序中断方式示意图

王道考研/CSKAOYAN.COM

19

程序中中断方式

【考点笔记】中断的分类

根据中断源的类别，可把中断源分为内中断和外中断两种。

中断类型	定义	列举
外中断	CPU 和内存以外的部件引起的中断	I/O 设备发出的 I/O 中断 外部信号中断（如用户按 Esc 键） 定时器引起的时钟中断（如时间片中断）
内中断	CPU 和内存内部产生的中断	地址非法、校验错、页面失效、存取访问控制错、算术操作溢出、数据格式非法、除数为零、非法指令、用户程序执行特权指令、用户态到内核态的切换

Key: 是否由当前执行的指令导致

王道考研/CSKAOYAN.COM

20

I/O方式-中断

2016_22. 异常是指令执行过程中在处理器内部发生的特殊事件，中断是来自处理器外部的请求事件。下列关于中断或异常情况的叙述中，错误的是_____。

- A. “访存时缺页”属于中断 B. “整数除以0”属于异常
C. “DMA传送结束”属于中断 D. “存储保护错”属于异常

答案：A

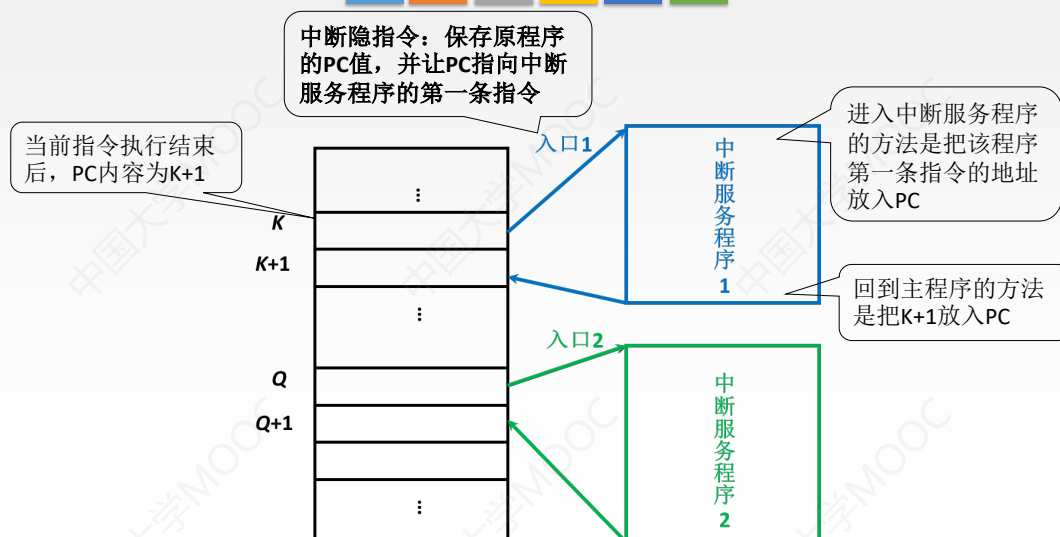
解析：

中断是指来自CPU 执行指令以外事件的发生，如设备发出的I/O结束中断，表示设备输入/输出处理已经完成，希望处理机能够向设备发出下一个输入/输出请求，同时让完成输入/输出后的程序继续运行。时钟中断，表示一个固定的时间片已到，让处理机处理计时、启动定时运行的任务等。这一类中断通常是与当前程序运行无关的事件，即它们与当前处理机运行的程序无关。异常也称内中断、例外或陷入（Trap），指源自CPU 执行指令内部的事件，如程序的非法操作码、地址越界、算术溢出、虚存系统的缺页以及专门的陷入指令等引起的事件。A错误。

王道考研/CSKAOYAN.COM

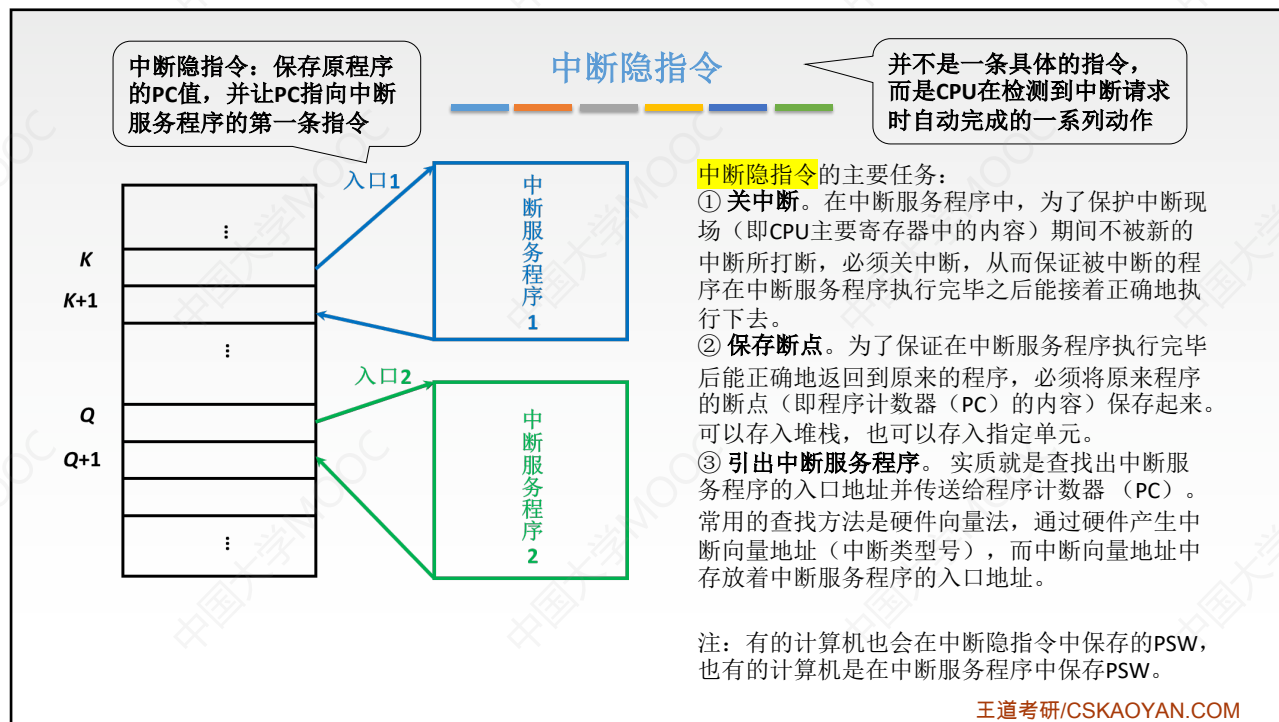
21

程序中断方式

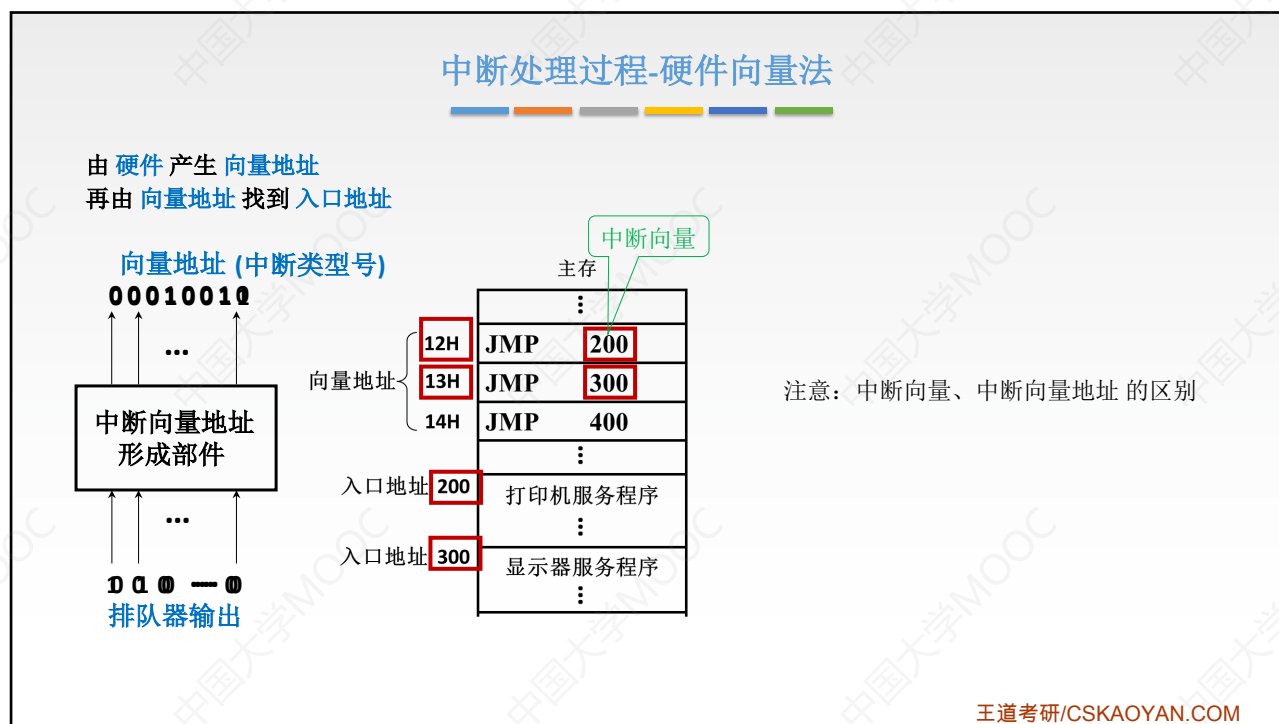


王道考研/CSKAOYAN.COM

22

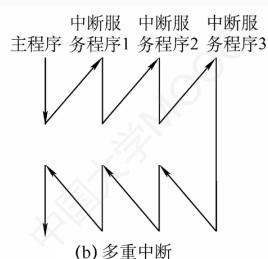
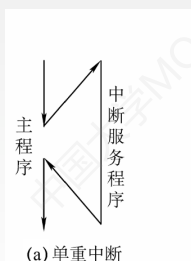


23



24

单重中断与多重中断



	单重中断	多重中断
中断隐指令	关中断	关中断
	保存断点 (PC)	保存断点 (PC)
	送中断向量	送中断向量
中断服务程序	保护现场	保护现场和屏蔽字
	-	开中断
	执行中断服务程序	执行中断服务程序
	-	关中断
	恢复现场	恢复现场和屏蔽字
	开中断	开中断
	中断返回	中断返回

王道考研/CSKAOYAN.COM

25

【考点笔记】单重中断与多重中断

多重中断和单重中断的区别在于多重中断在保护现场之后需要开中断，以便在执行某个中断服务程序的过程中可以响应级别更高的中断请求，而在恢复现场之前又要关中断，以保证恢复现场的过程中不能被新的中断请求打断，它们的区别见下表。

	多重中断	单重中断
中断隐指令	关中断	关中断
	保存断点 (PC) 及旧 PSW	保存断点 (PC) 及旧 PSW
	取中断服务程序入口地址及新 PSW	取中断服务程序入口地址及新 PSW
中断服务程序	保护现场	保护现场
	送新屏蔽字	
	开中断	
	服务处理 (允许响应更高级别请求)	服务处理 (不允许响应更高级别请求)
	关中断	恢复现场
	恢复现场及原屏蔽字	开中断
	开中断	中断返回
	中断返回	

王道考研/CSKAOYAN.COM

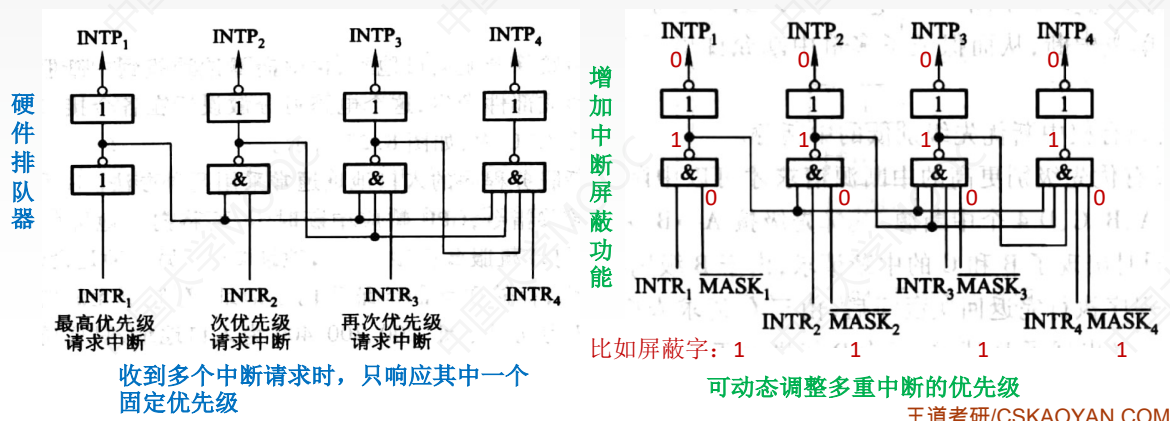
26

中断屏蔽技术

中断屏蔽技术主要用于多重中断，CPU要具备多重中断的功能，须满足下列条件。

- ① 在中断服务程序中提前设置开中断指令。
- ② 优先级高的中断源有权中断优先级低的中断源。

每个中断源都有一个屏蔽触发器，1表示屏蔽该中断源，0表示可以正常申请，所有屏蔽触发器组合在一起，便构成一个屏蔽字寄存器，屏蔽字寄存器的内容称为屏蔽字。



27

I/O方式-中断

2018_22. 下列关于外部I/O中断的叙述中，正确的是_____。

- A. 中断控制器按所接收中断请求的先后次序进行中断优先级排队
- B. CPU响应中断时，通过执行中断隐指令完成通用寄存器的保护
- C. CPU只有在处于中断允许状态时，才能响应外部设备的中断请求
- D. 有中断请求时，CPU立即暂停当前指令执行，转去执行中断服务程序

答案：C

解析：

中断优先级由屏蔽字决定，而不是根据请求的先后次序，A错误。中断隐指令完成的工作有：①关中断；②保存断点；③引出中断服务程序，通用寄存器的保护由中断服务程序完成，B错误。中断允许状态即开中断后，才能响应中断请求，C正确。有中断请求时，先要由中断隐指令完成中断前程序的状态保存，D错误。

王道考研/CSKAOYAN.COM

28

I/O方式-中断

2017_22. 下列关于多重中断系统的叙述中, 错误的是_____。

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间CPU处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU通过采样中断请求信号检测中断请求

答案: B

解析:

多重中断系统在保护被中断进程现场时关中断, 执行中断处理程序时开中断, B错误。CPU一般在一条指令执行结束的阶段采样中断请求信号, 查看是否存在中断请求, 然后决定是否响应中断, A、D正确。中断请求一般来自CPU以外的事件, 异常一般发生在CPU内部, C正确。

王道考研/CSKAOYAN.COM

29

I/O方式

2018_43. (8分)假定计算机的主频为500MHz, CPI为4。现有设备A和B, 其数据传输率分别为2MB/s和40MB/s, 对应I/O接口中各有一个32位数据缓冲寄存器。请回答下列问题, 要求给出计算过程。

(1) 若设备A采用定时查询I/O方式, 每次输入/输出都至少执行10条指令。设备A最多间隔多长时间查询一次才能不丢失数据? CPU用于设备A输入/输出的时间占CPU总时间的百分比至少是多少?

(2) 在中断I/O方式下, 若每次中断响应和中断处理的总时钟周期数至少为400, 则设备B能否采用中断I/O方式? 为什么?

(3) 若设备B采用DMA方式, 每次DMA传送的数据块大小1000B, CPU用于DMA预处理和后处理的总时钟周期数为500, 则CPU用于设备B输入/输出的时间占CPU总时间的百分比最多是多少?

2) 中断响应和中断处理的时间为 $400 \times (1/500M) = 0.8\mu s$, 这时只需判断设备B准备32位数据要多久, 如果准备数据的时间小于中断响应和中断处理的时间, 那么数据就会被刷新、造成丢失。经过计算, 设备B准备32位数据所用时间为 $4B/40MB = 0.1\mu s$, 因此, 设备B不适合采用中断I/O方式。

王道考研/CSKAOYAN.COM

30

考点28

DMA方式

王道考研/CSKAOYAN.COM

31

考点28: DMA方式

• 综合
题43

2009



2010



2011

• 综合
题43

2012

• 小题
22

2013



2014



2015



2016



2017

• 综合
题43

2018

• 小题
22

2019

• 小题
22

2020



2021

• 综合
题44

2022



历年考频: 小题×3、综合题×4

王道考研/CSKAOYAN.COM

32

DMA方式

【考点笔记】DMA 方式

DMA 方式在外设与内存之间开辟一条“直接数据通道”，信息传送时 DMA 控制器从 CPU 完全接管对总线的控制，信息不再经过 CPU，降低了 CPU 在数据传送时的开销。由于数据传送不经过 CPU，也就不需要保护、恢复 CPU 现场等烦琐操作。

【考点笔记】DMA 的传送方式

当 I/O 设备与 CPU 同时访问主存时，可能发生冲突，为了有效地使用主存，DMA 控制器与 CPU 通常采用以下 3 种方法使用主存。

- 1) 停止 CPU 访问主存。要求 CPU 放弃对相关总线的使用权。
- 2) DMA 和 CPU 交替访存。将一个 CPU 周期分为两个周期，一个供 DMA 访存，一个供 CPU 访问。这种方式的总线使用权是通过分时控制的。
- 3) 周期挪用。DMA 挪用一個或几个存取周期。

显然，外部设备（I/O 控制器）需要使用系统总线时，其优先级高于 CPU，若得不到及时响应，则传输的数据可能会丢失，将导致无法挽回的后果。

王道考研/CSKAOYAN.COM

33

【考点笔记】DMA 的传送过程

DMA 的数据传送过程分为预处理、数据传送和后处理 3 个阶段。以周期挪用方式（单字为单位的）的传送过程如图 7-4 所示。

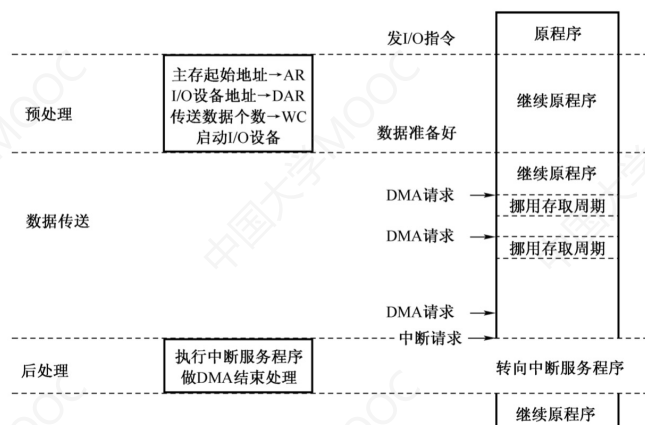


图 7-4 DMA 方式示意图

对于 DMA 这类题，基本的解题步骤为：计算每秒产生 DMA 的次数，每次 DMA 的时钟周期数，每秒用于 DMA 处理的总开销，DMA 占 CPU 的总时间等。

王道考研/CSKAOYAN.COM

34

I/O方式

2018_43. (8分)假定计算机的主频为500MHz，CPI为4。现有设备A和B，其数据传输率分别为2MB/s和40MB/s，对应I/O接口中各有一个32位数据缓冲寄存器。请回答下列问题，要求给出计算过程。

(1) 若设备A采用定时查询I/O方式，每次输入/输出都至少执行10条指令。设备A最多间隔多长时间查询一次才能不丢失数据？CPU用于设备A输入/输出的时间占CPU总时间的百分比至少是多少？

(2) 在中断I/O方式下，若每次中断响应和中断处理的总时钟周期数至少为400，则设备B能否采用中断I/O方式？为什么？

(3) 若设备B采用DMA方式，每次DMA传送的数据块大小1000B，CPU用于DMA预处理和后处理的总时钟周期数为500，则CPU用于设备B输入/输出的时间占CPU总时间的百分比最多是多少？

王道考研/CSKAOYAN.COM

35

I/O方式

2018_43.解析：

1) 程序定时向缓存端口查询数据，由于缓存端口大小有限，必须在传输完端口大小的数据时访问端口，以防止部分数据没有被及时读取而丢失。设备A准备32位数据所用时间为 $4B/2MB=2\mu s$ ，所以最多每隔 $2\mu s$ 必须查询一次，每秒的查询次数至少是 $1s/2\mu s=5\times 10^5$ ，每秒CPU用于设备A输入/输出的时间至少为 $5\times 10^5\times 10\times 4=2\times 10^7$ 个时钟周期，占整个CPU时间的百分比至少是 $2\times 10^7/500M=4\%$ 。

2) 中断响应和中断处理的时间为 $400\times (1/500M)=0.8\mu s$ ，这时只需判断设备B准备32位数据要多久，如果准备数据的时间小于中断响应和中断处理的时间，那么数据就会被刷新、造成丢失。经过计算，设备B准备32位数据所用时间为 $4B/40MB=0.1\mu s$ ，因此，设备B不适合采用中断I/O方式。

3) 在DMA方式中，只有预处理和后处理需要CPU处理，数据的传送过程是由DMA控制。设备B每秒的DMA次数最多为 $40MB/1000B=40000$ ，CPU用于设备B输入/输出的时间最多为 $40000\times 500=2\times 10^7$ 个时钟周期，占CPU总时间的百分比最多为 $2\times 10^7/500M=4\%$ 。

王道考研/CSKAOYAN.COM

36

I/O方式-中断与DMA

2013_22. 下列关于中断I/O方式和DMA方式比较的叙述中, 错误的是_____。

- A. 中断I/O方式请求的是CPU处理时间, DMA方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后, DMA响应发生在一个总线事务完成后
- C. 中断I/O方式下数据传送通过软件完成, DMA方式下数据传送由硬件完成
- D. 中断I/O方式适用于所有外部设备, DMA方式仅适用于快速外部设备

答案: D

解析:

中断处理方式: 在I/O设备输入每个数据的过程中, 由于无需CPU干预, 因而可使CPU与I/O设备并行工作。仅当输完一个数据时, 才需CPU花费极短的时间去做些中断处理。因此中断申请使用的是CPU处理时间, 发生的时间是在一条指令执行结束之后, 数据是在软件的控制下完成传送的。而DMA方式与之不同。DMA方式: 数据传输的基本单位是数据块, 即在CPU与I/O设备之间, 每次传送至少一个数据块; DMA方式每次申请的是总线的使用权, 所传送的数据是从设备直接送入内存的, 或者相反; 仅在传送一个或多个数据块的开始和结束时, 才需CPU干预, 整块数据的传送是在控制器的控制下完成的。

王道考研/CSKAOYAN.COM