

# 내부 기억장치(5장)

성결대학교 컴퓨터공학부

최정열 교수

(passjay@sungkyul.ac.kr)

여호와는 나의 빛이요 나의 구원  
이시니 내가 누구를 두려워하리요  
여호와는 내 생명의 능력이시니  
내가 누구를 두려워하리오 (시편  
27:1)

# 수업 목표

---

- ❑ DRAM과 SRAM의 특징을 이해한다
- ❑ 반도체 주기억장치의 칩 논리 및 모듈 조직을 이해한다
- ❑ DDR SDRAM 조직의 특징을 이해한다
- ❑ 기억장치 बैं크와 랭크의 개념을 이해한다
- ❑ 플래시 메모리의 특징을 이해한다

# 목차

---

- ❑ 반도체 주기억장치
- ❑ RAM
- ❑ ROM
- ❑ 기억장치 모듈의 설계
- ❑ SDRAM
- ❑ 플래시 메모리

# 1. 반도체 주기억장치

## □ 반도체 기억장치의 기본 요소 : 기억 소자(memory cell)

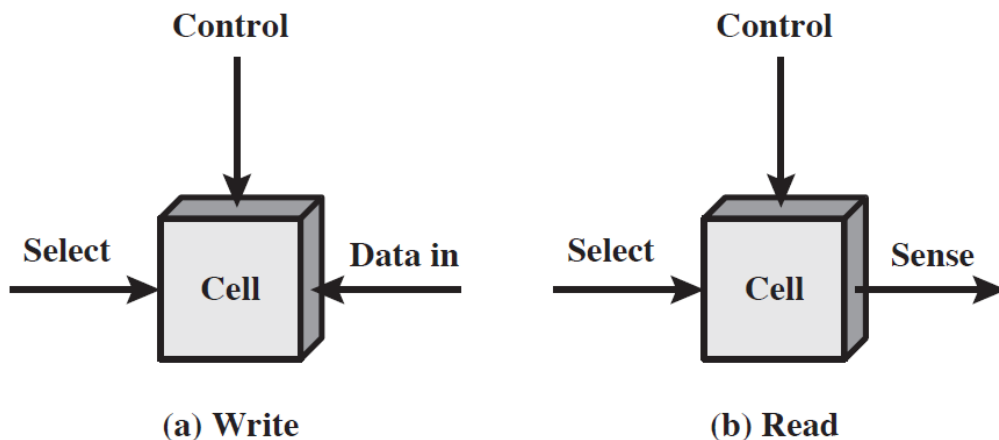
### ● 공통적인 성질

- 두 개의 안정된(혹은 반 안정된) 상태를 갖는다: 2진수 1 또는 0
- 상태를 세트(set)할 수 있도록 (적어도 한번은) 쓰여질 수 있다
- 상태를 감지(sense)할 수 있도록 읽혀질 수 있다

### ● 기억소자의 동작

- 선택 단자(select): 읽기 또는 쓰기 동작을 할 기억 소자를 선택 시 사용
- 제어 단자(control): 수행할 동작이 읽기인지 또는 쓰기인지를 지정
- Data in: 쓰기 동작의 경우에 기억 소자의 상태를 1 혹은 0으로 세트할 전기 신호가 들어오는 통로
- Sense: 그 단자가 소자의 상태를 출력하는데 사용

기억소자의 동작



## 2. RAM(Random Access Memory)

- ❑ 기억장치의 각 단어(word)들은 선으로 연결된 주소지정 회로를 통하여 직접 액세스
- ❑ 데이터 읽기 및 쓰기가 가능
- ❑ 휘발성(volatile): 전원 공급 필요
- ❑ 임시(temporary) 기억장치
- ❑ 동적 RAM, 정적 RAM

# DRAM(Dynamic RAM)

## ❑ 커패시터에 전하를 충전하는 방식으로 데이터를 저장

- 커패시터에 전하가 존재하는지의 여부에 따라 2진수 1과 0이 구분됨

## ❑ 데이터의 저장 상태를 유지하기 위해서 주기적으로 재충전

- 재충전 회로 필요

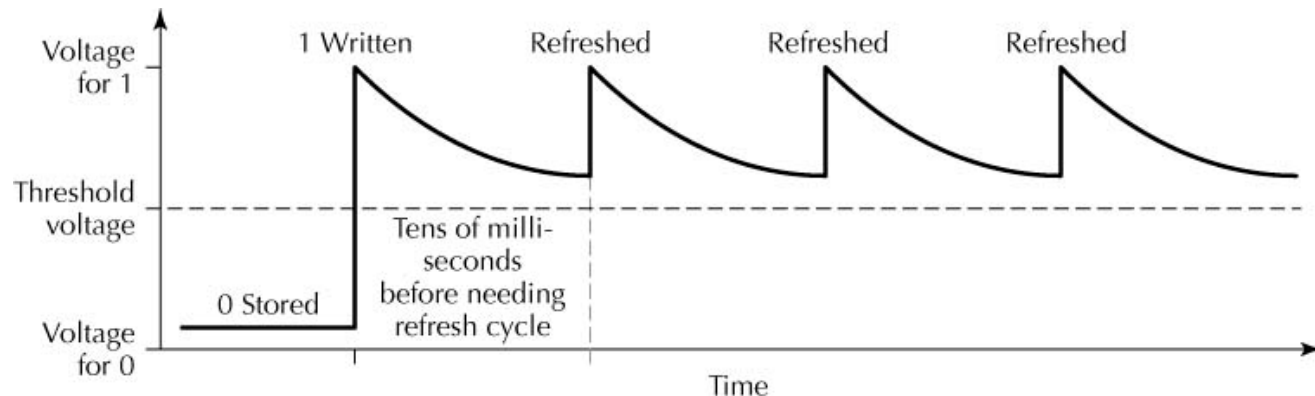
## ❑ 아날로그 장치

- 커패시터는 일정 범위 내의 어떤 전하값도 저장 가능

## ❑ 가격이 저렴하고 대용량 기억장치 구성 가능(주기억장치로 사용)

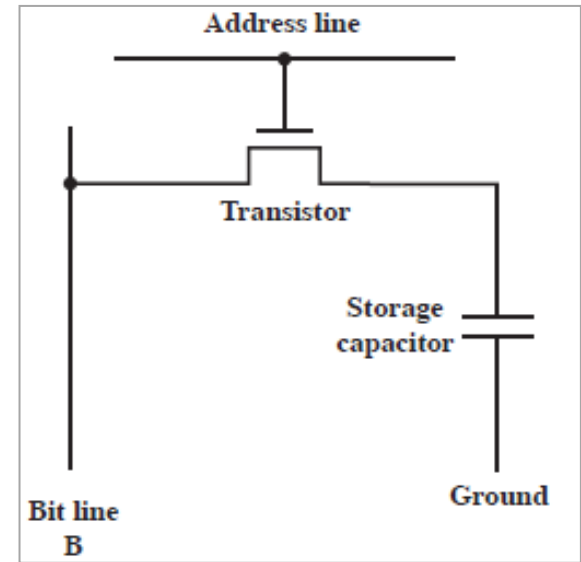
- 동적 기억소자가 정적 기억소자보다 더 간단하고 더 작다

1을 저장하고 난 뒤 DRAM 셀의 커패시터 전압의 변화량 및 그에 따른 재충전 동작



## □ 동작 방식

- 주소 선은 이 소자로부터 비트 값이 읽혀지거나 쓰여질 때 활성화된다
  - 트랜지스터는 스위치로 동작
    - 전압이 주소선에 가해지면 닫히며(전류를 흐르게), 그렇지 않으면 열린다(전류가 흐르지 못함)
- Write
  - 전압이 비트 선에 가해진다
    - High for 1 low for 0
  - 주소 선으로 신호가 들어오면, 그 때 전하가 커패시터로 전송된다
- Read
  - 주소선이 선택되면 트랜지스터가 켜진다
  - 커패시터에 저장된 전하가 비트 라인을 통해서 감지 증폭기로 보내진다
    - 감지증폭기는 커패시터 전압값으로 부터 1인지 0인지를 결정한다
  - 읽기 후 커패시터 전하를 복원해야 한다



(a) Dynamic RAM (DRAM) cell

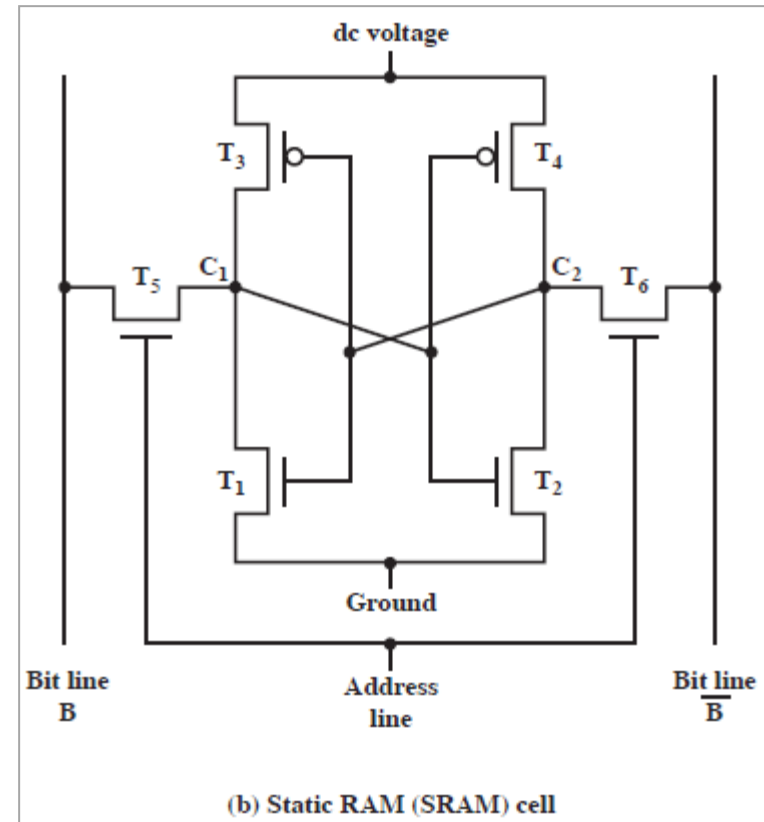
# SRAM(Static RAM)

- ❑ 플립-플롭 논리 게이트를 이용(디지털 장치)
- ❑ 데이터를 유지하기 위해서 재충전이 필요하지 않음
  - 전력이 공급되는 동안 데이터를 계속 유지 함
- ❑ 비트당 크기가 크고 복잡
- ❑ 캐시 기억장치로 사용



## □ 동작 방식

- 네 개의 트랜지스터( $T_1, T_2, T_3, T_4$ )가 안정된 논리 상태를 발생할 수 있는 배열로 서로 연결됨
  - 상태 1
    - $C_1$  high,  $C_2$  low
    - $T_1, T_4$  off,  $T_2, T_3$  on
  - 상태 0
    - $C_2$  high,  $C_1$  low
    - $T_2, T_3$  off,  $T_1, T_4$  on
- 주소 선은 두 개의 트랜지스터( $T_5, T_6$ )를 제어한다
  - 두 개의 트랜지스터가 on되면 읽기 또는 쓰기 동작 수행
  - 쓰기
    - 원하는 비트값이 B에 들어옴
  - 읽기
    - 비트값이 B로부터 읽혀진다



# DRAM vs SRAM

## ❑ 모두 휘발성

- 비트값을 유지하기 위해서는 기억소자로 전력이 계속 공급되어야 함

## ❑ 동적 기억소자

- 더 간단하고, 더 작다
- 밀도가 높다(단위 면적당 소자수가 더 많다)
- 더 싸다
- 재충전 회로가 필요하다
- 대용량 기억장치에 주로 사용된다
  - 용량이 커질수록 재충전 회로의 비용의 비중이 낮아진다

## ❑ 정적 기억소자

- 더 빠르다
- 캐시 기억장치로 사용된다

### 3. ROM(Read Only Memory)

#### ❑ 비휘발성(nonvolatile)

- 데이터를 기억장치에 유지하기 위한 전원 장치 불필요

#### ❑ ROM의 내용을 읽기는 가능하지만 ROM에 데이터를 쓰기는 불가능

#### ❑ 데이터나 프로그램이 영구 저장되어 있어 (보조기억장치로부터 옮겨올 필요가 없어) 액세스 시간이 짧다

#### ❑ 응용

- 시스템 초기화 및 진단 프로그램
- 제어 유닛의 마이크로 프로그래밍
- 빈번히 사용되는 라이브러리 서브루틴

#### ❑ 단점

- 데이터를 삽입하는 과정에서 비교적 높은 고정 비용이 든다
- 하나의 비트라도 잘못되면 모든 ROM을 버려야 한다

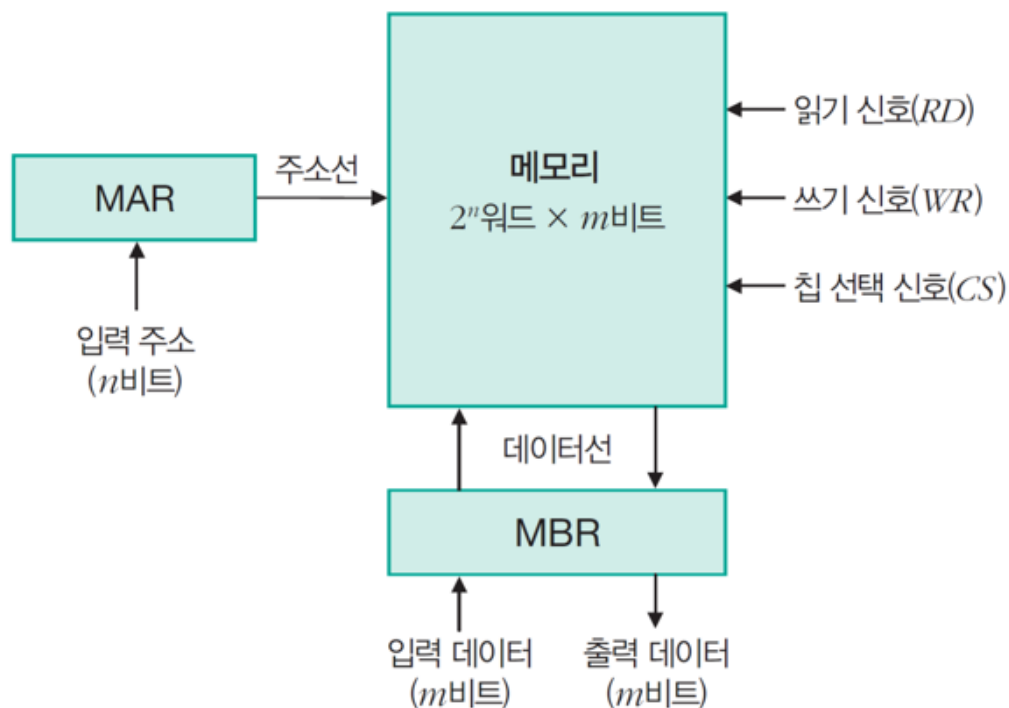
# 반도체 기억장치 유형들

Memory Type	Category	Erasure	Write Mechanism	Volatility
Random-access memory (RAM)	Read-write memory	Electrically, byte-level	Electrically	Volatile
Read-only memory (ROM)	Read-only memory	Not possible	Masks	Nonvolatile
Programmable ROM (PROM)			Electrically	
Erasable PROM (EPROM)	UV light, chip-level			
Electrically Erasable PROM (EEPROM)	Electrically, byte-level			
Flash memory	Electrically, block-level			

## 4. 기억장치 모듈의 설계

### □ 주기억장치의 동작

- CPU와 주기억 장치 사이의 데이터 전송은 CPU 내부에 있는 레지스터 2개 (MAR, MBR)와 제어 신호 3개(읽기, 쓰기, 칩 선택)를 통해 이루어진다
  - 메모리 주소 레지스터(MAR) : 메모리 액세스 시 특정 워드의 주소가 MAR에 전송
  - 메모리 버퍼 레지스터(MBR) : 레지스터와 외부 장치 사이에서 전송되는 데이터의 통로

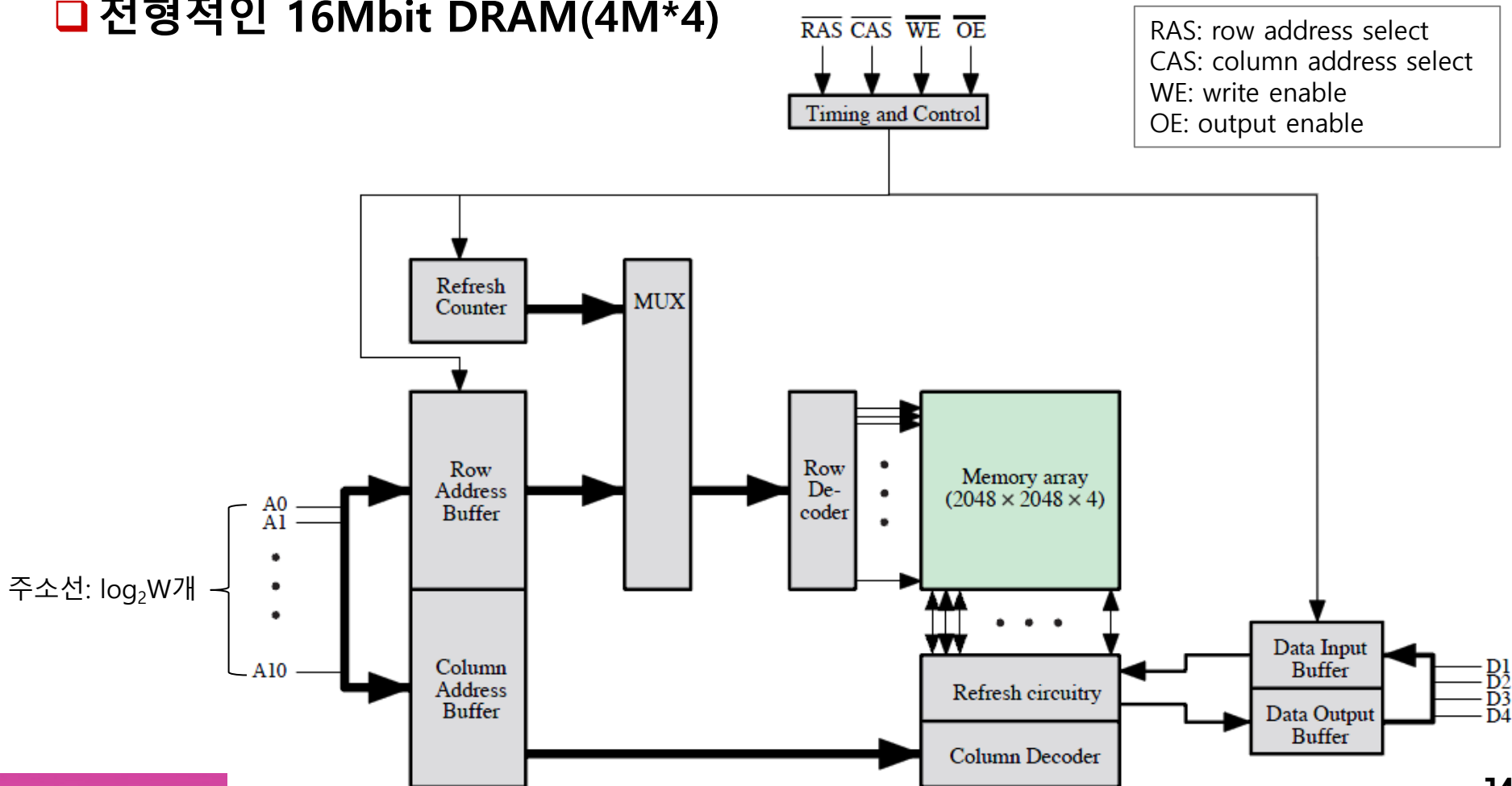


# 기억장치 모듈의 설계

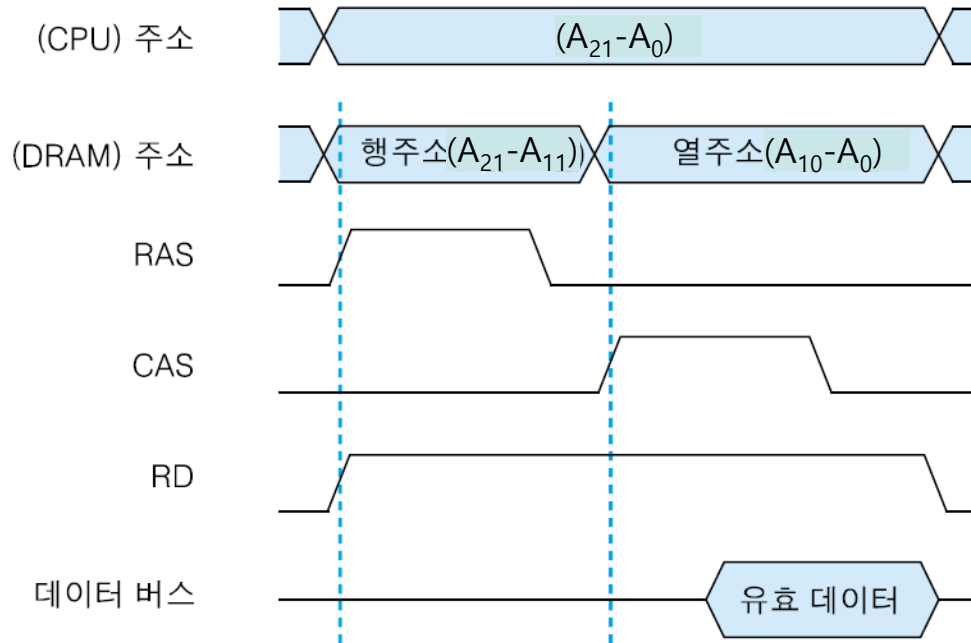
## □ 주소를 다중화하고 정방형 배열 구조를 사용

- 주소핀 1개 추가 : 행/열 2배 증가 → 용량이 세대당 4배수 증가

## □ 전형적인 16Mbit DRAM(4M\*4)



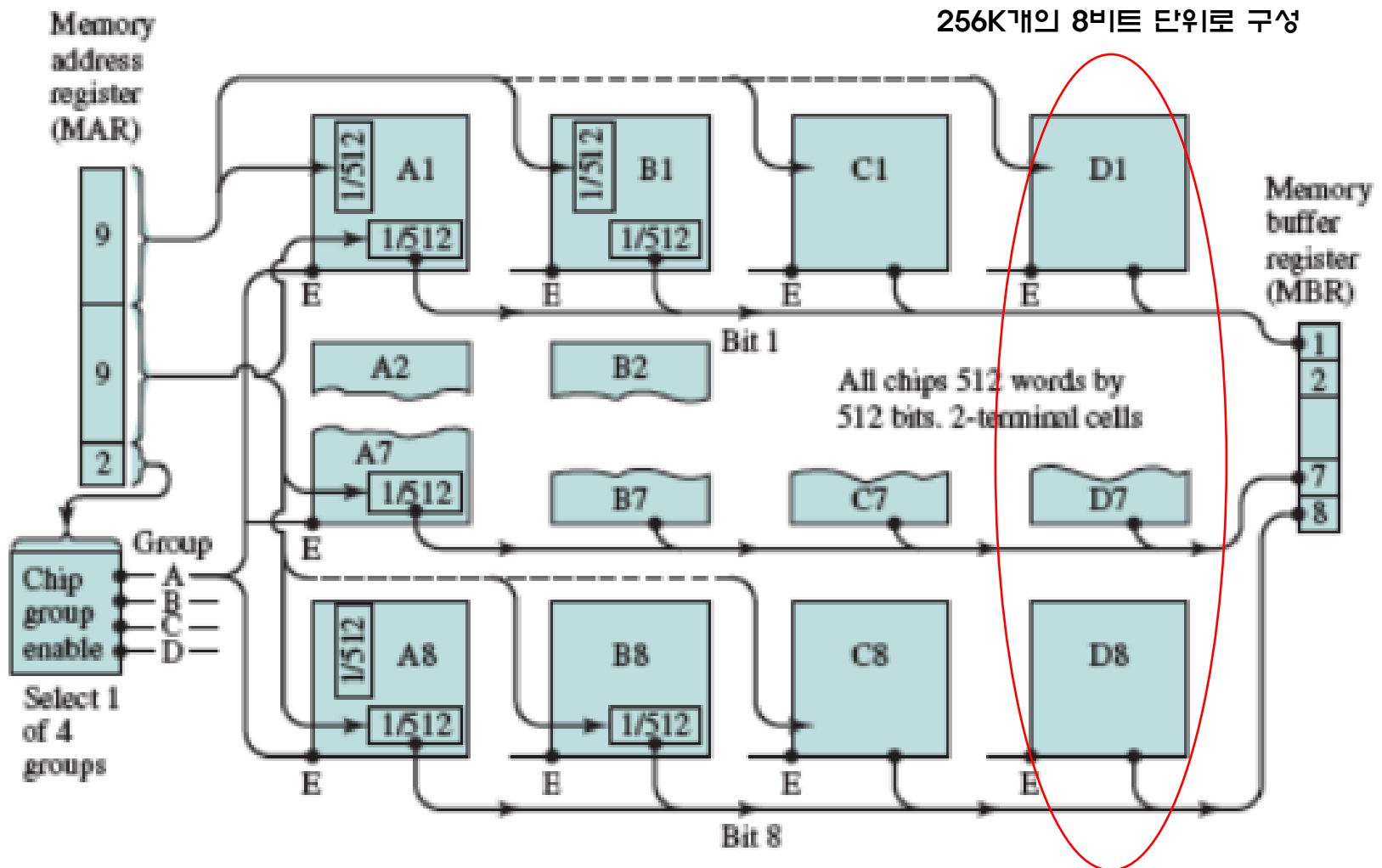
# 메모리 읽기 동작의 타이밍도(비동기식)



- CPU 주소 중에서 절반만 DRAM 칩의 주소 입력으로 들어온다
- 메모리 읽기/쓰기를 위한 주소 발행 및 RAS/CAS 신호 발생은 기억장치 제어기가 담당
  - North Bridge 칩셋으로 구현하거나 CPU 내부에 포함

# 1MB 기억장치 조직

## □ 8비트 단어 1M개로 이루어진 기억장치의 구성 예





## 5. SDRAM(Synchronous DRAM)

### □ 클록 신호와 동기화되어 대기 상태 없이 데이터 교환 가능

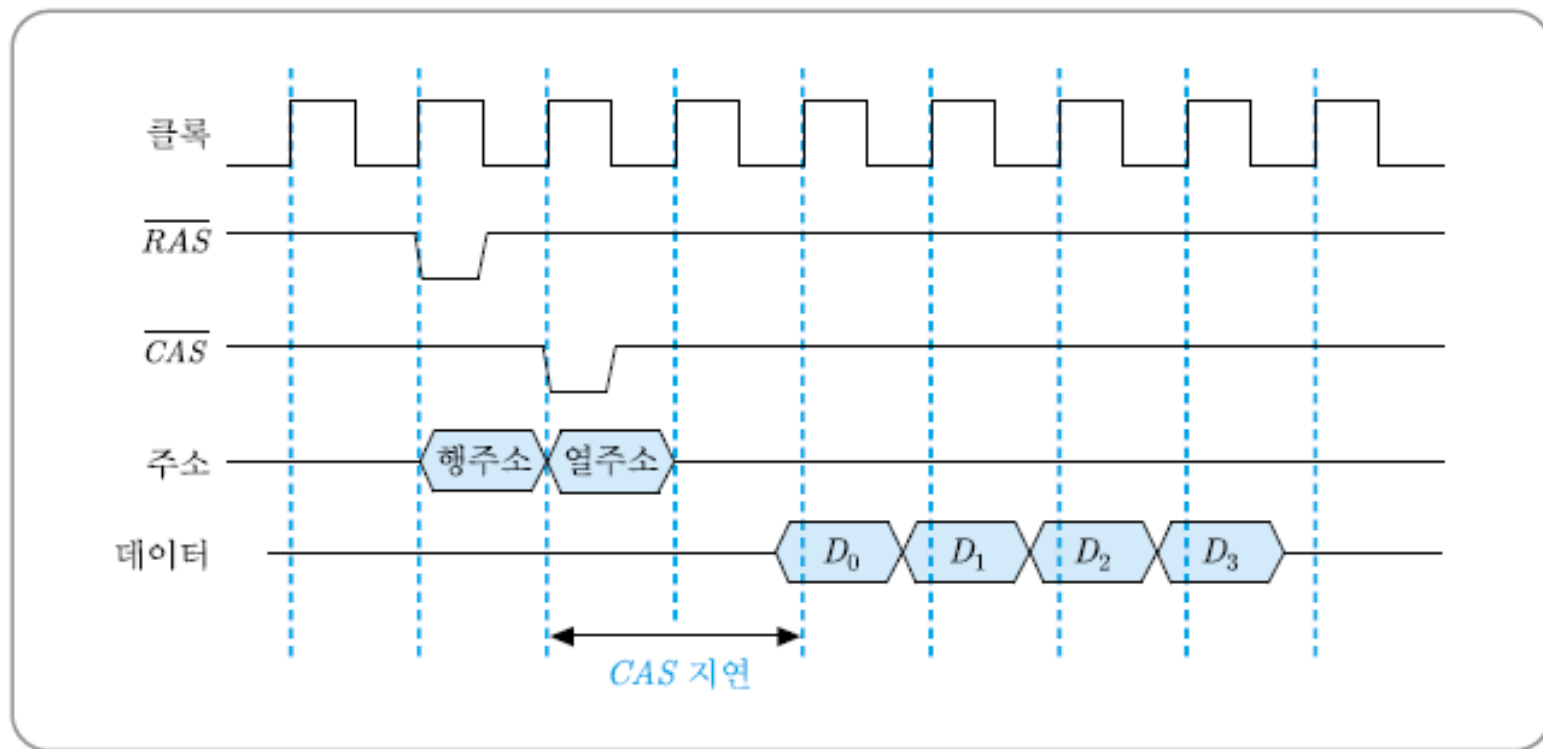
- 프로세서는 명령어와 주소를 발송하고, SDRAM이 그 요구를 처리하는 동안 프로세서는 다른 업무 수행
- cf) 전통적인 DRAM
  - 프로세서는 주소와 제어 신호를 기억장치로 보내어 R/W 데이터 지정
  - 액세스 시간 만큼 지연 후 DRAM에 R/W 수행

### □ 온-칩 병렬성의 기회를 높여주는 이중-뱅크 구조

### □ 버스트 모드를 채택

- 한 번의 액세스 동작 때 여러 바이트들을 연속적으로 전송
- 일련의 데이터 비트들이 첫 번째 비트가 액세스된 후에 클록에 맞춰 출력됨

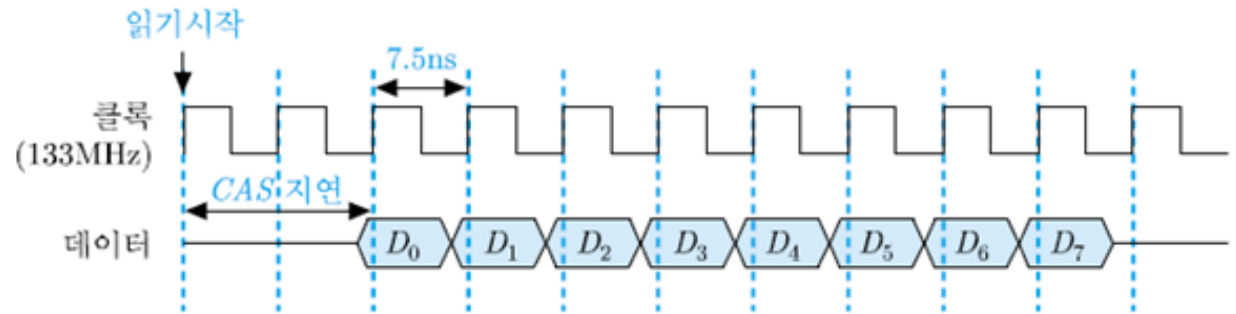
# 버스트 읽기 동작의 타이밍도(동기식)



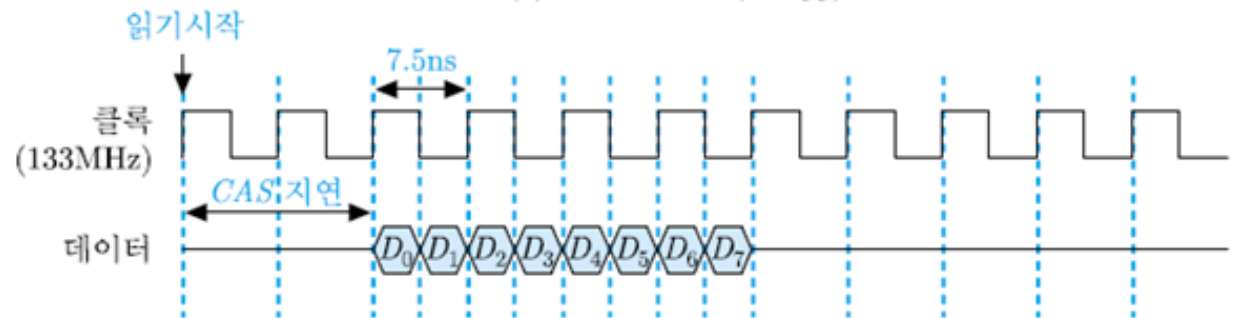
버스트 길이=4, CAS 지연 = 2

# DDR SDRAM(Double-data-rate SDRAM)

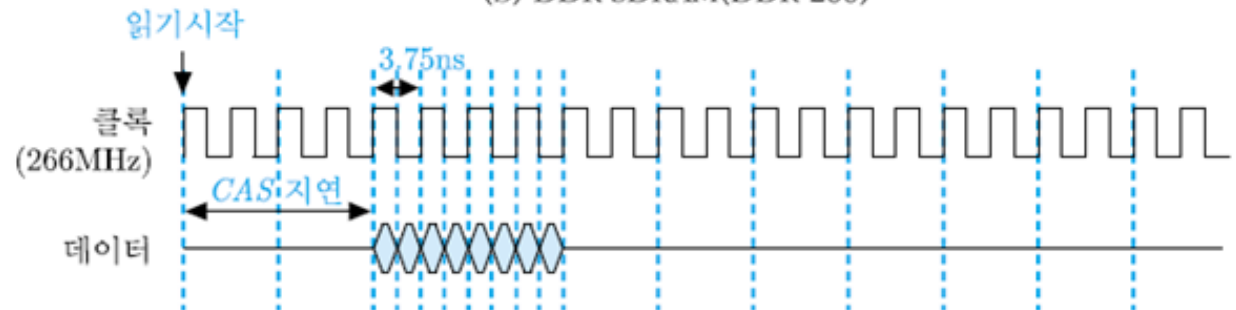
□ 데이터를 클록 사이클당 2번씩 보낼 수 있다(상승/하강 에지)



(a) SDR SDRAM(PC133)



(b) DDR SDRAM(DDR-266)

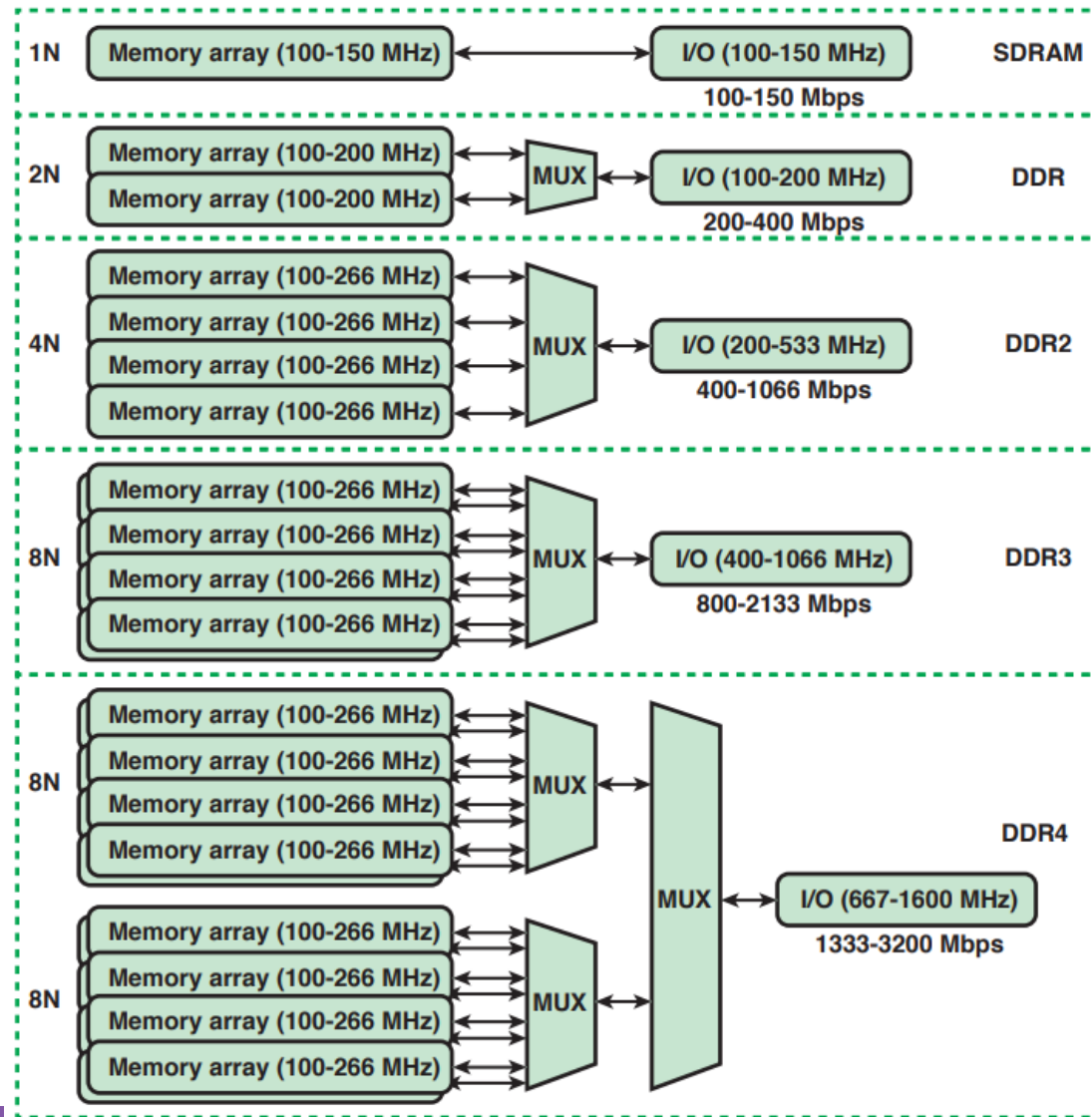


(c) DDR2 SDRAM(DDR2-533)

DDR SDRAM 읽기 동작의  
타이밍(버스트 길이=8)

❑ 버스 상에서 더 높은 클록을 사용

❑ 선인출 버퍼 사용



DDR의 세대들

# SDRAM, DDR SDRAM의 종류(JEDEC)

규격	모듈 이름	핀 수	전압	클록 주파수(MHz)	버스 주파수(MHz)	대역폭(MB/s)
SDRAM	PC-66	168	3.3V	66	66	528
	PC-100			100	100	800
	PC-133			133	133	1,064
DDR-200	PC-1600	184	2.5V	100	100	1,600
DDR-266	PC-2100			133	133	2,100
DDR-333	PC-2700			166	166	2,700
DDR-400	PC-3200			200	200	3,200
DDR2-400	PC2-3200	240	1.8V	100	200	3,200
DDR2-533	PC2-4200			133	266	4,200
DDR2-667	PC2-5300			166	333	5,300
DDR2-800	PC2-6400			200	400	6,400
DDR3-800	PC3-6400	240	1.5V	100	400	6,400
DDR3-1066	PC3-8500			133	533	8,500
DDR3-1333	PC3-10600			166	666	10,600
DDR3-1600	PC3-12800			200	800	12,800
DDR4-1600	PC4-12800	284	1.2V	100	800	12,800
DDR4-1866	PC4-14933			117	933	14,933
DDR4-2133	PC4-17066			133	1,066	17,066
DDR4-2400	PC4-19200			150	1,200	19,200
DDR4-2666	PC4-21333			166	1,333	21,333
DDR4-3200	PC4-25600			200	1,600	25,600

클록 주파수와 주기

내부 클록 주파수(MHz)	주기 (ns)
66	15
100	10
117	8.5
133	7.5
150	6.6
166	6
200	5

# DDR, DDR2, DDR3, DDR4의 메모리 모듈

- ❑ DDR2와 DDR3의 핀 수는 240핀으로 같지만,中间的의 홈 위치가 달라 혼용이 안 된다



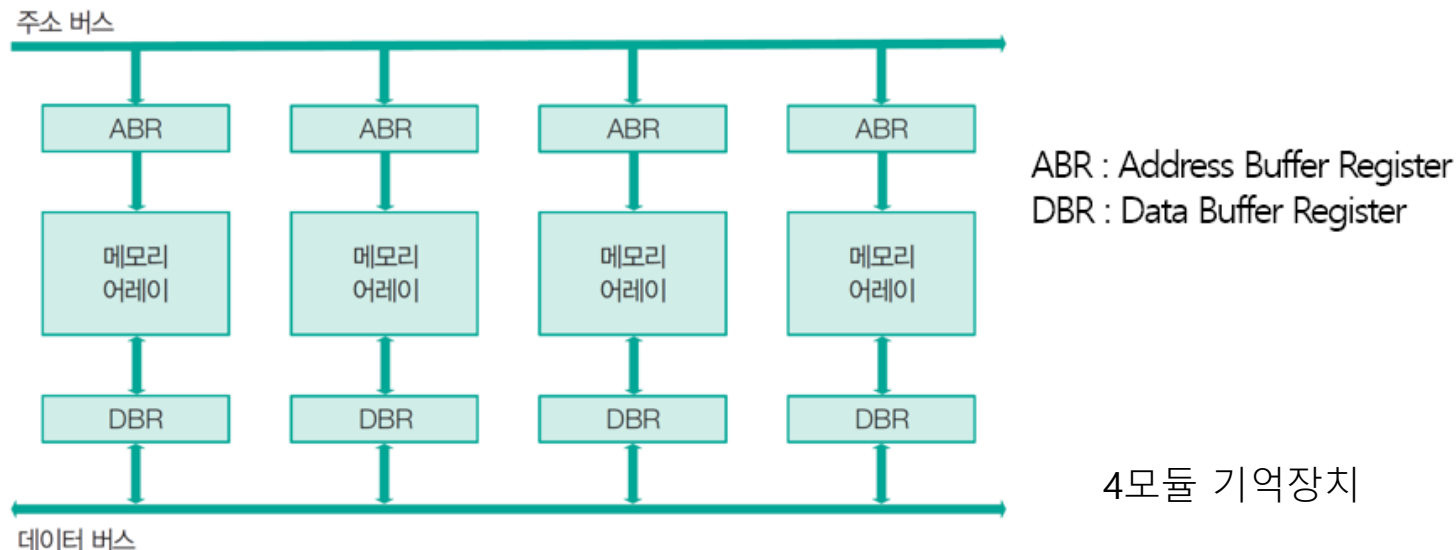
# 인터리브드 메모리

## □ 대역폭을 높이는 방법

- 메모리의 입출력 포트를 늘리는 방법
- 메모리 자체의 클록을 높이는 방법
- 메모리를 병렬화하여 액세스하는 인터리빙(interleaving) 방법

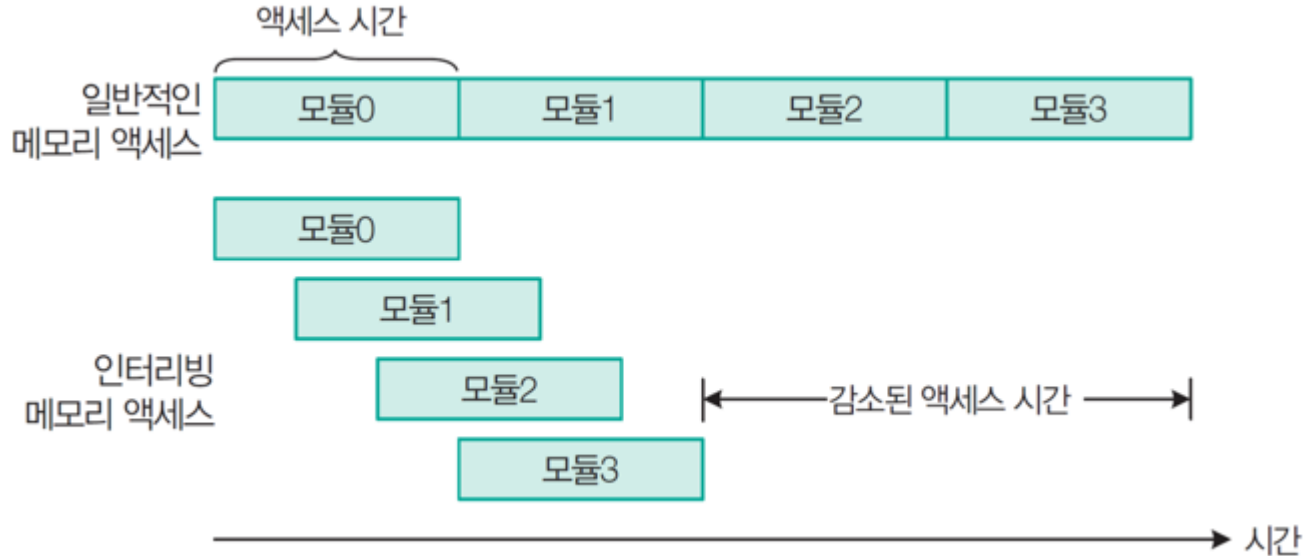
## □ 메모리 인터리빙

- 메모리의 각 모듈에 연속된 주소를 지정하고 이를 순차적으로 읽는 파이프라인 개념을 기반으로 함



## □ 기억장치 인터리빙(memory interleaving)

- 각 뱅크는 기억장치 읽기/쓰기를 독립적으로 서비스할 수 있다
- K개의 뱅크를 가진 시스템은 K개의 요구를 동시에 서비스할 수 있으므로, 기억장치 쓰기/읽기 속도를 K배 만큼 증가시킬 수 있다
- 기억장치의 연속적인 단어들이 서로 다른 뱅크에 저장되어 있다면 기억장치의 블록 전송은 속도가 높아진다



일반적인 메모리 액세스와 인터리빙 메모리 액세스 비교



# 기억장치 뱅크(memory bank)

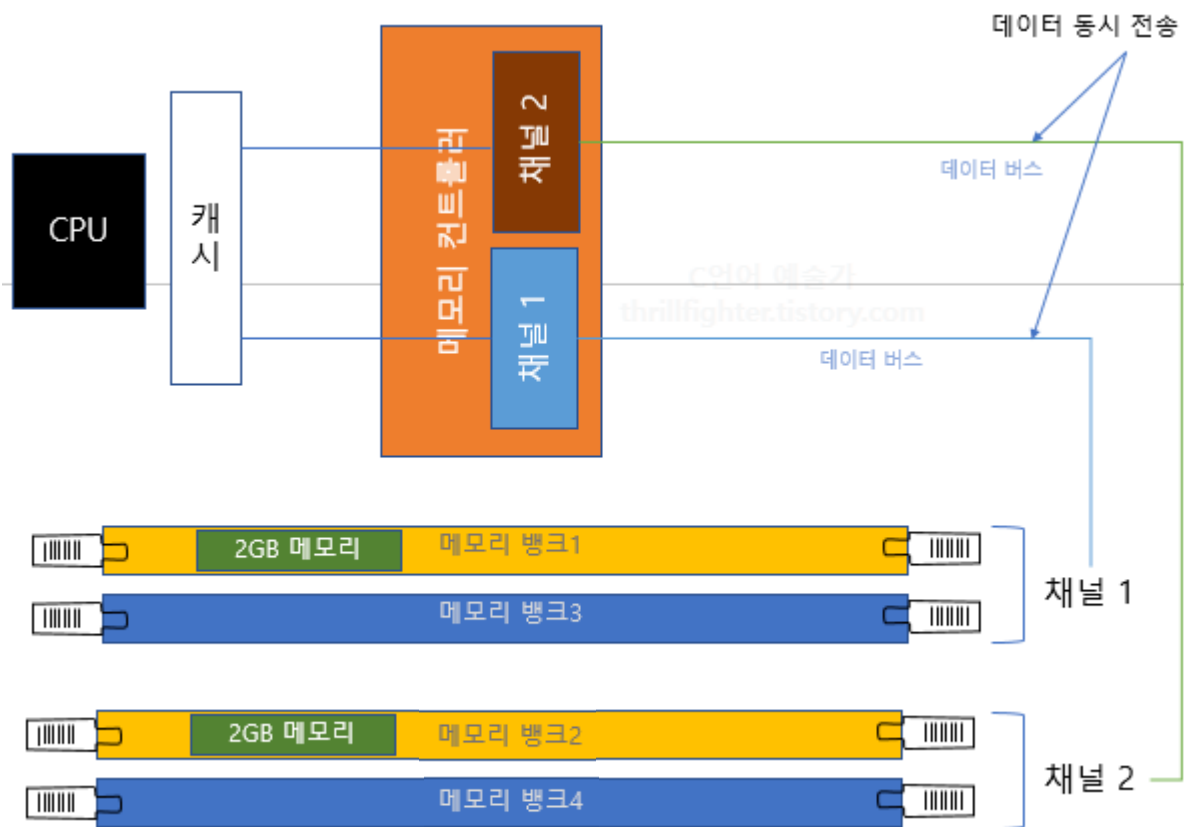
---

- ❑ 기억장치를 분할해 독립적으로 액세스할 수 있도록 구성한 논리적인 단위
- ❑ 일반적으로 하나의 메모리 슬롯이라고 보면 된다

# 기억장치 채널(memory channel)

## □ 주기억장치와 CPU 캐시 간의 데이터 전달 통로

- 주기억장치에서 I/O 발생시 동일한 메모리 컨트롤러에 연결되며, 하나의 데이터 전달 통로를 공유하는 묶음



2채널을 이용한 데이터 동시 전송

# 기억장치 랭크(memory rank)

## ❑ 데이터 입출력 폭이 64비트가 되도록 구성한 기억장치 모듈

- 다수의 기억장치 칩들을 병렬로 구성
- x4 조직의 SDRAM 사용 → 16개를 병렬 접속
- x8 조직의 SDRAM 사용 → 8개를 병렬 접속





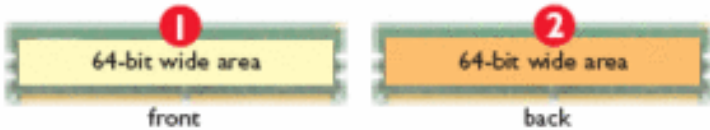
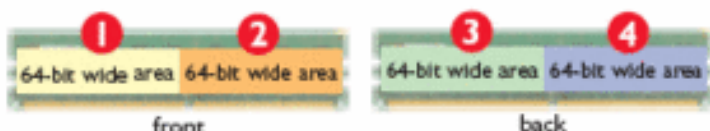
- SIMM(single in-line memory module)
- DIMM(double in-line memory module)

## ❑ 단면 모듈(single-side module)

- 1Rx8: x8 조직의 SDRAM 8개를 병렬접속 하여 하나의 랭크를 구성함

## ❑ 양면 모듈(dual-side module)

- 2Rx8: x8 조직의 SDRAM들을 각 면에 8개씩 병렬접속 하여 두 개의 랭크로 구성된 기억장치 모듈

Single-sided Module		1 rank Single-rank
Double-sided Module		1 rank Single-rank
Double-sided Module		2 ranks Dual-rank
Double-sided Module		4 ranks Quad-rank

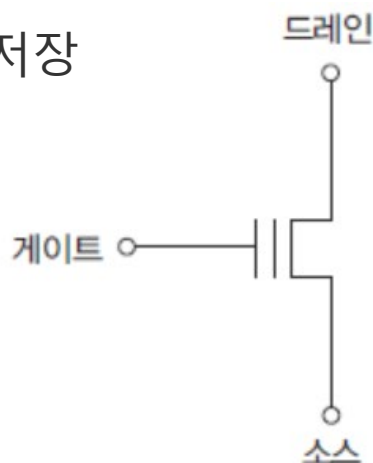
기억장치 랭크 구성 예

## 4. 플래시 메모리(flash memory)

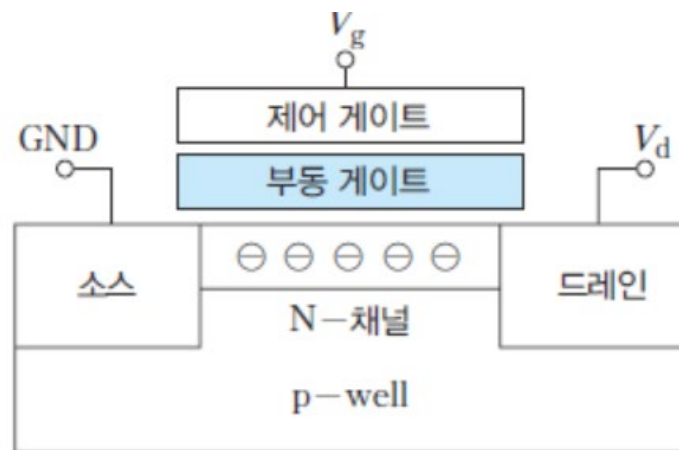
- ❑ 전기적으로 데이터를 지우고 다시 기록할 수 있는 비휘발성 기억장치
- ❑ 작고, 가볍고, 기계적인 충격에 강하다
- ❑ 기록 횟수에 제한이 있으며, 블록을 지운 뒤에 쓸 수 있다
- ❑ 처리속도가 빠른 NOR형과 저장용량이 큰 NAND형이 있다
- ❑ 내부 및 외부 기억장치로 사용

### ❑ 플래시 메모리 동작

- 부동 게이트: 정보 저장



(a) 기호



(b) 내부 구조

# 메모리 셀의 동작 원리

## □ 쓰기 동작

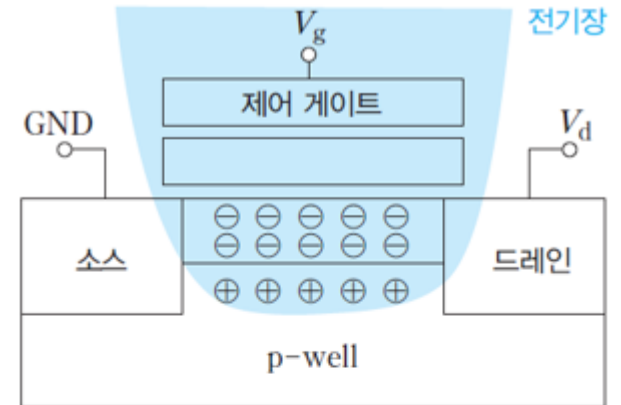
- 제어 게이트로 고전압 인가하면 N 채널 전자가 부동 게이트로 유입: 0 쓰기

## □ 삭제 동작

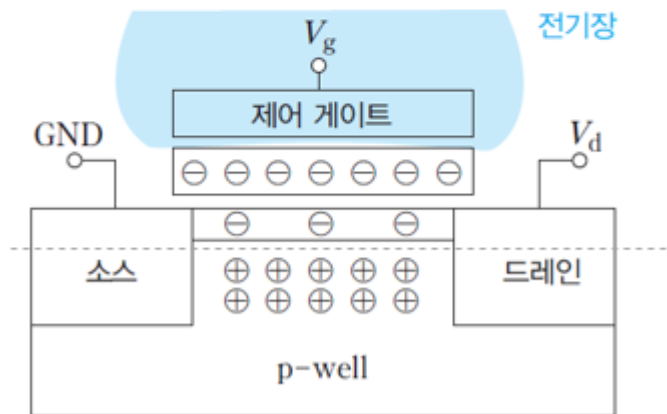
- p 층에 고전압 인가하면 부동 게이트에 갇힌 전자가 p 채널로 빠져옴

## □ 읽기 동작

- 드레인 및 게이트에 전압 인가



(a) 부동 게이트가 비어 있는 상태('1'이 저장된 상태)

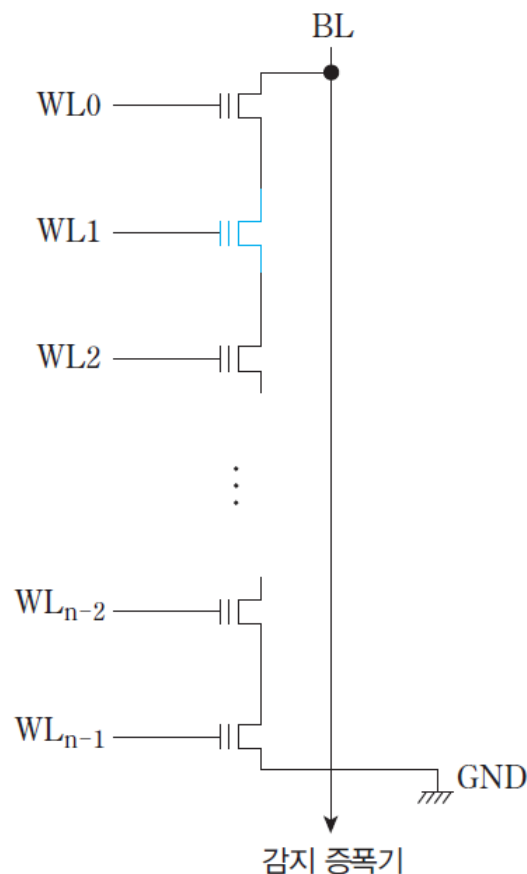


(b) 부동 게이트가 채워진 상태('0'이 저장된 상태)

메모리 셀 읽기 동작

# NAND 형

- ❑ 메모리 셀 배열이 트랜지스터들의 직렬 접속
  - 메모리 셀 단위 액세스 불가능
- ❑ 블록들로 구성되며, 각 블록은 페이지들(2KB, 4KB 등)로 구성
- ❑ 읽기/쓰기는 페이지 단위로, 삭제는 블록 단위로
- ❑ NOR 형보다
  - 읽기 속도는 느리나, 쓰기 속도는 더 빠르다
  - 셀 당 면적이 작아 대용량 저장장치에 유리
- ❑ SSD, USB 플래시 드라이브, 메모리 카드에 사용



# NOR 형

## ❑ 메모리 셀 배열이 트랜지스터들의 병렬 접속

- 셀 단위 액세스 가능

## ❑ 바이트/워드 단위로 읽기와 쓰기가 가능

- NAND형에 비해서 읽기 속도가 빠르다

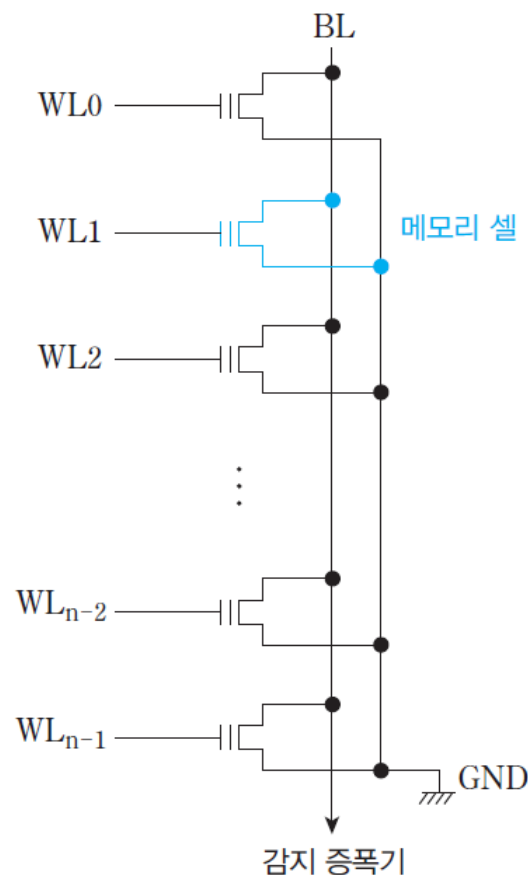
## ❑ 덮어쓰기/지우기는 랜덤 액세스가 불가능

- NAND형에 비해서 속도가 느리다

## ❑ 낮은 저장 밀도

- 셀 당 접속선 수가 3개

## ❑ 휴대 전화 운영체제, 윈도우의 BIOS 프로그램을 저장하는데 사용





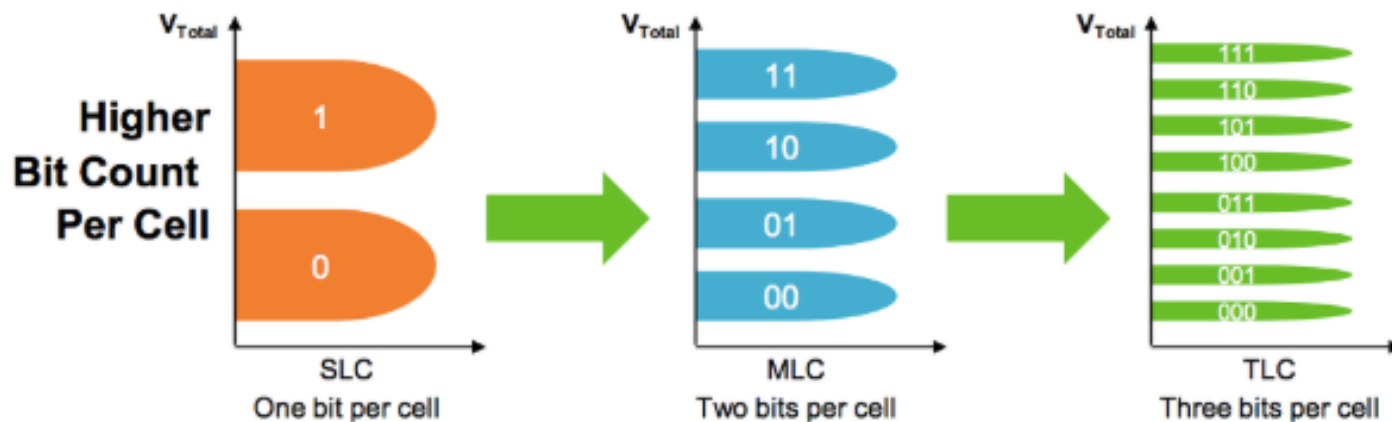
# NAND 플래시 vs NOR 플래시

구분	NAND 플래시	NOR 플래시
용도	데이터 저장용	프로그램 코드 저장용
읽기 속도	느리다.	빠르다.
쓰기 속도	빠르다.	느리다.
지우기 속도	빠르다.	느리다.
구조	셀이 직렬로 연결 데이터/주소 통합 구조	셀이 병렬로 연결 데이터/주소 분리 구조
액세스 단위	페이지 및 블록	워드 및 바이트
랜덤 액세스	데이터 읽기 시 불가능	데이터 읽기 시 가능
불량 섹터	있다.	없다.
단가	단가 낮다.	단가 높다.
저장 용량	대용량	소용량
사용 기기	USB 드라이브, 메모리 카드에 이용	스마트폰, 셋톱박스용 칩에 사용
주도 업체	삼성전자, 도시바	인텔, AMD

# SLC, MLC, TLC

## ❑ 부동 게이트로 들어가는 전자들의 수를 조정하여 각 셀에 저장되는 상태의 수를 증가

- 제어 게이트의 전압을 세부적으로 구분
- SLC(single-level cell): 두 가지 상태를 가짐으로써 한 비트를 저장하는 셀
- MLC(multi-level cell): 셀의 상태를 4가지(00,01,10,11)로 구분
  - 메모리 셀 당 2비트씩 저장
- TLC(triple-level cell): 셀의 상태를 8가지(000, 001, 010, 011, 100, 101,110,111)로 구분
  - 메모리 셀 당 3비트씩 저장



## ❑ MLC 및 TLC의 문제점

- 전자 수 조절을 위한 세밀한 작업 필요
- 데이터 구분의 어려움으로 인한 액세스 속도 저하
- 오류 발생 빈도 증가
- 수명 단축

## ❑ 특징 비교

특성 / 종류	SLC	MLC	TLC
셀 당 비트 수	1	2	3
읽기 시간	25 $\mu$ s	50 $\mu$ s	75 $\mu$ s
쓰기 시간	200~300 $\mu$ s	600~900 $\mu$ s	900~1,300 $\mu$ s
삭제 시간	1.5ms	3ms	4.5ms
재기록 가능 횟수	100,000	3,000~10,000	1,000



두 손에 가득하고 수고하며 바람을  
잡는 것보다 한 손에만 가득하고  
평온함이 더 나으니라(전도서4:6)