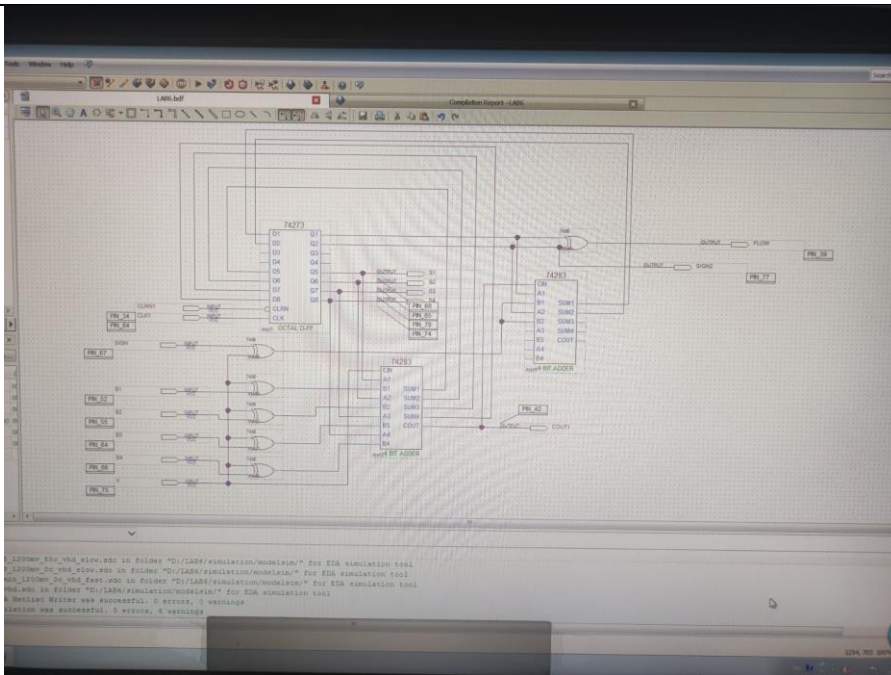


计算机组成与设计 课程实验报告

|  |                 |               |
|--|-----------------|---------------|
| 学号：202000130143  | 姓名： 郑凯饶         | 班级：2020 级 1 班 |
| 实验题目：<br>二进制补码加法器实验  |                 |               |
| 实验学时：2   | 实验日期： 2022-4-24 |               |
| 实验目的：<br>根据补码加法器的模型，理解数据流及其时序关系。<br>掌握加法器实现补码加、减运算的基本原理。                     |                 |               |
| 实验软件和硬件环境：   |                 |               |
| 软件环境：<br>QuartusII 软件  |                 |               |
| 硬件环境：<br>1. 实验室台式机<br>2. 计算机组成与设计实验箱   |                 |               |
| 实验原理和方法：   |                 |               |
| 1. 补码加、减运算器结构图   |                 |               |
| <p>图 10 补码加、减运算器结构图</p>  |                 |               |
| 模块讲解：  |                 |               |
| 原反控制器：用于转换 $Y_{\text{补}} \rightarrow (-Y)_{\text{补}}$ ，减法运算时将 $Y$ 连同符号位取反加一。 |                 |               |
| 累积器：类似 ALU 中 ACC 寄存器，存放加数、被减数。   |                 |               |
| 加法器（符号位）：用于计算双符号位。   |                 |               |
| 加法器（数据）：用于计算 4 位数据位。   |                 |               |
| 溢出判断：异或门判断双符号位是否相同。  |                 |               |
| 实验步骤：  |                 |               |
| 连接电路原理图：   |                 |               |



连接电路输出时不能直接连接在运算器件的输出，要通过寄存器，否则在输入时输出也随之变化。通过寄存器隔离输入交互。

引脚分配：

| Node Name | Direction | Location | I/O Bank | VREF Group | Filter Location | I/O Standard   | Reserved | Current Strength | Slew Rate   | Differential Pair |
|-----------|-----------|----------|----------|------------|-----------------|----------------|----------|------------------|-------------|-------------------|
| B1        | Input     | PN_52    | 3        | B3_N0      | PN_52           | 2.5V (default) |          | 8mA (default)    |             |                   |
| B2        | Input     | PN_55    | 4        | B4_N0      | PN_55           | 2.5V (default) |          | 8mA (default)    |             |                   |
| B3        | Input     | PN_54    | 4        | B4_N0      | PN_54           | 2.5V (default) |          | 8mA (default)    |             |                   |
| B4        | Input     | PN_56    | 4        | B4_N0      | PN_56           | 2.5V (default) |          | 8mA (default)    |             |                   |
| CLK1      | Input     | PN_84    | 5        | B5_N0      | PN_84           | 2.5V (default) |          | 8mA (default)    |             |                   |
| CLK2      | Input     | PN_34    | 2        | B2_N0      | PN_34           | 2.5V (default) |          | 8mA (default)    |             |                   |
| CLK3      | Output    | PN_42    | 3        | B3_N0      | PN_42           | 2.5V (default) |          | 8mA (default)    | 2 (default) |                   |
| CLK4      | Output    | PN_39    | 3        | B3_N0      | PN_39           | 2.5V (default) |          | 8mA (default)    | 2 (default) |                   |
| CLK5      | Input     | PN_75    | 5        | B5_N0      | PN_75           | 2.5V (default) |          | 8mA (default)    |             |                   |
| CLK6      | Input     | PN_50    | 4        | B4_N0      | PN_50           | 2.5V (default) |          | 8mA (default)    | 2 (default) |                   |
| CLK7      | Output    | PN_55    | 4        | B4_N0      | PN_55           | 2.5V (default) |          | 8mA (default)    | 2 (default) |                   |
| CLK8      | Output    | PN_70    | 4        | B4_N0      | PN_70           | 2.5V (default) |          | 8mA (default)    | 2 (default) |                   |
| CLK9      | Output    | PN_74    | 5        | B5_N0      | PN_74           | 2.5V (default) |          | 8mA (default)    | 2 (default) |                   |
| CLK10     | Input     | PN_57    | 4        | B4_N0      | PN_57           | 2.5V (default) |          | 8mA (default)    |             |                   |
| CLK11     | Output    | PN_77    | 5        | B5_N0      | PN_77           | 2.5V (default) |          | 8mA (default)    | 2 (default) |                   |

测试、调试：

减法操作：



初始状态，设置减数为 3.



0 - 3 = -3

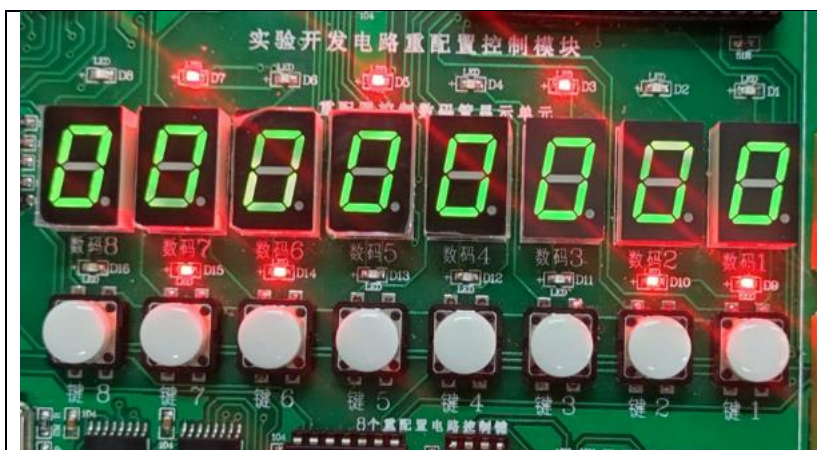


-3 - 3 = -6



-6 - 3 = -9





$-9 - 3 = -12$



$-12 - 3 = -15$



$-15 - 3 = -2$

此时发生溢出，溢出信号灯（D8）亮起。

结论分析与体会：

这次的设计比较复杂，但是之前的实验让我们对运算器有了初步了解。我们解耦了整体设计，模块化地依次设计原反控制器、加法器向累加器的传送线路和溢出判断模块等等。在测试的过程中我们遇到了一些 BUG，比如输出未经过寄存器、减法操作时符号位未取反，调试修改后我们完成了实验任务。

