

2.3、实验电路结构图

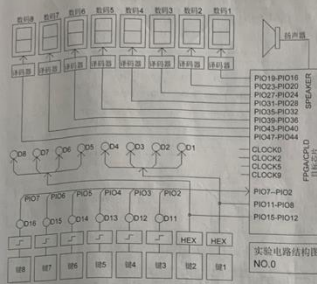


图3 实验电路结构图 NO.0

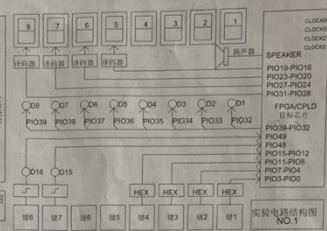


图4 实验电路结构图 NO.1

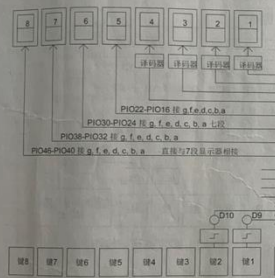


图5 实验电路结构图 NO.2

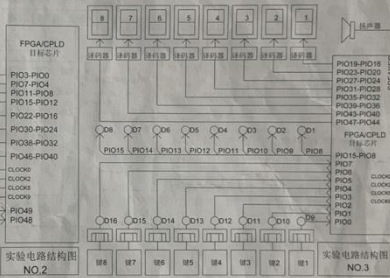


图6 实验电路结构图 NO.3

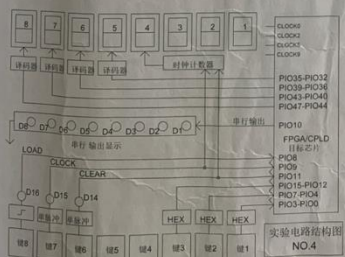


图7 实验电路结构图 NO.4

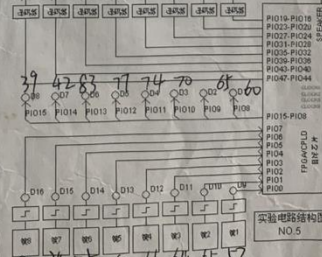


图8 实验电路结构图 NO.5

26
37
15
04

39 42 83 77 74 70 68 60

84 34 75 67 61 64 55 52

45
39



图 9 实验电路结构图 NO. 6

图 10 实验电路结构图 NO. 7

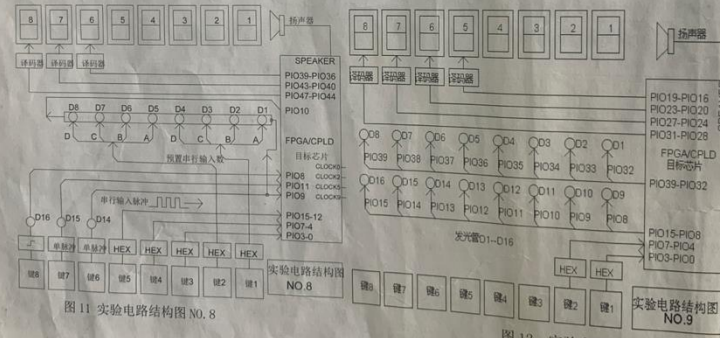


图 11 实验电路结构图 NO. 8



图 12 实验电路结构图 NO. 9

2.4、FPGA 核心板扩展至康芯主系统引脚对照表

结构图上 的信号名	KX-3CE6/10	DE0 E3C16F484C6N CycloneIII	DE0-CV EP5CEBA4F23C7 N CycloneV	DE1-SOC EP5CEBA5F31C 6N CycloneV	KX-3C40 EP3C40Q240C8 N CycloneIII	2组40芯 端口名	KX-4CE55
	引脚号	引脚号	引脚号	引脚号	引脚号		引脚号
P100	52	U7	T15	AJ21	88	DB31	N1
P101	55	W6	T18	AG20	94	DB29	R1
P102	64	V8	T20	AG21	103	DB27	V1
P103	66	W10	R17	AF21	107	DB25	Y1
P104	67	V11	P18	AE19	113	DB23	AB3
P105	75	V12	K17	AD20	131	DB21	AA6
P106	34	W13	L17	AK21	133	DB19	Y7
P107	84	U14	M18	AJ20	135	DB17	AB6
P108	60	T8	R16	AF19	106	DB26	U2
P109	65	Y10	R15	AF20	112	DB24	W2
P1010	70	R10	K19	AE18	114	DB22	AA3
P1011	74	U13	L19	AD19	132	DB20	AB5
P1012	77	Y13	L18	AH20	134	DB18	W6
P1013	83	V14	P16	AH19	137	DB16	W8
P1014	42	V7	K16	AC22	70	DA31	P1
P1015	39	V6	J17	AA20	73	DA30	N2
P1016	44	U8	G12	AD21	76	DA29	U1
P1017	43	Y7	G13	AE22	78	DA28	R2
P1018	49	T9	G15	AF23	80	DA27	W1
P1019	46	U9	G16	AF24	81	DA26	V2
P1020	51	T10	F12	AG22	82	DA25	AA1
P1021	50	U10	F13	AH22	83	DA24	Y2
P1022	59	R12	F15	AJ22	84	DA23	AA5
P1023	54	R11	F14	AK22	87	DA22	AA4
P1024	69	T12	E16	AH23	98	DA21	Y6
P1025	68	U12	E15	AK23	100	DA20	V6
P1026	72	R14	E14	AG23	99	DA19	Y8
P1027	71	T14	C15	AK24	110	DA18	W7
P1028	76	AB7	B15	AJ24	111	DA17	AB7
P1029	73	AA7	A14	AJ25	128	DA16	AA7
P1030	85	AA9	L8	AH25	127	DA15	AB9
P1031	80	T16	J13	AK26	126	DA14	AA9
P1032	101	AB9	A15	AJ26	118	DA14	V11
P1033	100	R16	H14	AK27	117	DA13	Y10
P1034	113	V15	J11	AK28	160	DA13	AB14
P1035	105	W15	H10	AK29	159	DA12	AA13
P1036	120	T15	G11	AJ27	166	DA11	T16
P1037	114	U15	J19	AH27	164	DA10	AA15
P1038	128	W17	J18	AH24	176	DA9	W17
P1039	125	Y17	H18	AG26	173	DA8	Y17
P1040	135	AB17	G17	AG25	195	DA7	AB16

KONXIN							
P1041	136	AA17	G18	AF26	194	DA6	AA16
P1042	137	AA18	D13	AF25	197	DA5	U20
P1043	138	AB18	C13	AE24	196	DA4	AB18
P1044	141	AB19	B13	AE23	201	DA3	AA19
P1045	142	AA19	A13	AD24	200	DA2	AB19
P1046	143	AB20	B12	AC23	202	DA1	U21
P1047	144	AA20	A12	AA21	203	DA0	U22
P1048	58	W7	T19	AF18	95	DB28	P2
P1049	53	V5	T17	AG18	93	DB30	M2
CLKB0	90	AB12	N16	AC18	149	CLKB0	W22
CLKB1	91	AA12	M16	AD17	150	CLKB1	W21
8051/88							
MT	88	AB11	H16	AB17	151	CLKA0	V22
NO	89	AA11	H15	AB21	152	CLKA1	V21
PE0	127	AA15	D17	AK16	186	DB2	AA21
PE2	124	AA14	K21	AK19	184	DB4	W20
	133	AB16	B16	Y17	189	DB0	Y22
	129	AA16	C16	Y18	188	DB1	Y21
	126	AB15	K20	AK18	187	DB3	AA20
	121	AB14	K22	AJ19	185	DB5	AB20
	119	AB13	M20	AJ17	177	DB6	AA17
	115	AA13	M21	AJ16	183	DB7	AB17
	111	AB10	N21	AH18	171	DB8	V16
	112	AA10	R22	AH17	169	DB9	U16
	106	AB8	R21	AG16	162	DB10	AA14
	110	AA8	T22	AE16	161	DB11	AB15
	103	AB5	N20	AF16	146	DB12	Y13
	104	AA5	N19	AG17	145	DB13	AB13
	98	AB3	M22	AA18	144	DBT0	AA10
	99	AB4	P19	AA19	143	DB14	AB10
	86	AA3	L22	AE17	142	DBT1	AA8
	87	AA4	P17	AC20	139	DB15	AB8

任何一
夹。此文件
一工程的所有
并存盘，步
(1)
夹名不能F
(2)
译文件的
所示的V

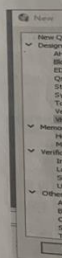


图 3-1 选

《云

LIBRARY

USE IEEE

USE IEEE

ENTITY C

PORT

END;