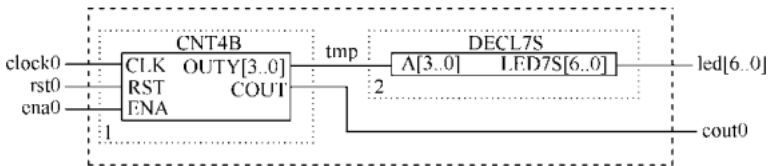
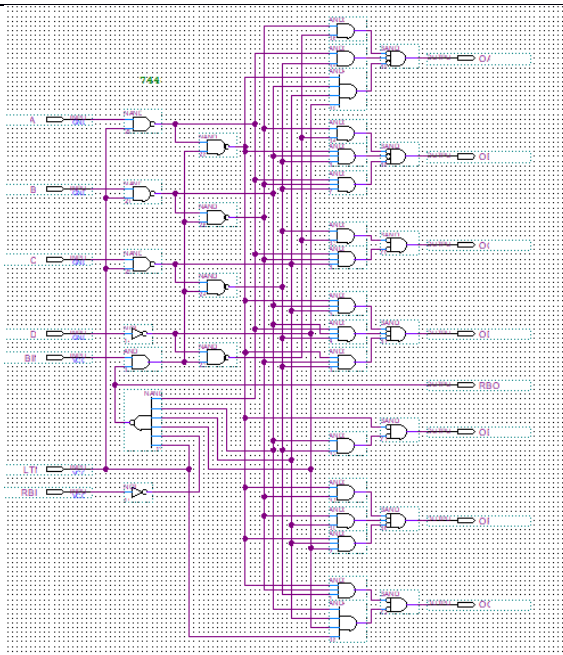


计算机组成与设计 课程实验报告

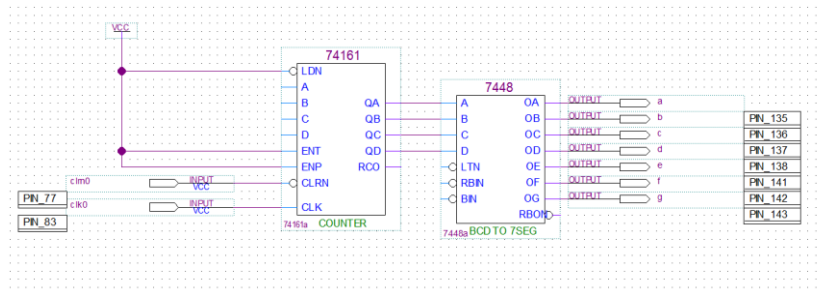
学号：202000130143	姓名： 郑凯饶	班级：2020 级 1 班
实验题目： 七段译码设计		
实验学时：2	实验日期： 2022-5-5	
实验目的： 熟悉 Quartus 2 的设计流程全过程，学习计数器的设计和硬件测试。掌握原理图的设计方法。		
实验软件和硬件环境：		
软件环境： QuartusII 软件		
硬件环境： 1. 实验室台式机 2. 计算机组成与设计实验箱		
实验原理和方法： 整体译码设计：		
<p>2、实验原理：4 位计数器连接 7 段译码，多数码管进行显示控制。实验框图如图 6 所示。</p>  <p style="text-align: center;">图 6 原理图示意图</p> <p>其中，CNT4B 采用 74161 计数器芯片实现，DECL7S 采用 7448（共阳）设计。</p> <p>这次实验不需要我们自行设计数码管的译码逻辑电路而是直接使用 7448 数码管译码模块。</p> <p>7448 内部结构：</p>		



通过一系列与非结构实现译码，我们也可以通过真值表卡诺图化简的方式进行译码模块的设计。

实验步骤：

连接电路原理图：

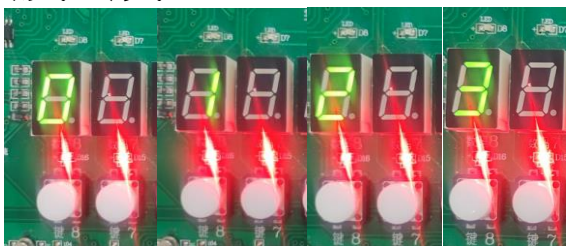


引脚分配：

本次实验使用的是平台的模式 6，对应模式 6 的电路结构进行引脚分配。

Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
out_a	Output	PIN_135	8	B8_NO	PIN_135	2.5 V (default)		8mA (default)	2 (default)	
out_b	Output	PIN_136	8	B8_NO	PIN_136	2.5 V (default)		8mA (default)	2 (default)	
out_c	Output	PIN_137	8	B8_NO	PIN_137	2.5 V (default)		8mA (default)	2 (default)	
in_clk0	Input	PIN_83	5	B5_NO	PIN_83	2.5 V (default)		8mA (default)		
in_clk0	Input	PIN_77	5	B5_NO	PIN_77	2.5 V (default)		8mA (default)		
out_d	Output	PIN_138	8	B8_NO	PIN_138	2.5 V (default)		8mA (default)	2 (default)	
out_e	Output	PIN_141	8	B8_NO	PIN_141	2.5 V (default)		8mA (default)	2 (default)	
out_f	Output	PIN_142	8	B8_NO	PIN_142	2.5 V (default)		8mA (default)	2 (default)	
out_g	Output	PIN_143	8	B8_NO	PIN_143	2.5 V (default)		8mA (default)	2 (default)	

测试、调试：



0->1->2->3->...

结论分析与体会：

这次实验接线比较简单，得益于模块化的设计模式。这次我们也尝试了 FGPA 平台的其他模式，从一开始了解到 FPGA 是一个可编程的硬件平台，但目前为止只是在应用层进行操作，希望以后能了解平台内部的原理。

