# 山东大学\_\_\_\_\_\_计算机科学与技术\_\_\_\_\_学院

## 计算机体系结构 课程实验报告

学号: 202000130143	姓名:	郑凯饶	班级:	计科1班
	<u> </u>	ハトレルレルし	カエツス:	V 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

实验题目: 实验一 熟悉 WinDLX 的使用

实验目的:

通过本实验,熟悉 WinDLX 模拟器的操作和使用,了解 DLX 指令集结构及其特点。

#### 硬件环境:

Dell Latitude 5411

Intel(R) Core(TM) i5-10400H CPU @ 2.60GHz(8GPUs), ~2.6GHz

#### 软件环境:

VMware Workstation 16 Player

Windows 7

## 实验步骤与内容:

#### 1. 配置

设置内存大小,不同浮点运算延时,是否开启 Symboloc address, Absolute Cycle Count 和 Enable Forwarding 等功能。

Symbolic address(符号地址)是指在程序中使用的抽象地址,它代表着程序中某个变量或指令的位置。在流水线中,符号地址通常用来表示指令的位置,通过它可以实现指令的跳转和分支等操作。

Absolute Cycle Count(绝对时钟周期数)是指指令在流水线中执行所需要的总时钟周期数。在流水线中,每个指令需要经过多个阶段才能完成执行,每个阶段需要占用一个或多个时钟周期。因此,绝对时钟周期数可以反映指令的执行效率和流水线的性能。

Enable Forwarding(使能转发)是一种流水线技术,用于解决数据冒险(data hazard)问题。在指令执行过程中,如果后面的指令需要用到前面指令的结果,而前面指令的结果还未写回寄存器,就会出现数据冒险问题。启用转发技术可以将前面指令的结果直接传递给后面指令,避免数据冒险带来的性能损失。

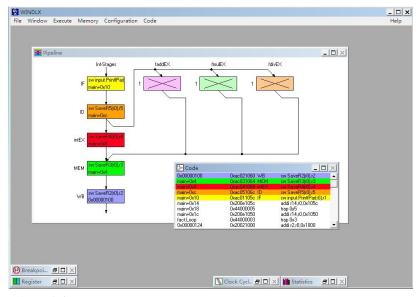
	Count:	Delay:
Addition Units	. 1	2
Multiplication Units	1	5
Division Units	1	19
Number of Units in each	cles): 1 <= N	

#### 2. 装载

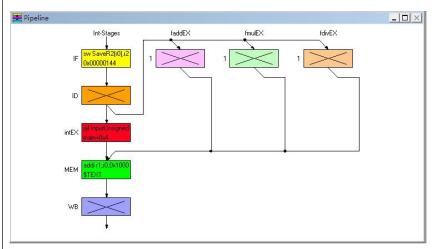
根据实验指导书步骤装载 facy. s 和 input. s 程序, 选择文件的顺序会影响文件在存储器中的出现顺序。

## 3. 模拟

#### Pipeline 窗口

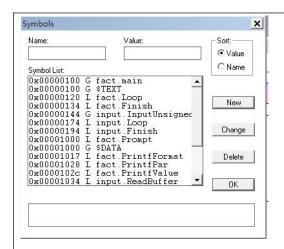


#### F7 单步执行。



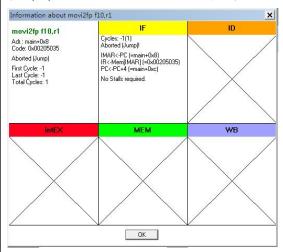
再次按下F7键,代码窗口中的颜色会再改变,红色表明命令处入第三段"intEX"。 再按下F7,图形显示将变为:在代码窗口中,黄色出现在更下面的位置,并且可能是唯一彩色行。查看一下 Pipeline 窗口, 你会发现 IF, intEX 和 MEM 段正在使用而 ID 段没有。为什么?

因为第二条指令 jal 为无条件跳转指令,但只有在第三个时钟周期译码之后才知道,此时,下一条指令 movi2fp 已经取出,故取消它,在流水线中留下气泡。

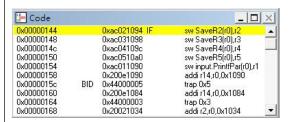


Jal 的目标地址为 InputUnsigned, 在 symbols 中可以找到它的定义为 0x144。

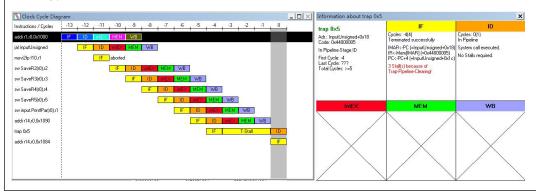
在 pipeline 窗口中点击指令 movi2fp, 可以查看指令各个阶段的执行详情。



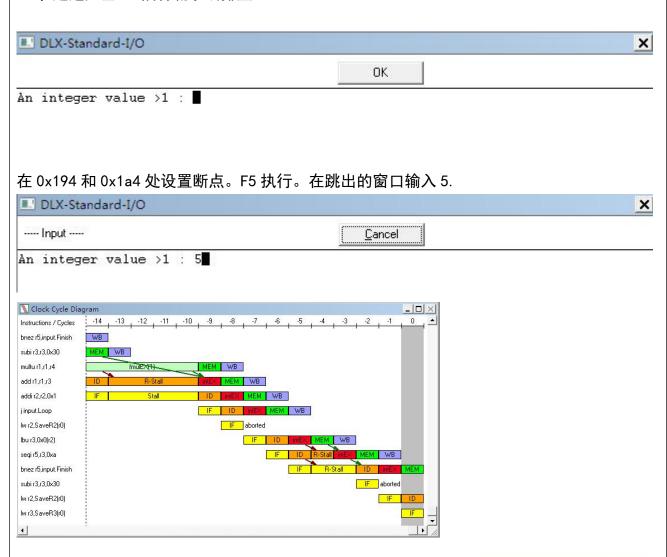
在地址 0x0000015c 处设置断点,该命令为 trap 0x5c,是在屏幕输出的系统调用。



BID 代表断点设置在 ID 阶段,在该指令的译码阶段,程序停止。 F5 执行至断点处。



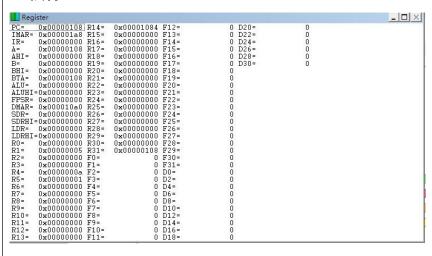
执行trap 命令DLX处理器中的流水线将清空,3 stalls because of Trap-Pipeline-Clearing, trap 通过阻塞 IF 段将流水线排空。

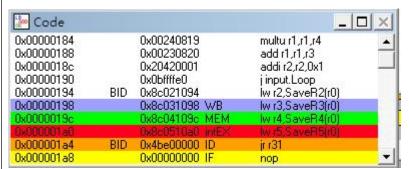


在 Clock cycle diagram 窗口中,在指令之间出现了红和绿的箭头。<mark>红色箭头表示需要一个暂停,箭头指向处显示了暂停的原因</mark>。R-Stall(R-暂停)表示引起暂停的原因是 RAW。<del>绿色箭头表示定向技术的使用。</del>

查看 Register 窗口:

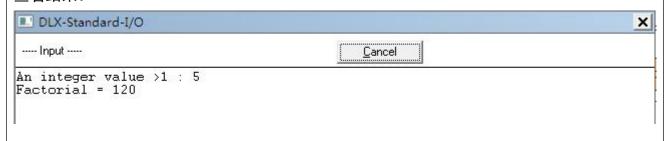
#### F5 执行。





对应指令: lw 指令从主存中取数到寄存器中, R2-R5 某些寄存器值发生改变。

## 查看结果:



## 查看 Statistic 窗口:

```
Total:
    95 Cycle(s) executed.
    ID executed by 62 Instruction(s).
    2 Instruction(s) currently in Pipeline.
Hardware configuration:
    Memory size: 32768 Bytes
    faddEX-Stages: 1, required Cycles: 2
    fmulEX-Stages: 1, required Cycles: 5
    fdivEX-Stages: 1, required Cycles: 19
    Forwarding enabled.
Stalls:
    RAW stalls: 10 (10.53% of all Cycles), thereof:
         LD stalls: 2 (20.00% of RAW stalls)
         Branch/Jump stalls: 2 (20.00% of RAW stalls)
         Floating point stalls: 6 (60.00% of RAW stalls)
    WAW stalls: 0 (0.00% of all Cycles)
    Structural stalls: 0 (0.00% of all Cycles)
    Control stalls: 9 (9.47% of all Cycles)
Trap stalls: 12 (12.63% of all Cycles)
    Total: 31 Stall(s) (32.63% of all Cycles)
Conditional Branches)
    Total: 7 (11.29% of all Instructions), thereof:
        taken: 2 (28.57% of all cond. Branches)
         not taken: 5 (71.43% of all cond. Branches)
Load-/Store-Instructions:
Total: 12 (19.35% of all Instructions), thereof:
Loads: 6 (50.00% of Load-/Store-Instructions)
         Stores: 6 (50.00% of Load-/Store-Instructions)
Floating point stage instructions:
    Total: 9 (14.52% of all Instructions), thereof:
         Additions: 4 (44.44% of Floating point stage inst.)
         Multiplications: 5 (55.56% of Floating point stage inst.)
         Divisions: 0 (0.00% of Floating point stage inst.)
Traps:
    Traps: 4 (6.45% of all Instructions)
```

```
Total:
    112 Cycle(s) executed.
    ID executed by 62 Instruction(s).
    2 Instruction(s) currently in Pipeline.
Hardware configuration:
    Memory size: 32768 Bytes
    faddEX-Stages: 1, required Cycles: 2
    fmulEX-Stages: 1, required Cycles: 5
    fdivEX-Stages: 1, required Cycles: 19
    Forwarding disabled.
Stalls:
    RAW stalls: 28 (25.00% of all Cycles)
    WAW stalls: 0 (0.00% of all Cycles)
    Structural stalls: 0 (0.00% of all Cycles)
    Control stalls: 9 (8.04% of all Cycles)
    Trap stalls: 12 (10.71% of all Cycles)
    Total: 49 Stall(s) (43.75% of all Cycles)
Conditional Branches):
    Total: 7 (11.29% of all Instructions), thereof:
        taken: 2 (28.57% of all cond. Branches)
        not taken: 5 (71.43% of all cond. Branches)
Load-/Store-Instructions:
    Total: 12 (19.35% of all Instructions), thereof:
        Loads: 6 (50.00% of Load-/Store-Instructions)
        Stores: 6 (50.00% of Load-/Store-Instructions)
Floating point stage instructions:
    Total: 9 (14.52% of all Instructions), thereof:
        Additions: 4 (44.44% of Floating point stage inst.)
Multiplications: 5 (55.56% of Floating point stage inst.)
        Divisions: 0 (0.00% of Floating point stage inst.)
```

关闭定向技术之后, RAW 从 10 增加到 28, Trap 和 Control stalls 不变, 总的周期数从 95 增加到 112, 定向技术在这个 case 下的加速比为 112 / 95 = 1.179, 快 17.9%。

Traps: 4 (6.45% of all Instructions)

## 结论分析与体会:

通过 WinDLX, 从多个角度 pipeline, code 视图观察一个程序的执行, 加深对流水线技术的理解。通过 WinDLX 提供立体的参数设置,可以自定义流水线结构,功能部件延时,内存参数,定向等控制功能,可以实验对比各个参数对流水线工作表现的影响。