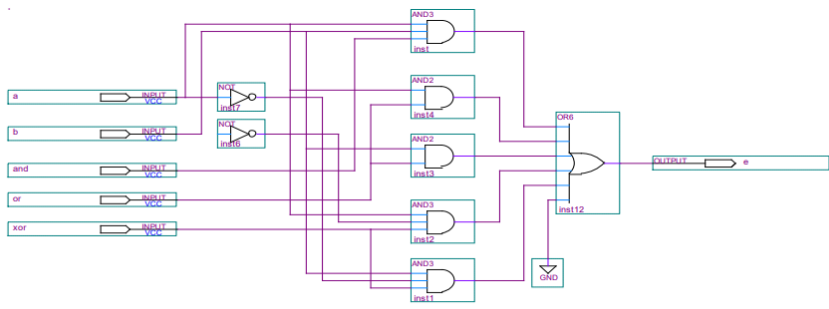
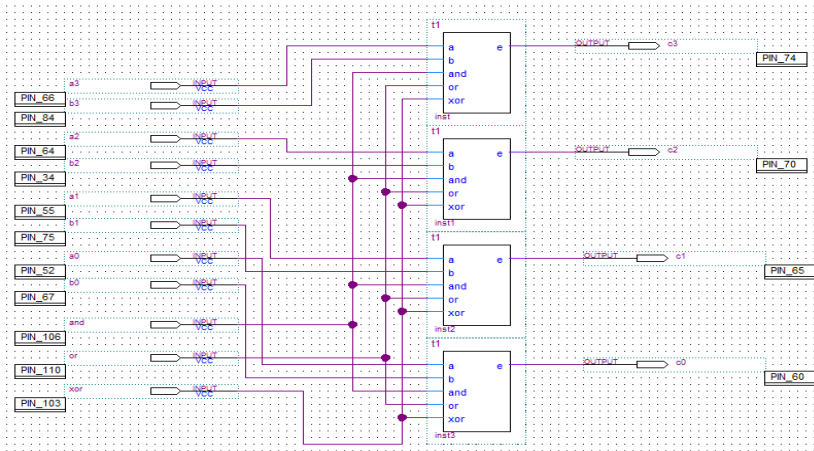
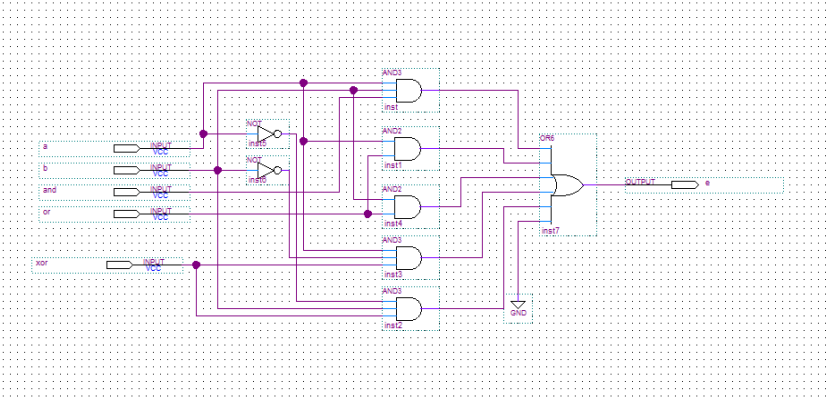


计算机组成与设计 课程实验报告

学号：202000130143	姓名：郑凯饶	班级：2020 级 1 班
实验题目： 逻辑运算电路		
实验学时：2	实验日期：3.13	
实验目的： 设计一个能实现逻辑乘、逻辑或、半加的逻辑运算电路。		
实验软件和硬件环境： 软件环境： QuartusII 软件 硬件环境： 1. 实验室台式机 2. 计算机组成与设计实验箱		
实验原理和方法： 1. 1 位基本运算电路的实现： <div style="text-align: center;">  <p>图 2 逻辑运算电路原理图</p> </div>		
2. 以 1 位基本运算电路为单元设计 4 位运算电路： <div style="text-align: center;">  </div>		

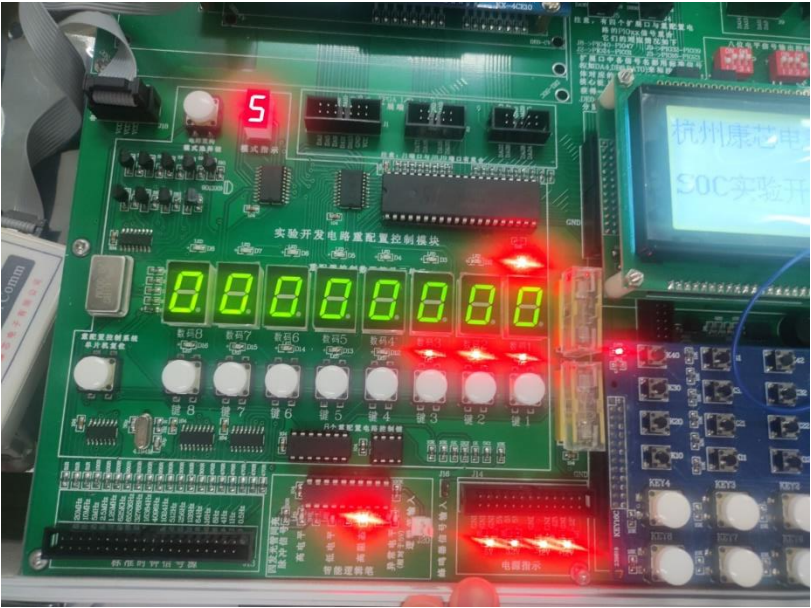
实验步骤：
1> 1 位基本运算电路：
连接电路原理图：

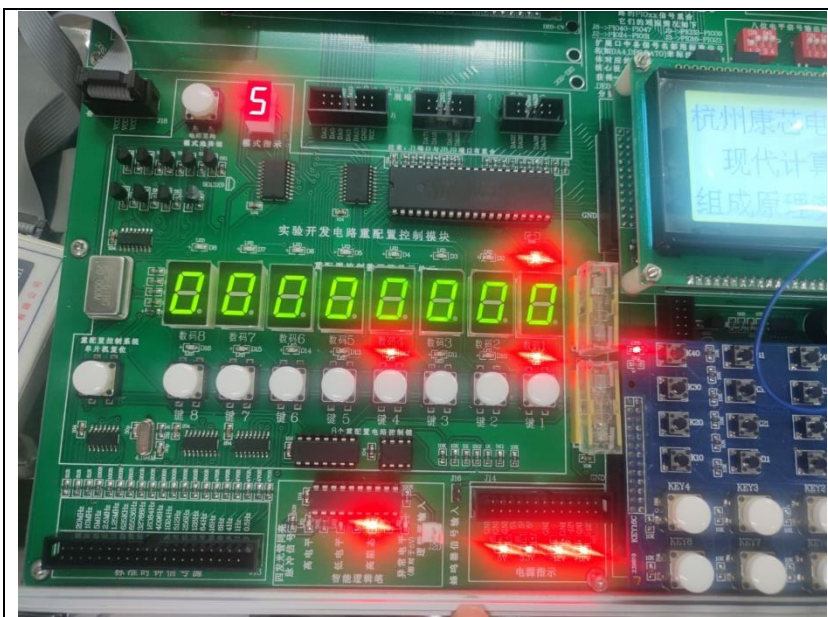


引脚分配：

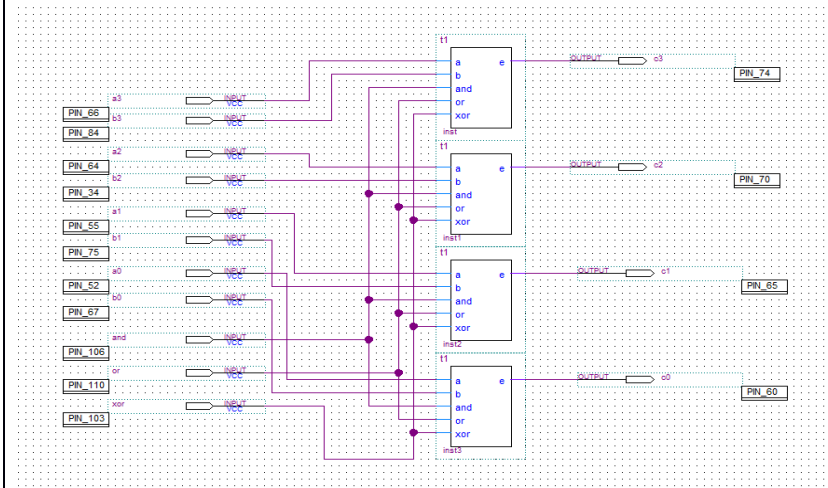
Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
a0	Input	PIN_52	3	B3_N0	PIN_52	2.5 V (default)		8mA (default)		
a1	Input	PIN_55	4	B4_N0	PIN_55	2.5 V (default)		8mA (default)		
a2	Input	PIN_64	4	B4_N0	PIN_64	2.5 V (default)		8mA (default)		
a3	Input	PIN_66	4	B4_N0	PIN_66	2.5 V (default)		8mA (default)		
and	Input	PIN_106	6	B6_N0	PIN_106	2.5 V (default)		8mA (default)		
b0	Input	PIN_67	4	B4_N0	PIN_67	2.5 V (default)		8mA (default)		
b1	Input	PIN_75	5	B5_N0	PIN_75	2.5 V (default)		8mA (default)		
b2	Input	PIN_34	2	B2_N0	PIN_34	2.5 V (default)		8mA (default)		
b3	Input	PIN_84	5	B5_N0	PIN_84	2.5 V (default)		8mA (default)		
c0	Output	PIN_60	4	B4_N0	PIN_60	2.5 V (default)		8mA (default)	2 (default)	
c1	Output	PIN_65	4	B4_N0	PIN_65	2.5 V (default)		8mA (default)	2 (default)	
c2	Output	PIN_70	4	B4_N0	PIN_70	2.5 V (default)		8mA (default)	2 (default)	
c3	Output	PIN_74	5	B5_N0	PIN_74	2.5 V (default)		8mA (default)	2 (default)	
or	Input	PIN_110	7	B7_N0	PIN_110	2.5 V (default)		8mA (default)		
xor	Input	PIN_103	6	B6_N0	PIN_103	2.5 V (default)		8mA (default)		

测试、调试：





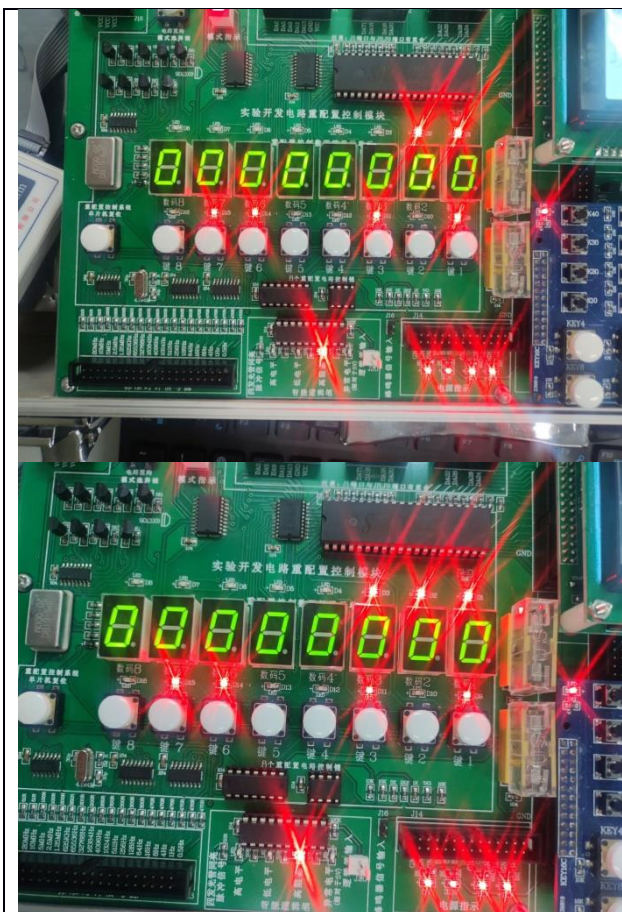
2> 4 位运算电路：
连接原理图：



引脚分配：

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
a0	Input	PIN_52	3	B3_NO	PIN_52	2.5 V (default)	Reserved	8mA (default)		
a1	Input	PIN_55	4	B4_NO	PIN_55	2.5 V (default)		8mA (default)		
a2	Input	PIN_64	4	B4_NO	PIN_64	2.5 V (default)		8mA (default)		
a3	Input	PIN_66	4	B4_NO	PIN_66	2.5 V (default)		8mA (default)		
and	Input	PIN_106	6	B6_NO	PIN_106	2.5 V (default)		8mA (default)		
b0	Input	PIN_67	4	B4_NO	PIN_67	2.5 V (default)		8mA (default)		
b1	Input	PIN_75	5	B5_NO	PIN_75	2.5 V (default)		8mA (default)		
b2	Input	PIN_34	2	B2_NO	PIN_34	2.5 V (default)		8mA (default)		
b3	Input	PIN_84	5	B5_NO	PIN_84	2.5 V (default)		8mA (default)		
c0	Output	PIN_60	4	B4_NO	PIN_60	2.5 V (default)		8mA (default)	2 (default)	
c1	Output	PIN_65	4	B4_NO	PIN_65	2.5 V (default)		8mA (default)	2 (default)	
c2	Output	PIN_70	4	B4_NO	PIN_70	2.5 V (default)		8mA (default)	2 (default)	
c3	Output	PIN_74	5	B5_NO	PIN_74	2.5 V (default)		8mA (default)	2 (default)	
or	Input	PIN_110	7	B7_NO	PIN_110	2.5 V (default)		8mA (default)		
xor	Input	PIN_103	6	B6_NO	PIN_103	2.5 V (default)		8mA (default)		

测试、调试：



结论分析与体会：

这次实验实践了如何将基本电路生成符号图，以此为基础设计更复杂的电路。同时也使用了 FPGA 的拓展 I/O 接口。设计过程中还碰到了引脚 overlap 的 BUG，删除该部分电路重新画即可。