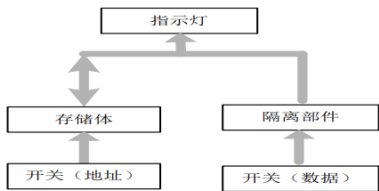
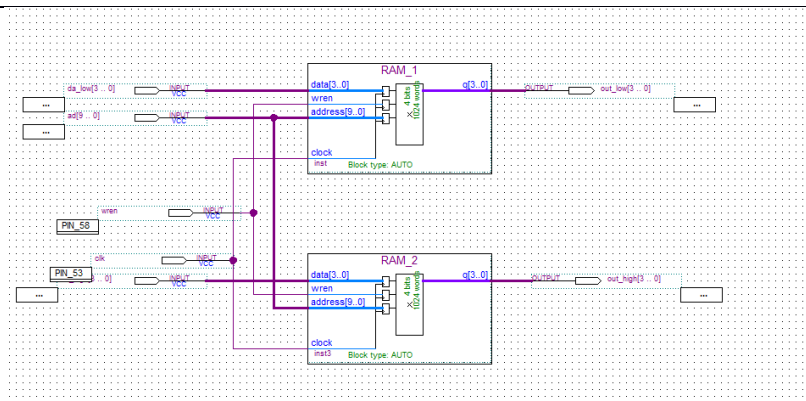


计算机组成与设计 课程实验报告

学号：202000130143	姓名： 郑凯饶	班级：2020 级 1 班
实验题目： RAM 拓展实验		
实验学时：2	实验日期： 2022-5-19	
实验目的： 1. 了解半导体静态随机读写存储器 RAM 的工作原理及其使用方法； 2. 掌握半导体存储器的字、位拓展技术。		
实验软件和硬件环境： 软件环境： QuartusII 软件 硬件环境： 1. 实验室台式机 2. 计算机组成与设计实验箱		
实验原理和方法：  <p>图 9 RAM 实验结构图</p> <p>隔离部件采用三态门 TRI。</p> <p>（一）按位拓展 位拓展是增加存储字长。具体设计是采用 1K*4 的 LPM_RAM 构成 1K*8 的存储器，2 片 RAM 的地址线、读写控制线相连，不设片选线，数据线低 4 位接 1 片，高 4 位接 1 片。</p> <p>（二）按字拓展 字拓展是增加存储器字的数量。具体设计是采用 1K*4 的 LPM_RAM 构成 2K*4 的存储器，设置片选信号及其非和两路读写控制、TRI 相与，达到片选效果。</p>		
实验步骤： （一）按位拓展 连接电路原理图：		



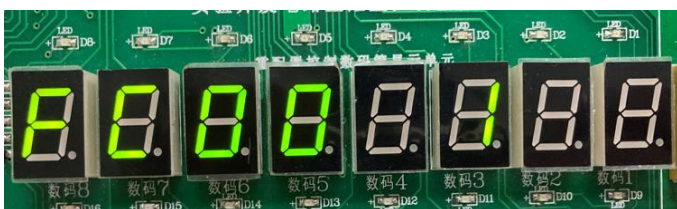
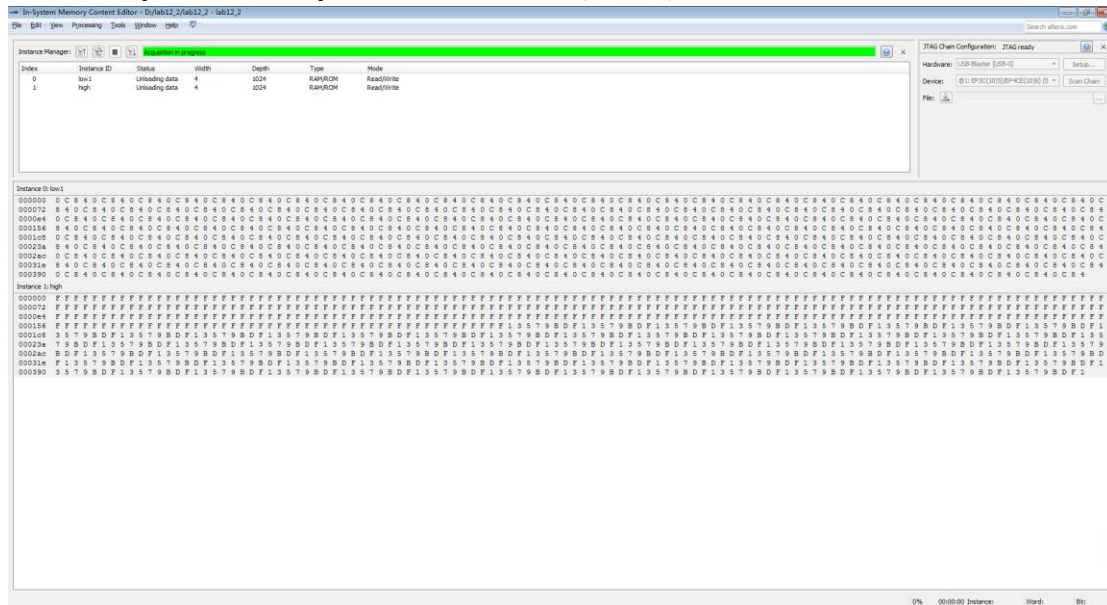
引脚分配：

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
da_low[3:0]	Input	PN_110	7	B7_NO	PN_110	2.5 V (default)		8mA (default)		
ad[9:0]	Input	PN_106	6	B6_NO	PN_106	2.5 V (default)		8mA (default)		
ad[7]	Input	PN_39	3	B3_NO	PN_39	2.5 V (default)		8mA (default)		
ad[6]	Input	PN_42	3	B3_NO	PN_42	2.5 V (default)		8mA (default)		
ad[5]	Input	PN_83	5	B5_NO	PN_83	2.5 V (default)		8mA (default)		
ad[4]	Input	PN_77	5	B5_NO	PN_77	2.5 V (default)		8mA (default)		
ad[3]	Input	PN_74	5	B5_NO	PN_74	2.5 V (default)		8mA (default)		
ad[2]	Input	PN_70	4	B4_NO	PN_70	2.5 V (default)		8mA (default)		
ad[1]	Input	PN_55	4	B4_NO	PN_55	2.5 V (default)		8mA (default)		
ad[0]	Input	PN_60	4	B4_NO	PN_60	2.5 V (default)		8mA (default)		
altera_reserved_tck	Input				PN_16	2.5 V (default)		8mA (default)		
altera_reserved_tdi	Input				PN_15	2.5 V (default)		8mA (default)		
altera_reserved_tdo	Output				PN_20	2.5 V (default)		8mA (default)	2 (default)	
altera_reserved_tms	Input				PN_18	2.5 V (default)		8mA (default)		
clk	Input	PN_53	3	B3_NO	PN_53	2.5 V (default)		8mA (default)		
da_high[3]	Input	PN_34	5	B5_NO	PN_34	2.5 V (default)		8mA (default)		
da_high[2]	Input	PN_34	2	B2_NO	PN_34	2.5 V (default)		8mA (default)		
da_high[1]	Input	PN_75	5	B5_NO	PN_75	2.5 V (default)		8mA (default)		
da_high[0]	Input	PN_67	4	B4_NO	PN_67	2.5 V (default)		8mA (default)		
da_low[3]	Input	PN_66	4	B4_NO	PN_66	2.5 V (default)		8mA (default)		
da_low[2]	Input	PN_64	4	B4_NO	PN_64	2.5 V (default)		8mA (default)		
da_low[1]	Input	PN_55	4	B4_NO	PN_55	2.5 V (default)		8mA (default)		
da_low[0]	Input	PN_52	3	B3_NO	PN_52	2.5 V (default)		8mA (default)		
out_high[3]	Output	PN_80	5	B5_NO	PN_80	2.5 V (default)		8mA (default)	2 (default)	
out_high[2]	Output	PN_85	5	B5_NO	PN_85	2.5 V (default)		8mA (default)	2 (default)	
out_high[1]	Output	PN_73	5	B5_NO	PN_73	2.5 V (default)		8mA (default)	2 (default)	
out_high[0]	Output	PN_76	5	B5_NO	PN_76	2.5 V (default)		8mA (default)	2 (default)	
out_low[3]	Output	PN_71	4	B4_NO	PN_71	2.5 V (default)		8mA (default)	2 (default)	
out_low[2]	Output	PN_72	4	B4_NO	PN_72	2.5 V (default)		8mA (default)	2 (default)	
out_low[1]	Output	PN_68	4	B4_NO	PN_68	2.5 V (default)		8mA (default)	2 (default)	
out_low[0]	Output	PN_69	4	B4_NO	PN_69	2.5 V (default)		8mA (default)	2 (default)	
wrren	Input	PN_58	4	B4_NO	PN_58	2.5 V (default)		8mA (default)	2 (default)	

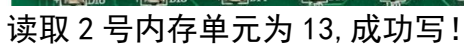
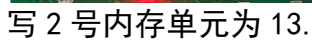
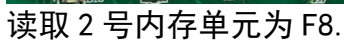
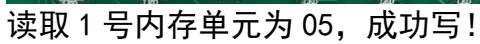
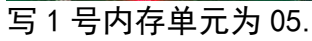
<--new node-->

测试、调试：

通过 In-System Memory Content Editor 实时调试：

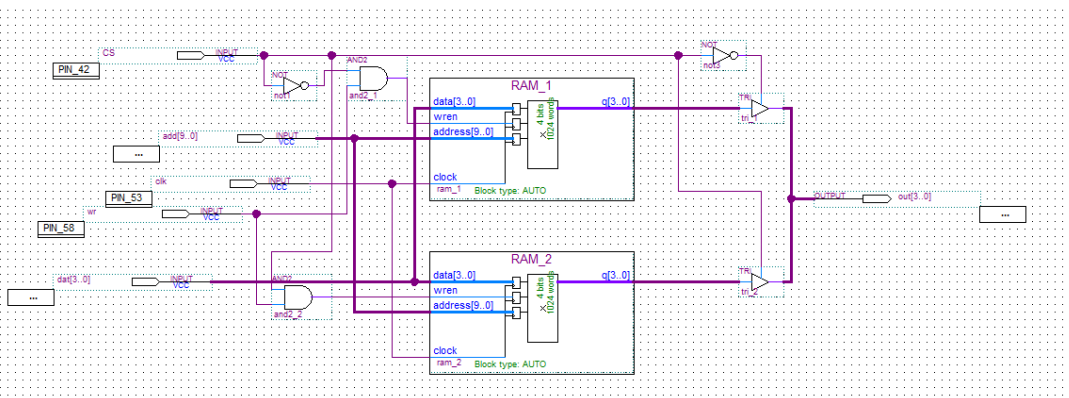


读取 1 号内存单元为 FC，和上面串口获取数据进行比较：低 4 位为 C，高 4 位为 F，无误。



(二) 按字拓展:

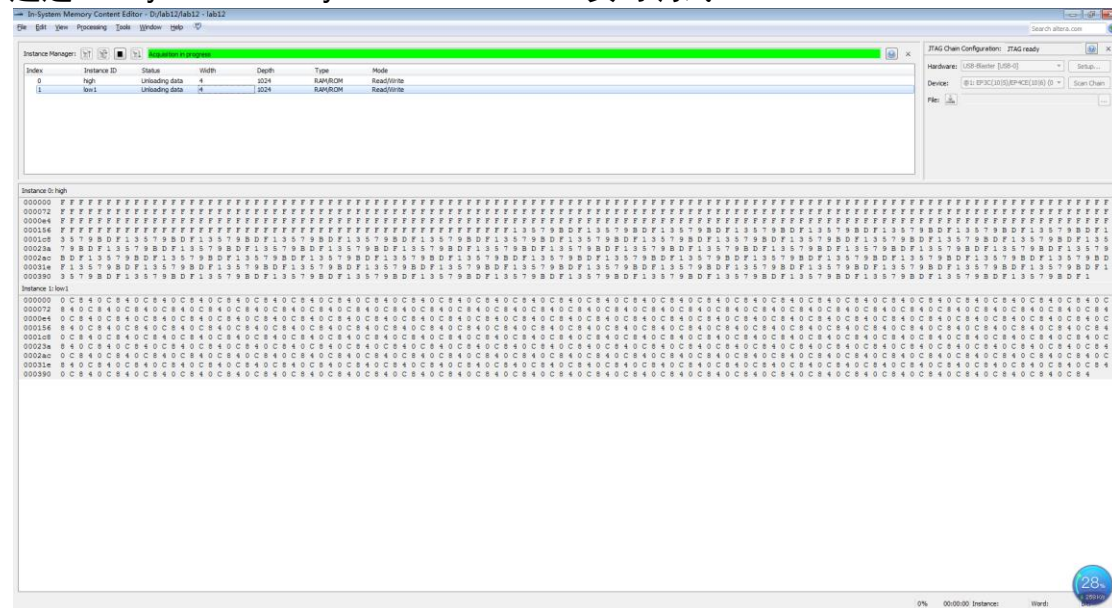
连接电路原理图：



引脚分配:

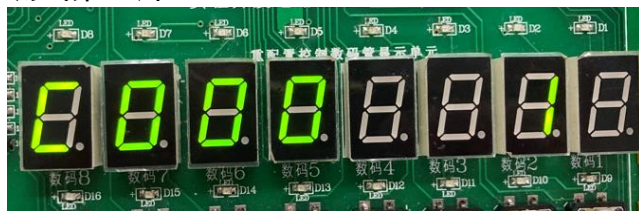
Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
add[9]	Input	PIN_83	5	B5_N0	2.5 V (default)		8mA (default)		
add[8]	Input	PIN_77	5	B5_N0	2.5 V (default)		8mA (default)		
add[7]	Input	PIN_74	5	B5_N0	2.5 V (default)		8mA (default)		
add[6]	Input	PIN_70	4	B4_N0	2.5 V (default)		8mA (default)		
add[5]	Input	PIN_65	4	B4_N0	2.5 V (default)		8mA (default)		
add[4]	Input	PIN_60	4	B4_N0	2.5 V (default)		8mA (default)		
add[3]	Input	PIN_84	5	B5_N0	2.5 V (default)		8mA (default)		
add[2]	Input	PIN_34	2	B2_N0	2.5 V (default)		8mA (default)		
add[1]	Input	PIN_75	5	B5_N0	2.5 V (default)		8mA (default)		
add[0]	Input	PIN_67	4	B4_N0	2.5 V (default)		8mA (default)		
altera_reserved_tck	Input				2.5 V (default)		8mA (default)		
altera_reserved_tdi	Input				2.5 V (default)		8mA (default)		
altera_reserved_tdo	Output				2.5 V (default)		8mA (default)	2 (default)	
altera_reserved_tms	Input				2.5 V (default)		8mA (default)		
clk	Input	PIN_53	3	B3_N0	2.5 V (default)		8mA (default)		
CS	Input	PIN_42	3	B3_N0	2.5 V (default)		8mA (default)		
dat[3]	Input	PIN_66	4	B4_N0	2.5 V (default)		8mA (default)		
dat[2]	Input	PIN_64	4	B4_N0	2.5 V (default)		8mA (default)		
dat[1]	Input	PIN_55	4	B4_N0	2.5 V (default)		8mA (default)		
dat[0]	Input	PIN_52	3	B3_N0	2.5 V (default)		8mA (default)		
out[3]	Output	PIN_80	5	B5_N0	2.5 V (default)		8mA (default)	2 (default)	
out[2]	Output	PIN_85	5	B5_N0	2.5 V (default)		8mA (default)	2 (default)	
out[1]	Output	PIN_73	5	B5_N0	2.5 V (default)		8mA (default)	2 (default)	
out[0]	Output	PIN_76	5	B5_N0	2.5 V (default)		8mA (default)	2 (default)	
wr	Input	PIN_58	4	B4_N0	2.5 V (default)		8mA (default)		

测试、调试：
通过 In-System Memory Content Editor 实时调试：



由于是由两片 1K*4 的 RAM 拓展成 2K*4 的存储器。因此，0-1023 单元存储于第 1 片 RAM，1024-2047 单元存储于第 2 片。

测试第 1 片：



读取 1 号内存单元为 C.



写 1 号地址单元为 2.

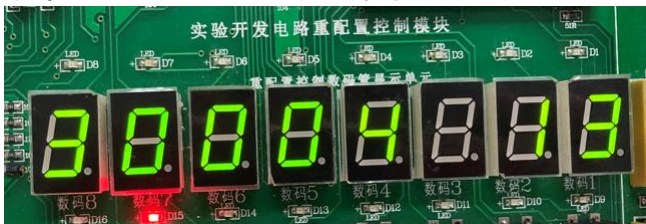


读取 1 号内存单元为 2.

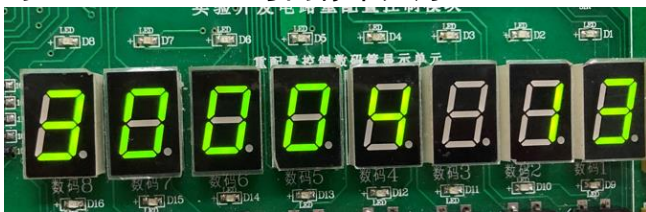
测试第 2 片:



读取 0x401 (1025) 号内存单元为 F.



写 0x401 (1025) 号内存单元为 3.



读取 0x401 (1025) 号内存单元为 3.

结论分析与体会:

这次实验在之前 ROM、RAM 了解的基础上进行存储器的拓展, 包括按位拓展和按字拓展。虽然这些拓展设计对于顶层使用者而言是透明的, 但是直接决定了存储器的物理性能, 往往很多时候, 底层设计的效率不足以满足上层的设计需求时, 我们可以尝试学习一些硬件设计知识优化底层设计, 帮助我们更好地完成应用。目前为止, 我们完成了存储器、时序系统的设计, 期待之后 CU 以及 CPU 综合的设计。