



习题与题解

(1)

主讲：赵青苹 王换招

目 录

第一篇 概论

第一章 计算机系统概论

第二篇 计算机系统硬件结构

第三章 系统总线

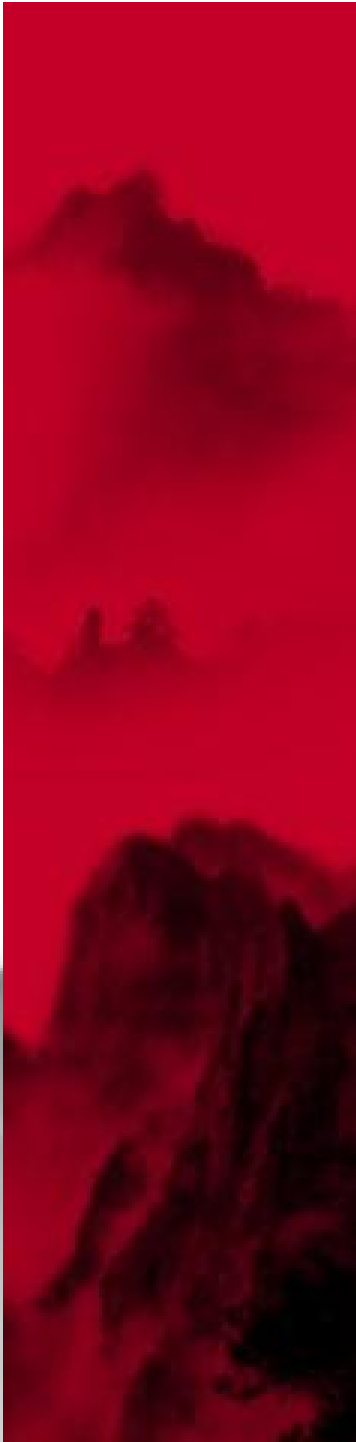
第四章 存储器

第五章 输入输出系统



计算机系统概论

第一章



1. 什么是**计算机系统**、计算机**硬件**和计算机**软件**？硬件和软件哪个**更重要**？

解：P3

计算机系统——计算机硬件、软件和数据通信设备的物理或逻辑的**综合体**。

计算机硬件——计算机的**物理实体**。

计算机软件——计算机运行所需的**程序**及相关资料。

硬件和软件在计算机系统中相互依存，缺一不可，因此**同样重要**。

5. 冯·诺依曼计算机的特点是什么？

解：冯氏计算机的特点是：**P9**

- 由运算器、控制器、存储器、输入设备、输出设备**五大部件组成**；
- 指令和数据以**同一形式**（二进制形式）存于存储器中；
- 指令由操作码、地址码**两大部分组成**；
- 指令在存储器中**顺序存放**，通常**自动顺序取出执行**；
- 以**运算器为中心**（原始冯氏机）。

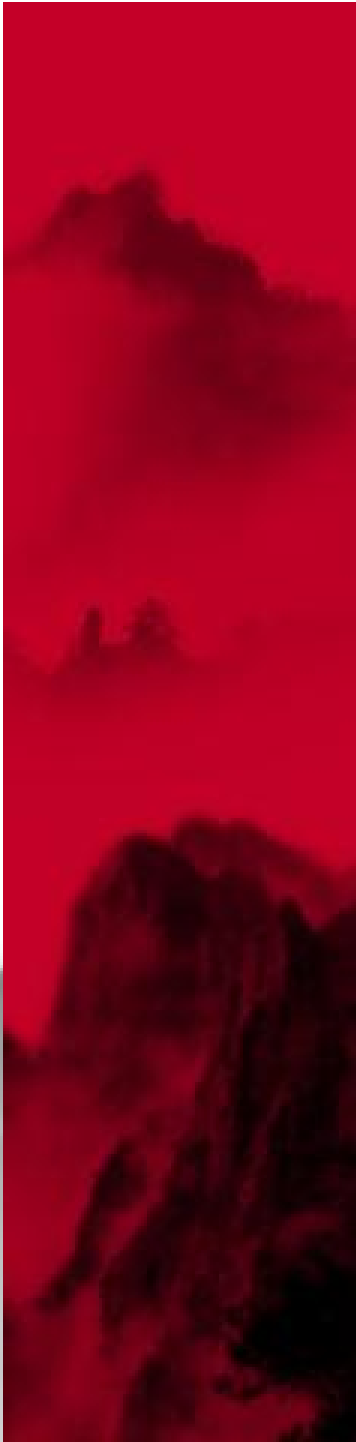
7. 解释下列概念：

主机、CPU、主存、存储单元、存储元件、存储基元、存储元、存储字、存储字长、存储容量、机器字长、指令字长。

解：P10

主机——是计算机硬件的**主体**部分，**由CPU+MM**（主存或内存）组成；

CPU——中央处理器（机），是计算机硬件的**核心**部件，**由运算器+控制器**组成；

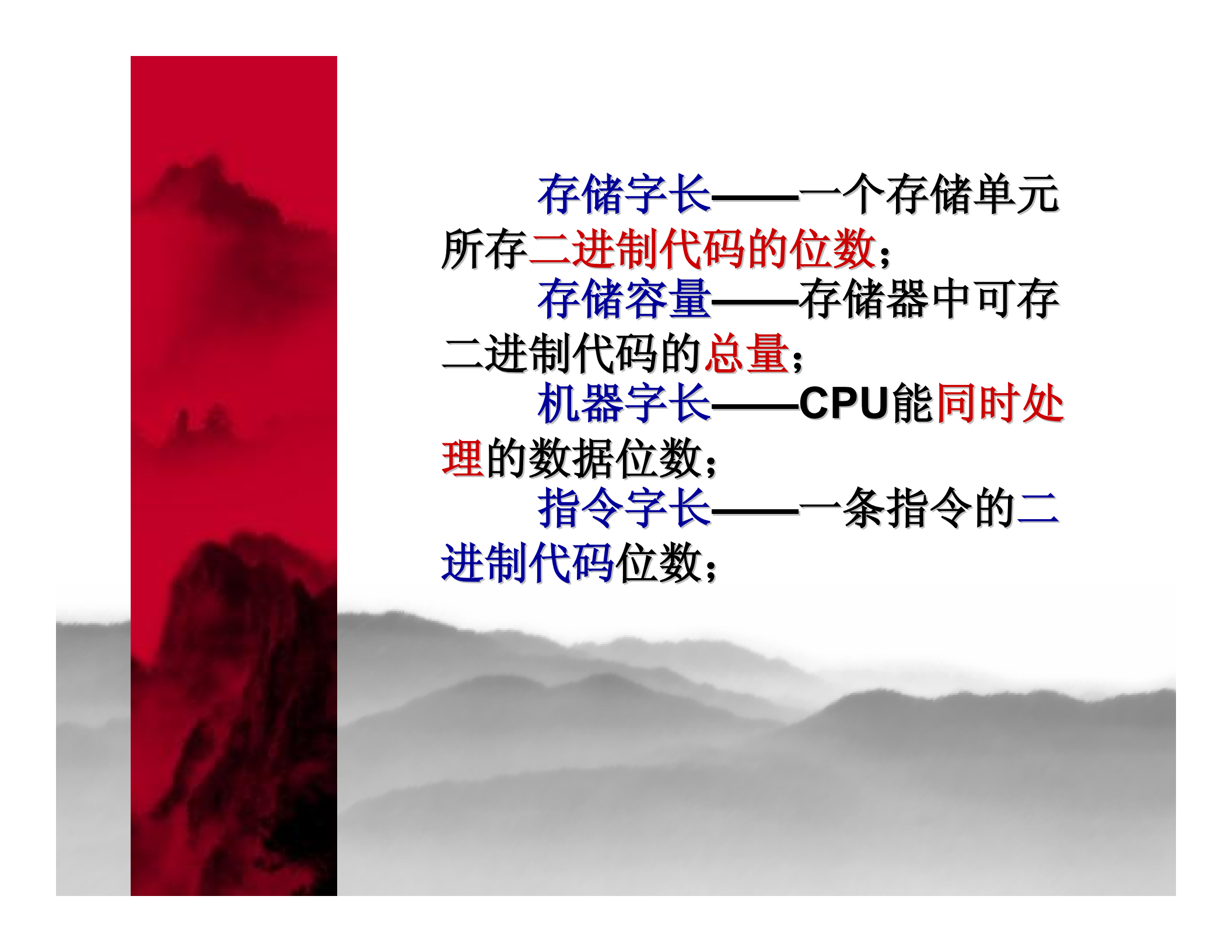


主存——计算机中存放正在运行的程序 and 数据的存储器，为计算机的主要工作存储器，可随机存取；

存储单元——可**存放一个机器字**并具有**特定存储地址**的存储单位；

存储元件——**存储一位二进制信息**的物理元件，是存储器中最小的存储单位，又叫**存储基元**或**存储元**，不能单独存取；

存储字——一个存储单元所存二进制代码的**逻辑单位**；



存储字长——一个存储单元
所存二进制代码的位数；

存储容量——存储器中可存
二进制代码的总量；

机器字长——CPU能同时处
理的数据位数；

指令字长——一条指令的二
进制代码位数；

8. 解释下列英文缩写的中文含

义：

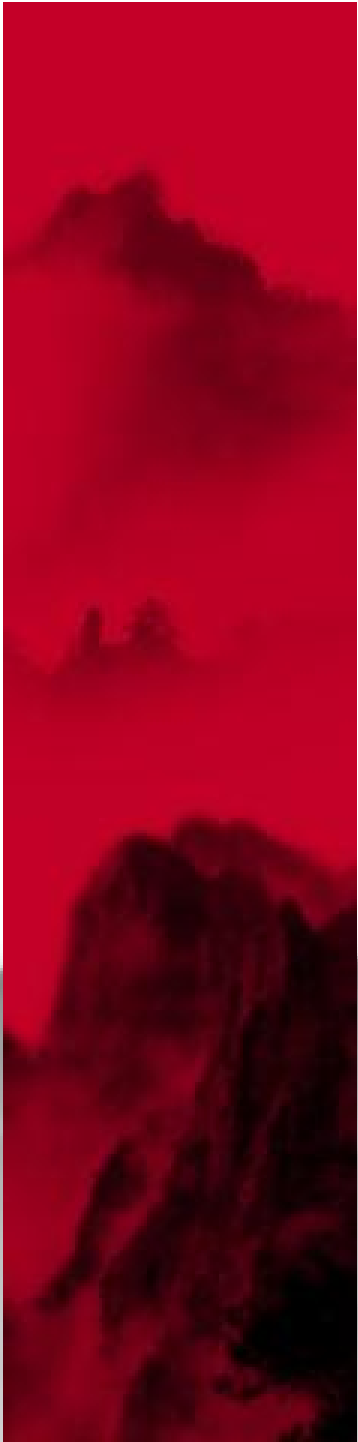
CPU、PC、IR、CU、ALU、ACC、MQ、X、MAR、MDR、I/O、MIPS、CPI、FLOPS

解：

CPU——Central Processing Unit, **中央处理机（器）**，见7题；

PC——Program Counter, **程序计数器**，存放当前欲执行指令的地址，并可自动计数形成下一条指令地址的计数器；

IR——Instruction Register, **指令寄存器**，存放当前正在执行的指令的寄存器；



CU——Control Unit, **控制单元**（部件），控制器中**产生微操作命令序列**的部件，为控制器的核心部件；

ALU——Arithmetic Logic Unit, **算术逻辑运算单元**，运算器中**完成算术逻辑运算**的逻辑部件；

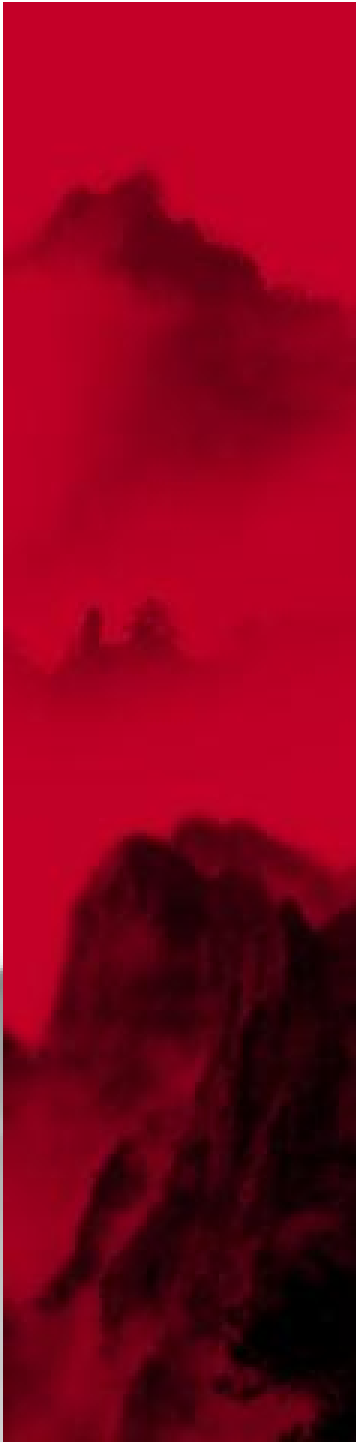
ACC——Accumulator, **累加器**，运算器中运算前存放操作数、运算后**存放运算结果**的寄存器；

MQ——Multiplier-Quotient Register, **乘商寄存器**，乘法运算时**存放乘数**、除法时**存放商**的寄存器。

X——此字母没有专指的缩写含义，可以用作任一部件名，在此表示**操作数寄存器**，即运算器中工作寄存器之一，用来**存放操作数**；

MAR——Memory Address Register，**存储器地址寄存器**，内存中用来**存放欲访问存储单元地址**的寄存器；


MDR——Memory Data Register，**存储器数据缓冲寄存器**，主存中用来**存放从某单元读出、或写入某存储单元数据的寄存器**；



I/O——Input/Output
equipment, **输入/输出设备**, 为
输入设备和输出设备的总称, 用于
计算机**内部和外界信息的转换与传
送**;

MIPS——Million
Instruction Per Second, **每秒
执行百万条指令数**, 为计算机运算
速度指标的一种**计量单位**;

CPI——Cycle Per
Instruction, **执行一条指令所需
时钟周期数**, 计算机运算速度指标
计量单位之一;



FLOPS——Floating
Point Operation Per
Second, 每秒浮点运算次
数, 计算机运算速度计量单位
之一。

10. 指令和数据都存于存储器中,计算机如何区分它们?

解: 计算机硬件主要通过不同的时间段来区分指令和数据, 即: 取指周期 (或取指微程序) 取出的既为指令, 执行周期 (或相应微程序) 取出的既为数据。


另外也可通过地址来源区分, 从PC指出的存储单元取出的是指令, 由指令地址码部分提供操作数地址。

返回
目录



系统总线

第三章



1. 什么是**总线**？总线传输有何**特点**？为了减轻总线负载，总线上的**部件**应具备什么特点？

解：总线是**多个部件共享**的传输部件；

总线传输的**特点**是：某一时刻只能有一路信息在总线上传输，**即分时使用**；

为了减轻总线负载，总线上的部件应通过**三态驱动缓冲电路**与总线连通。

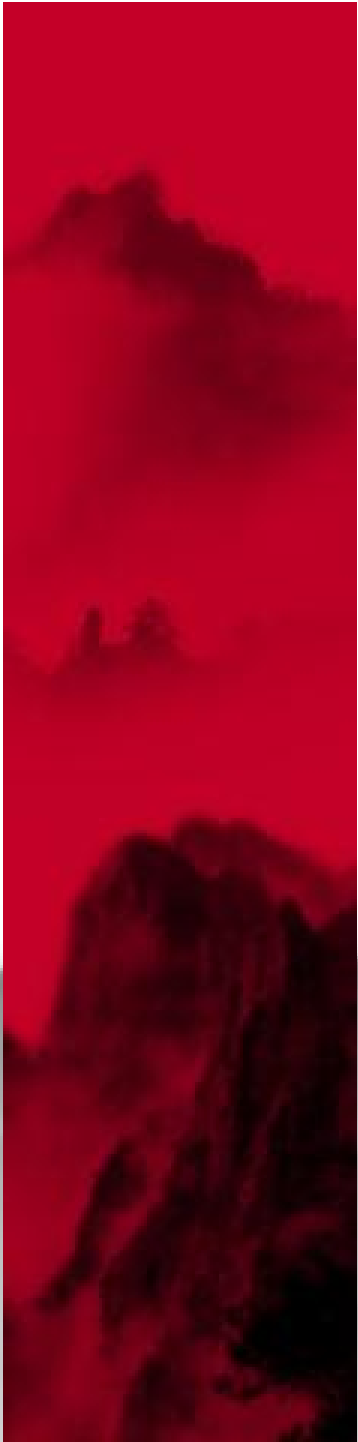
4. 为什么要设置总线判优控制？常见的集中式总线控制有几种？各有何特点？哪种方式响应时间最快？哪种方式对电路故障最敏感？

解：总线判优控制解决多个部件同时申请总线时的使用权分配问题；

常见的集中式总线控制有三种：

链式查询、计数器查询、独立请求；

特点：链式查询方式连线简单，易于扩充，对电路故障最敏感；计数器查询方式优先级设置较灵活，对故障不敏感，连线及控制过程较复杂；独立请求方式判优速度最快，但硬件器件用量大，连线多，成本较



5. 解释下列概念：总线的主设备（或主模块）、总线的从设备（或从模块）、总线的传输周期和总线的通信控制。

解：

总线的主设备（主模块）——指一次总线传输期间，**拥有总线控制权**的设备（模块）；

总线的从设备（从模块）——指一次总线传输期间，**配合**主设备完成传输的设备（模块），它只能**被动接受**主设备发来的命令；



总线的传输周期——总线完成一次完整而可靠的传输所需时间；

总线的通信控制——指总线传送过程中双方的时间配合方式。

6. 试比较同步通信和异步通信。

解：

同步通信——由统一时钟控制的通信，控制方式简单，灵活性差，当系统中各部件工作速度差异较大时，总线工作效率明显下降。适合于速度差别不大的场合；

异步通信——不由统一时钟控制的通信，部件间采用应答方式进行联系，控制方式较同步复杂，灵活性高，当系统中各部件工作速度差异较大时，有利于提高总线工作效率。



8. 为什么说半同步通信同时保留了同步通信和异步通信的特点？

解：

半同步通信既能像同步通信那样由统一时钟控制，又能像异步通信那样允许传输时间不一致，因此工作效率介于两者之间。



10. 为什么要设置总线标准？你知道目前流行的总线标准有哪些？什么叫plug and play？哪些总线有这一特点？

解：

总线标准的设置主要解决不同厂家各类模块化产品的兼容问题；

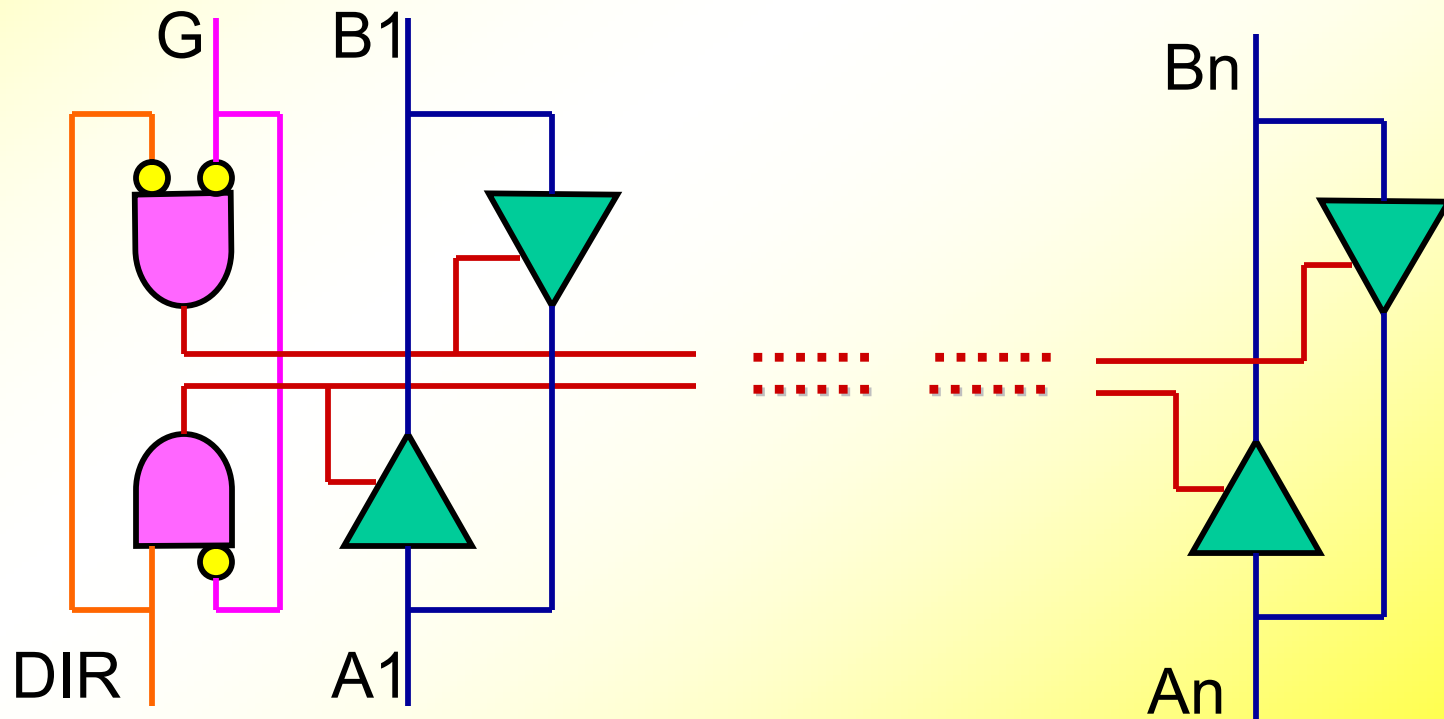
目前流行的总线标准有：

ISA、EISA、PCI等；

plug and play——即插即用，EISA、PCI等具有此功能。

11. 画一个具有双向传输功能的总线逻辑图。

解：此题实际上是要求设计一个双向总线收发器，设计要素为三态、方向、使能等控制功能的实现，可参考74LS245等总线缓冲器芯片内部电路。逻辑图如下：（n位）



12. 设数据总线上接有A、B、C、D四个寄存器，要求选用合适的74系列芯片，完成下列逻辑设计：

(1) 设计一个电路，在同一时间实现D→A、D→B和D→C寄存器间的传送；

(2) 设计一个电路，实现下列操作：

T0时刻完成D→总线；

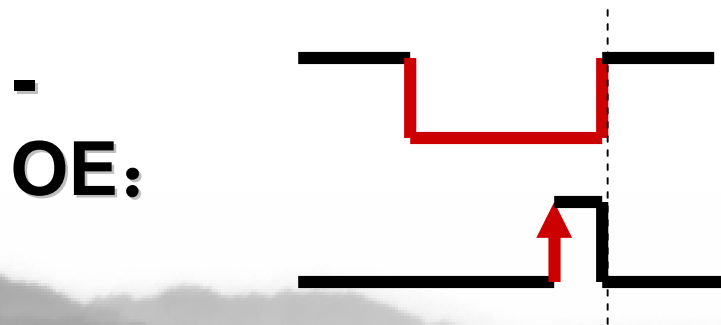
T1时刻完成总线→A；

T2时刻完成A→总线；

T3时刻完成总线→B。

解：

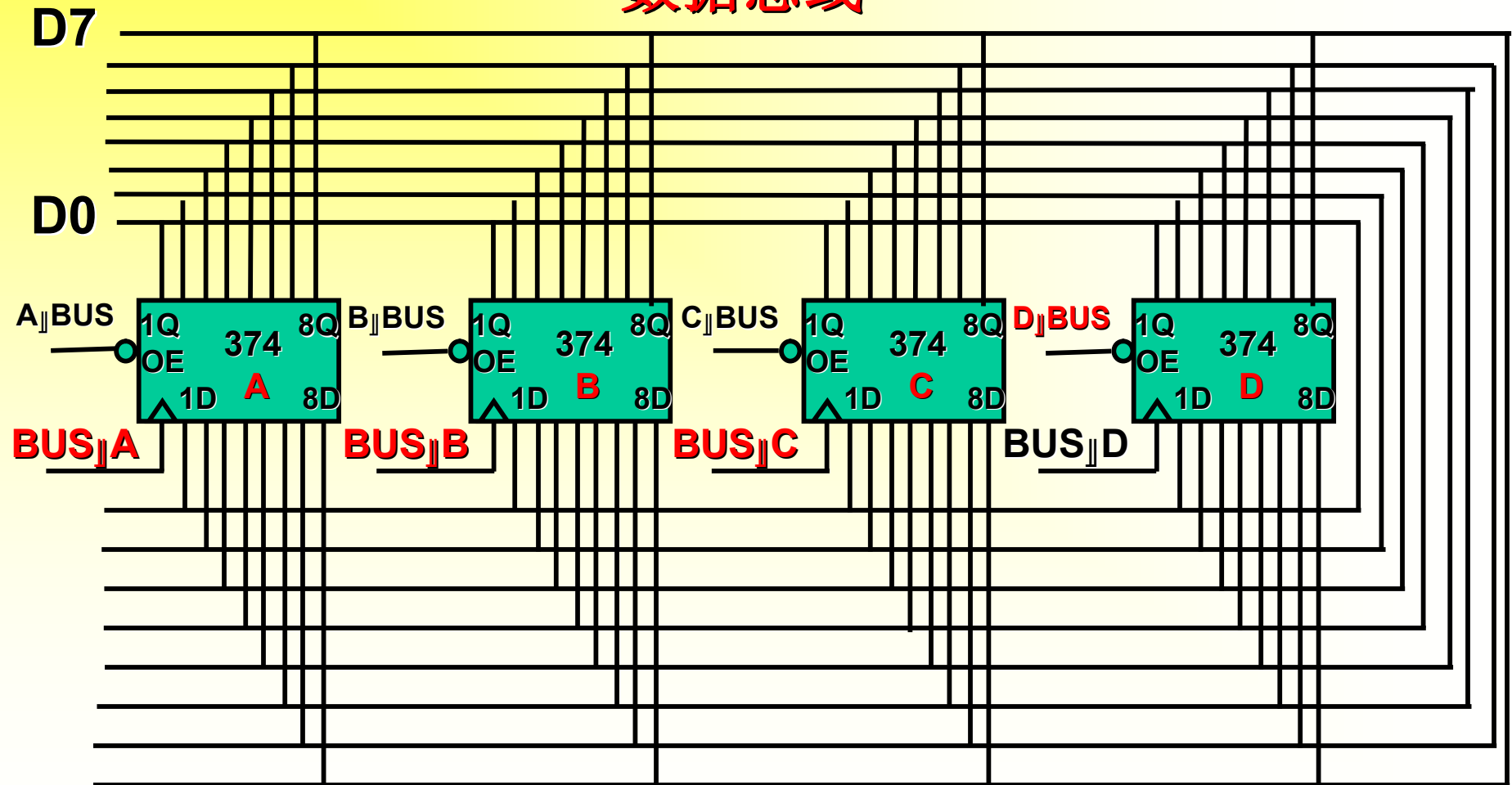
(1) 采用三态输出的D型寄存器74LS374做A、B、C、D四个寄存器，其输出可直接挂总线。A、B、C三个寄存器的输入采用同一脉冲打入。注意-OE为电平控制，与打入脉冲间的时间配合关系为：



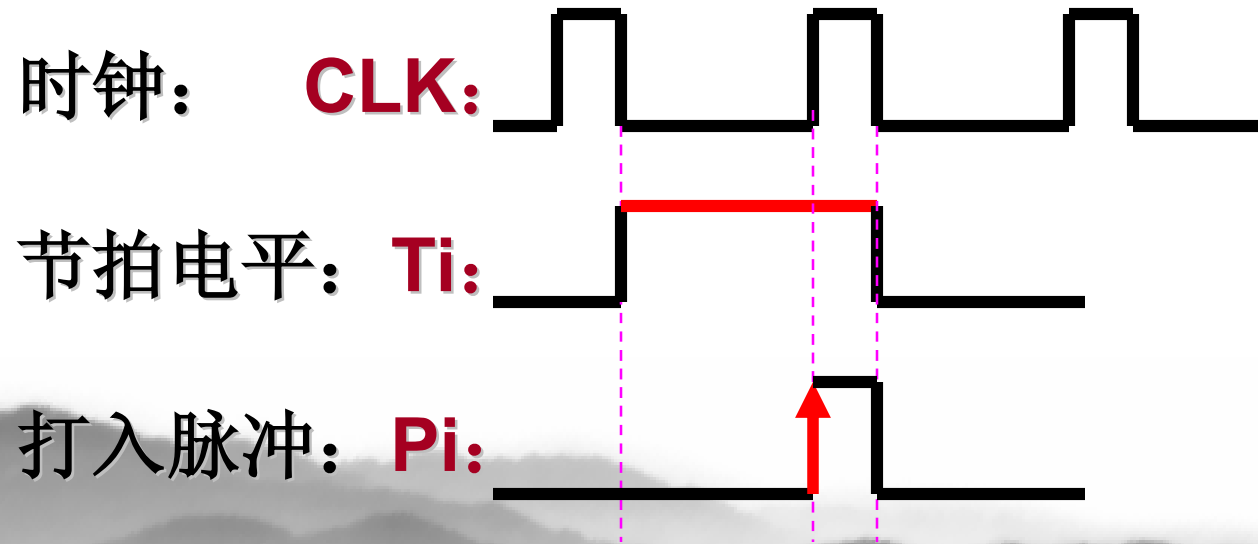
令： $BUS \parallel A = BUS \parallel B = BUS \parallel C = CP$;
 $D \parallel BUS = \overline{OE}$;
当 CP 前沿到来时，将 $D \parallel A、B、C$ 。

现以8位总线为例，设计此电路，如下图示：

数据总线

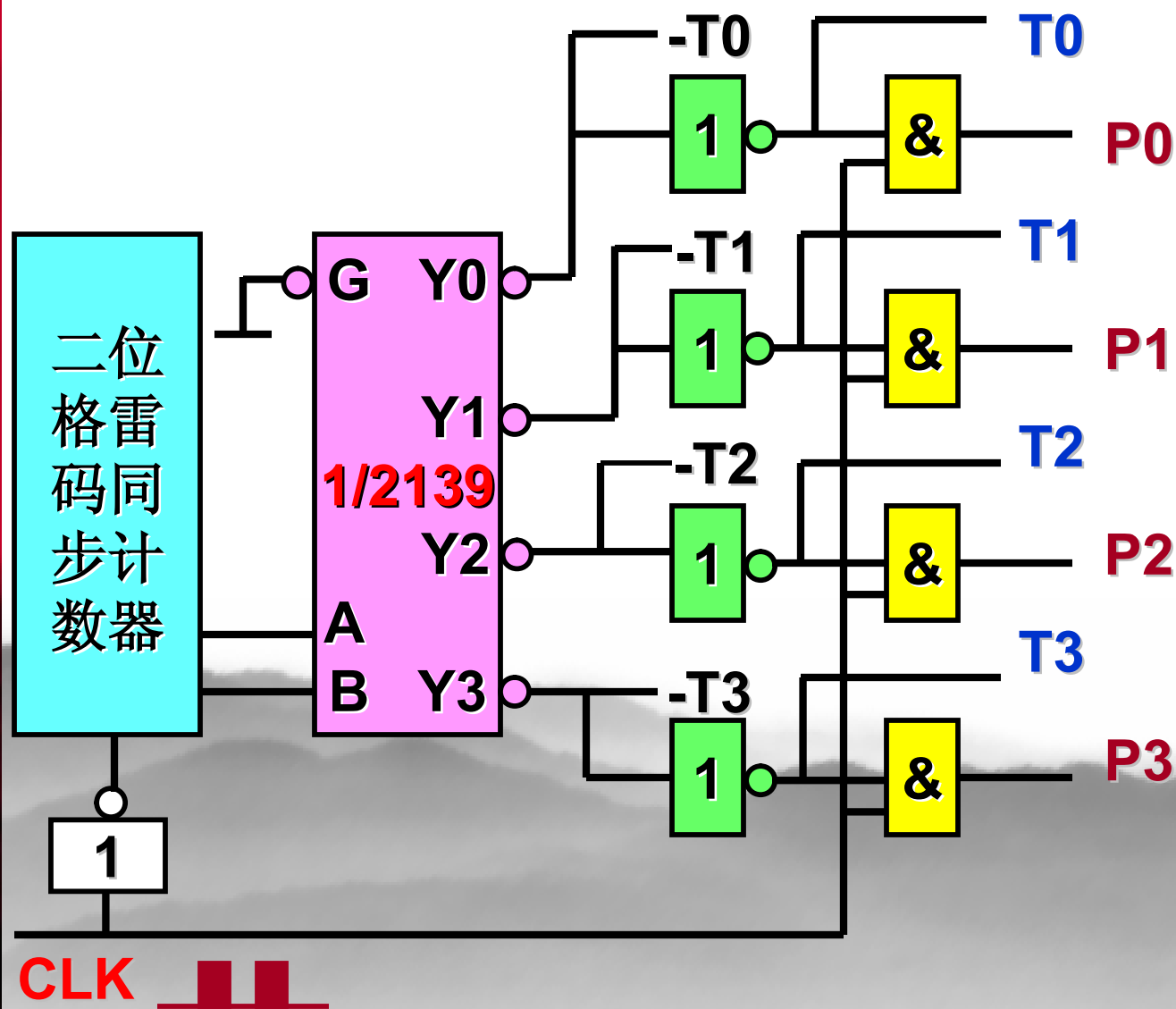


(2) 寄存器设置同(1)，由于本题中发送、接收不在同一节拍，因此总线需设**锁存器缓冲**，锁存器采用**74LS373**（电平使能输入）。节拍、脉冲配合关系如下：

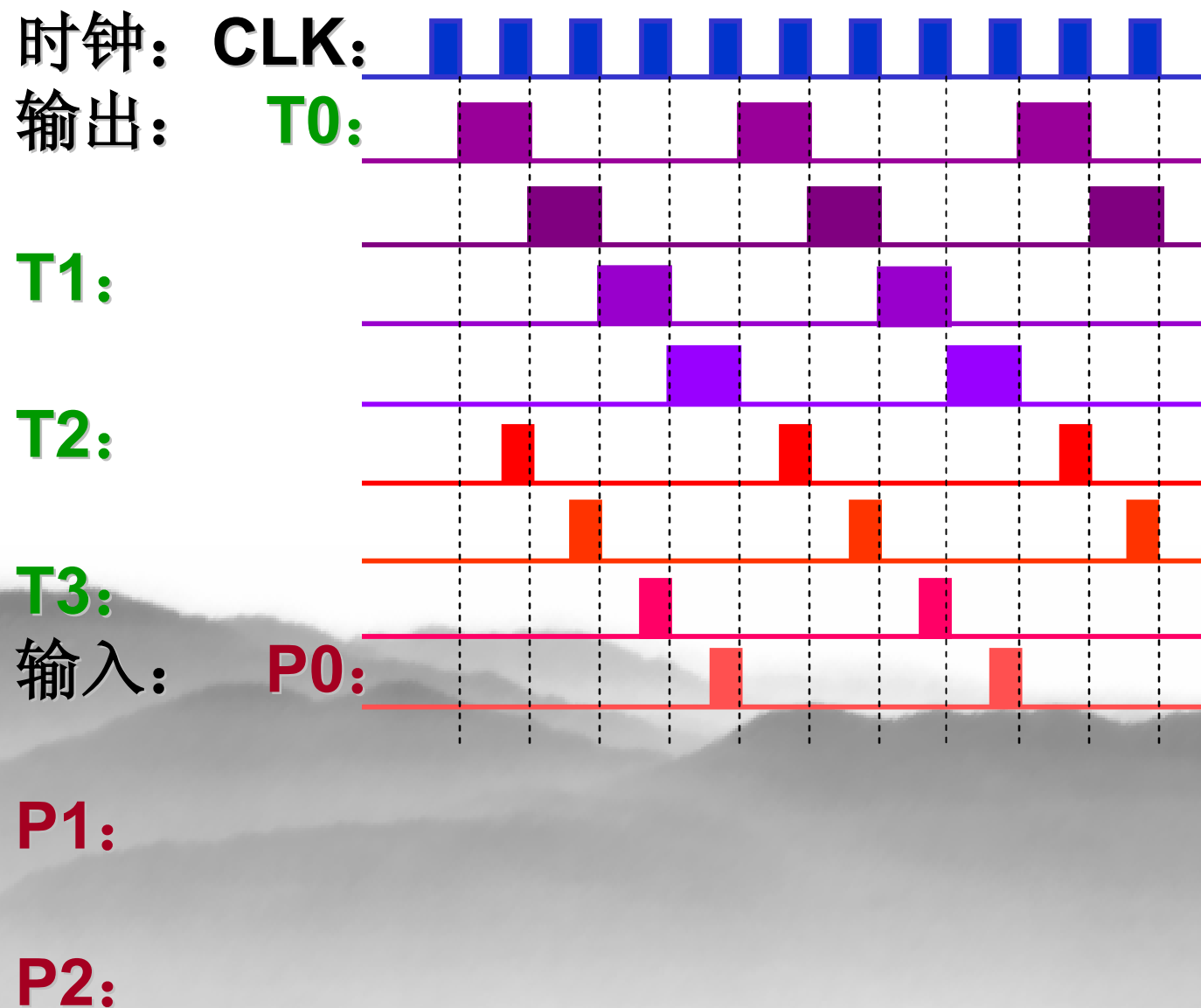


图中，脉冲包在电平中，为了留有较多的传送时间，脉冲设置在靠近电平后沿处。

节拍、脉冲分配逻辑如下：



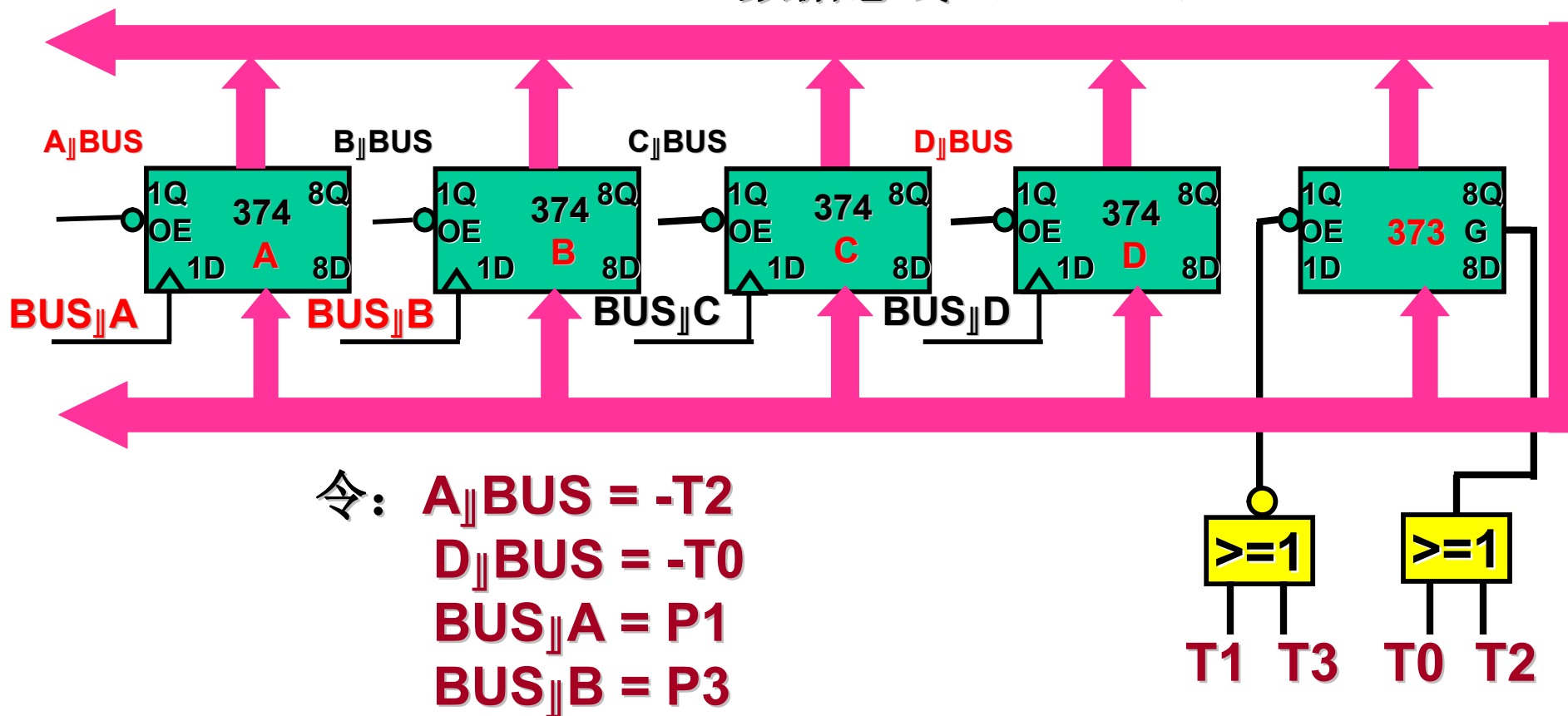
节拍、脉冲时序图如下：



以8位总线为例，电路设计如下：

（图中，A、B、C、D四个寄存器与数据总线的连接方法同上。）

数据总线（D7~D0）





存 儲 器

第 四 章

4. 说明存取周期和存取时间的区别。

解：存取周期和存取时间的主要区别是：存取时间仅为完成一次操作的时间，而存取周期不仅包含操作时间，还包含操作后线路的恢复时间。即：

$$\text{存取周期} = \text{存取时间} + \text{恢复时间}$$

5. 什么是存储器的带宽？若存储器的数据总线宽度为32位，存取周期为200ns，则存储器的带宽是多少？

解：存储器的带宽指单位时间内从存储器进出信息的最大数量。

$$\begin{aligned} \text{存储器带宽} &= 1/200\text{ns} \times 32\text{位} \\ &= 160\text{M位/秒} = 20\text{MB/S} = 5\text{M字/秒} \end{aligned}$$

6. 某机字长为32位，其存储容量是64KB，按字编址它的寻址范围是多少？若主存以字节编址，试画出主存地址和字节地址的分配情况。

解：存储容量是64KB时，按字节编址的寻址范围就是64KB，则：

按字寻址范围 = $64K \times 8 / 32 = 16K$

字

按字节编址时的主存地址分配图如

字地址	HB	字节地址		LB
0	0	1	2	3
4	4	5	6	7
8				
.....
65528				
65532	65532	65533	65534	65535

7. 一个容量为**16KX32**位的存储器，其**地址线**和**数据线的总和**是多少？当选用下列不同规格的存储芯片时，各需要多少片？

1KX4位，**2KX8**位，**4KX4**位，
16KX1位，**4KX8**位，**8KX8**位

解：

地址线和数据线的总和 = 14 + 32 = 46 根；

各需要的片数为：

1KX4: $16KX32 / 1KX4 = 16X8 = 128$
片

2KX8: $16KX32 / 2KX8 = 8X4 = 32$ 片

4KX4: $16KX32 / 4KX4 = 4X8 = 32$ 片

16KX1: $16KX32 / 16KX1 = 32$ 片

4KX8: $16KX32 / 4KX8 = 4X4 = 16$ 片

9. 什么叫刷新？为什么要刷新？说明刷新有几种方法。

解：刷新——对DRAM定期进行的
全部重写过程；

刷新原因——因电容泄漏而引起的
DRAM所存信息的衰减需要及时补充，
因此安排了定期刷新操作；

常用的刷新方法有三种——集中
式、分散式、异步式。

集中式：在最大刷新间隔时间内，
集中安排一段时间进行刷新；

分散式：在每个读/写周期之后插入
一个刷新周期，无CPU访存死时间；

异步式：是集中式和分散式的折
衷。

10. 半导体存储器芯片的译码驱动方式有几种？

解：半导体存储器芯片的译码驱动方式有两种：线选法和重合法。

线选法：地址译码信号只选中同一个字的所有位，结构简单，费器材；

重合法：地址分行、列两部分译码，行、列译码线的交叉点即为所选单元。这种方法通过行、列译码信号的重合来选址，也称矩阵译码。可大大节省器材用量，是最常用的译码驱动方式。

11. 画出用**1024X4位**的存储芯片组成一个容量为**64KX8位**的存储器逻辑框图。要求将**64K**分成**4个页面**，每个页面分**16组**，指出共需多少片存储芯片。

解：设采用**SRAM**芯片，

$$\begin{aligned}\text{总片数} &= 64\text{K} \times 8\text{位} / 1024 \times 4\text{位} \\ &= 64 \times 2 = 128\text{片}\end{aligned}$$

题意分析：本题设计的存储器结构上分为**总体、页面、组三级**，因此画图时应分三级画。首先应确定各级的容量：

$$\begin{aligned}\text{页面容量} &= \text{总容量} / \text{页面数} \\ &= 64\text{K} \times 8\text{位} / 4 \\ &= 16\text{K} \times 8\text{位};\end{aligned}$$

$$\begin{aligned}\text{组容量} &= \text{页面容量} / \text{组数} \\ &= 16\text{KX}8\text{位} / 16 = 1\text{KX}8\end{aligned}$$

位;

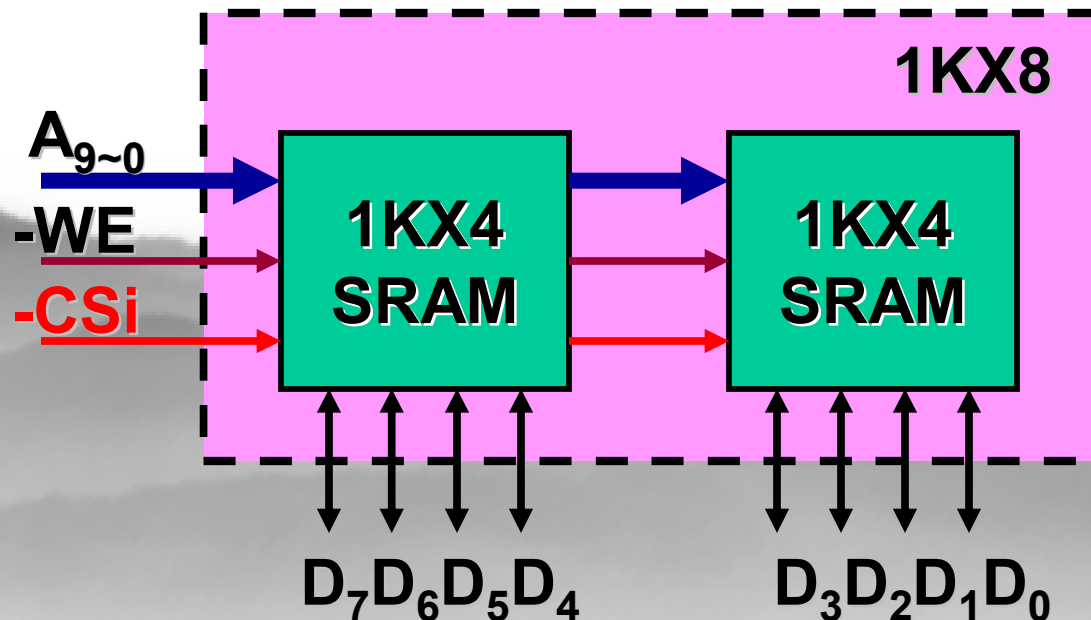
$$\begin{aligned}\text{组内片数} &= \text{组容量} / \text{片容量} \\ &= 1\text{KX}8\text{位} / 1\text{KX}4\text{位} = 2\end{aligned}$$

片;

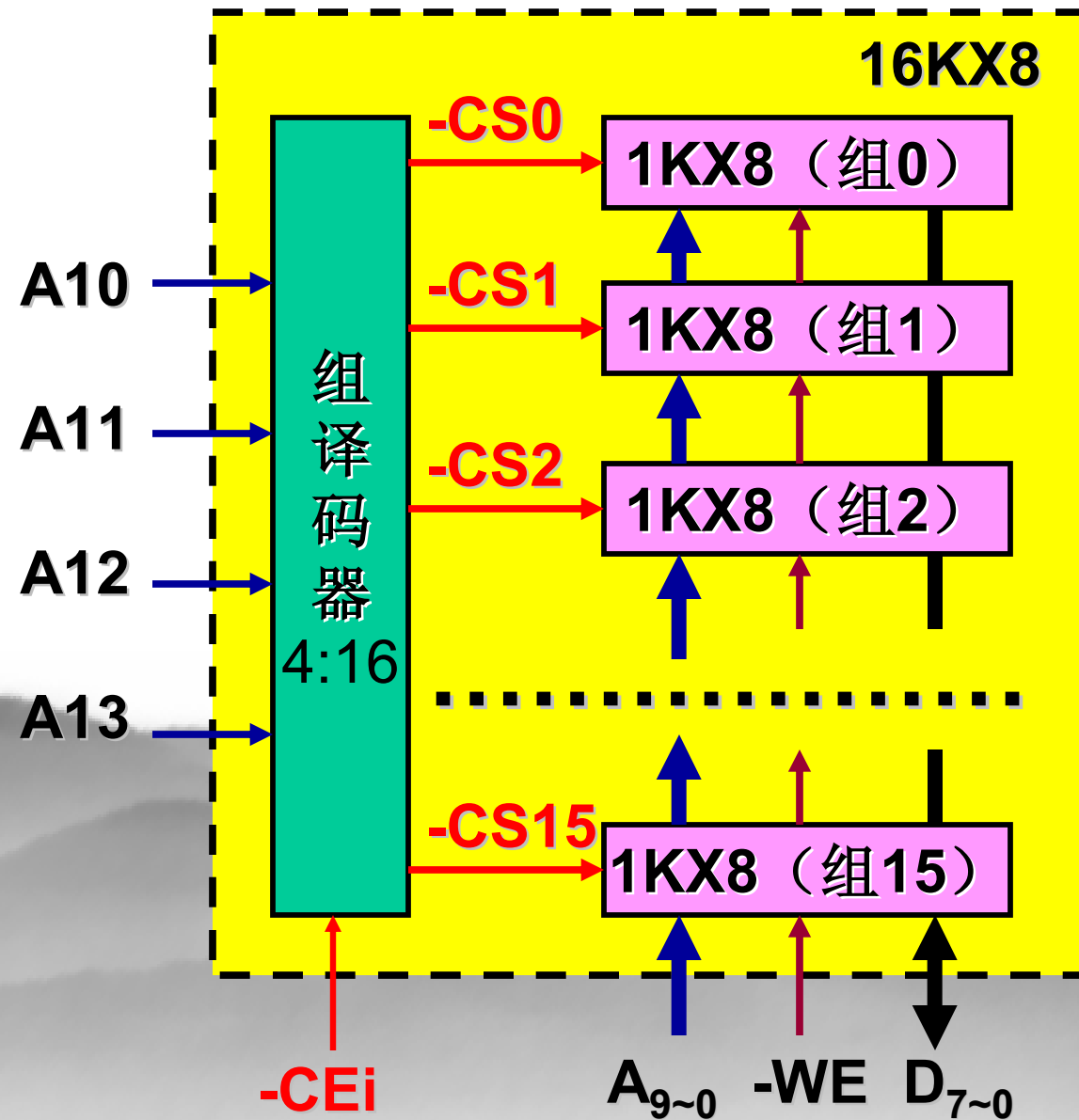
地址分配:

页面号	组号	组内地址
2	4	10

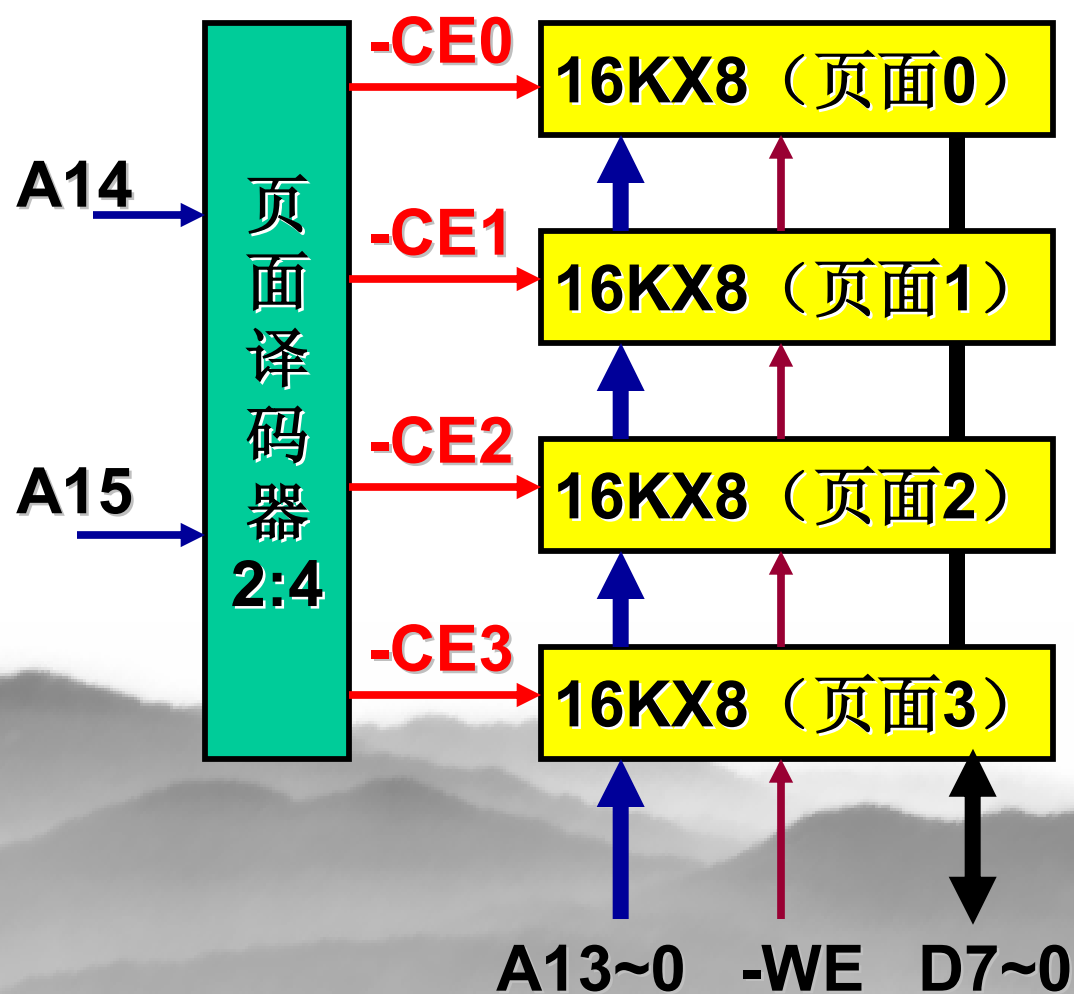
组逻辑图如下: (位扩展)



页面逻辑框图：（字扩展）



存储器逻辑框图：（字扩展）



12. 设有一个**64KX8位**的RAM芯片，试问该芯片共有多少个**基本单元**电路（简称存储基元）？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足**地址线**和**数据线的总和为最小**，试确定这种芯片的地址线 and 数据线，并说明有**几种**解答。

解：

$$\begin{aligned}\text{存储基元总数} &= 64\text{K} \times 8 \text{位} \\ &= 512\text{K位} = 2^{19} \text{位};\end{aligned}$$

思路：如要满足地址线和数据线总和最小，应尽量把存储元安排在**字向**，因为地址位数和字数成**2的幂**的关系，可较好地**压缩**线数。

设地址线根数为**a**，数据线根数为**b**，则片容量为： **$2^a \times b = 2^{19}$** ； **$b = 2^{19-a}$** ；

若**a = 19**，**b = 1**，总和 = **$19+1 = 20$** ；

a = 18，**b = 2**，总和 = **$18+2 = 20$** ；

a = 17，**b = 4**，总和 = **$17+4 = 21$** ；

a = 16，**b = 8**，总和 = **$16+8 = 24$** ；

.....

由上可看出：片字数越少，片字长越长，引脚数越多。片字数、片位数均按**2**的幂变化。

结论：如果满足地址线和数据线的总和为最小，这种芯片的引脚分配方案有**两种**：地址线 = **19根**，数据线 = **1根**；或地址线 = **18根**，数据线 = **2根**。



13. 某8位微型机地址码为18位，若使用4KX4位的RAM芯片组成模块板结构的存储器，试问：

(1) 该机所允许的最大主存空间是多少？

(2) 若每个模块板为32KX8位，共需几个模块板？

(3) 每个模块板内共有几片RAM芯片？

(4) 共有多少片RAM？

(5) CPU如何选择各模块板？

解：

(1) $2^{18} = 256\text{K}$ ，则该机所允许的最大主存空间是**256KX8位**（或**256KB**）；

(2) 模块板总数 = $256\text{KX8} / 32\text{KX8}$

= **8块**；

(3) 板内片数 = $32\text{KX8位} / 4\text{KX4位}$
= $8\text{X}2 =$ **16片**；

(4) 总片数 = $16\text{片X}8 =$ **128片**；

(5) CPU通过**最高3位地址译码**选板，**次高3位地址译码**选片。地址格式分配如下：

板地址	片地址	片内地址
3	3	12

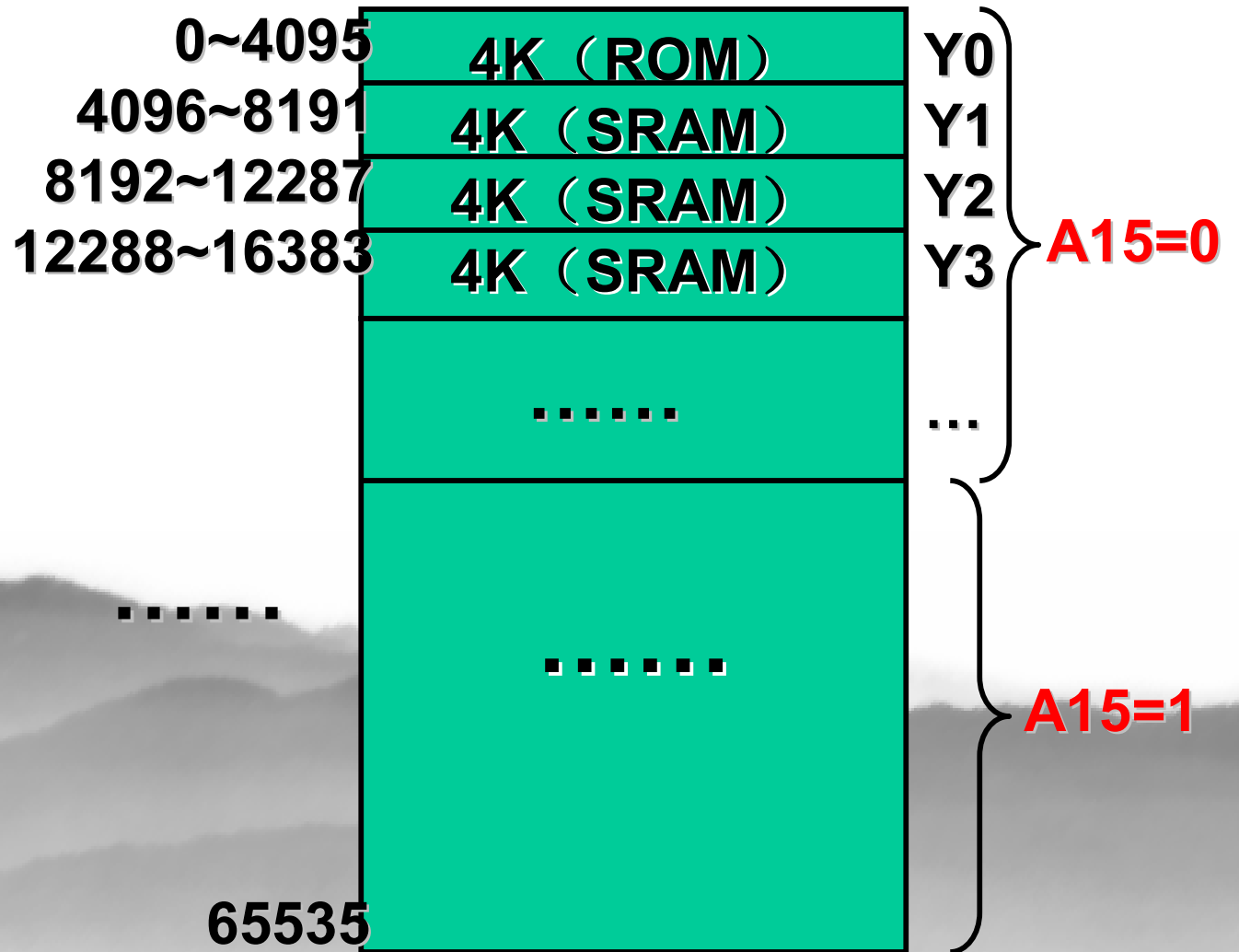
14. 设CPU共有16根地址线，8根数据线，并用-MREQ（低电平有效）作访存控制信号，R/-W作读写命令信号（高电平为读，低电平为写）。现有下列存储芯片：

ROM（2KX8位，4KX4位，8KX8位），
RAM（1KX4位，2KX8位，4KX8位），
及74138译码器和其他门电路（门电路自定）。试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图。要求：

- （1）最小4K地址为系统程序区，4096~16383地址范围为用户程序区；
- （2）指出选用的存储芯片类型及数量；
- （3）详细画出片选逻辑。

解：

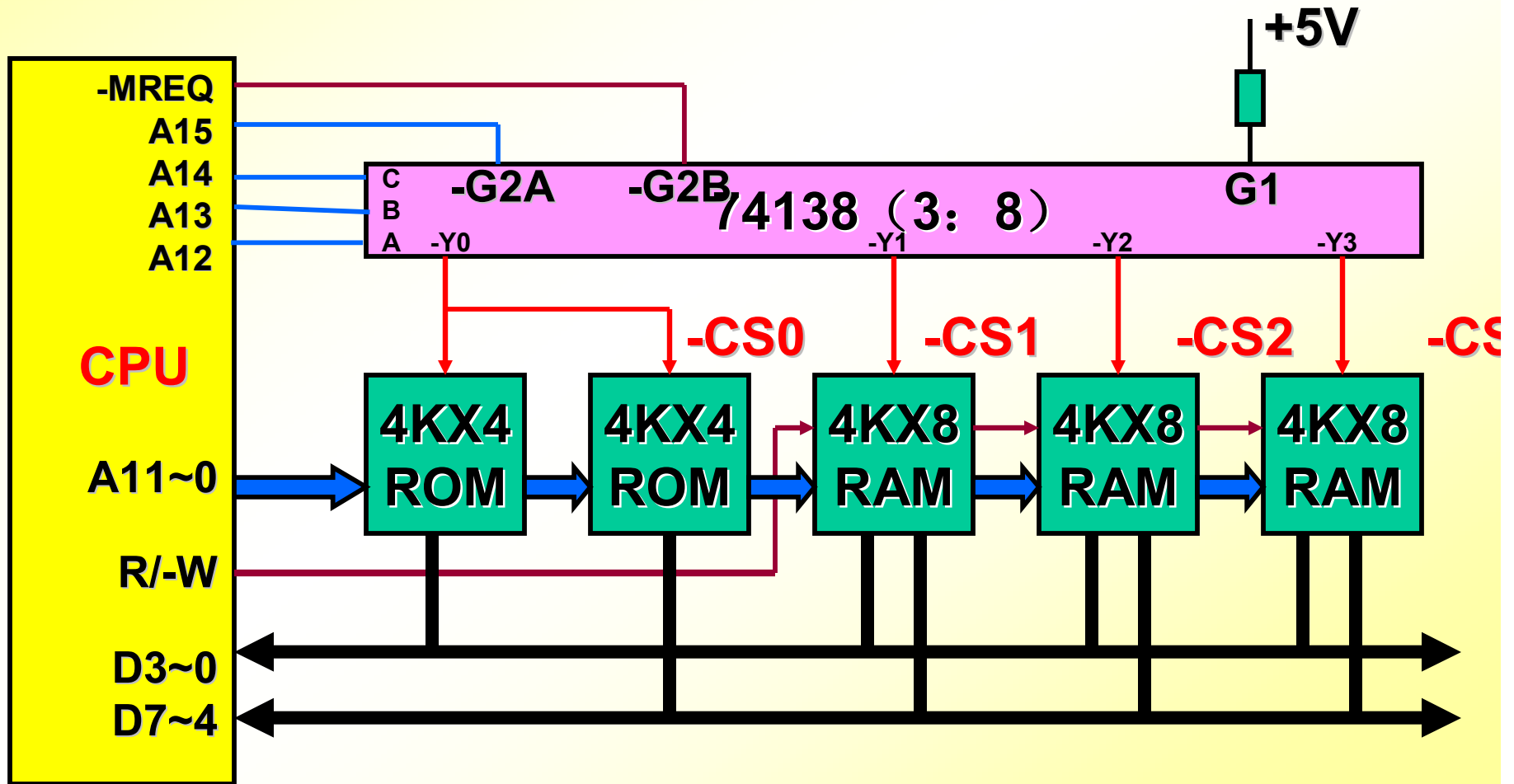
(1) 地址空间分配图：



(2) 选片: ROM: 4KX4位: 2片;

RAM: 4KX8位: 3片;

(3) CPU和存储器连接逻辑图及片选逻辑:



15. CPU假设同上题，现有**8片8KX8位**的**RAM**芯片与**CPU**相连，试回答：

(1) 用**74138**译码器画出**CPU**与存储芯片的**连接图**；

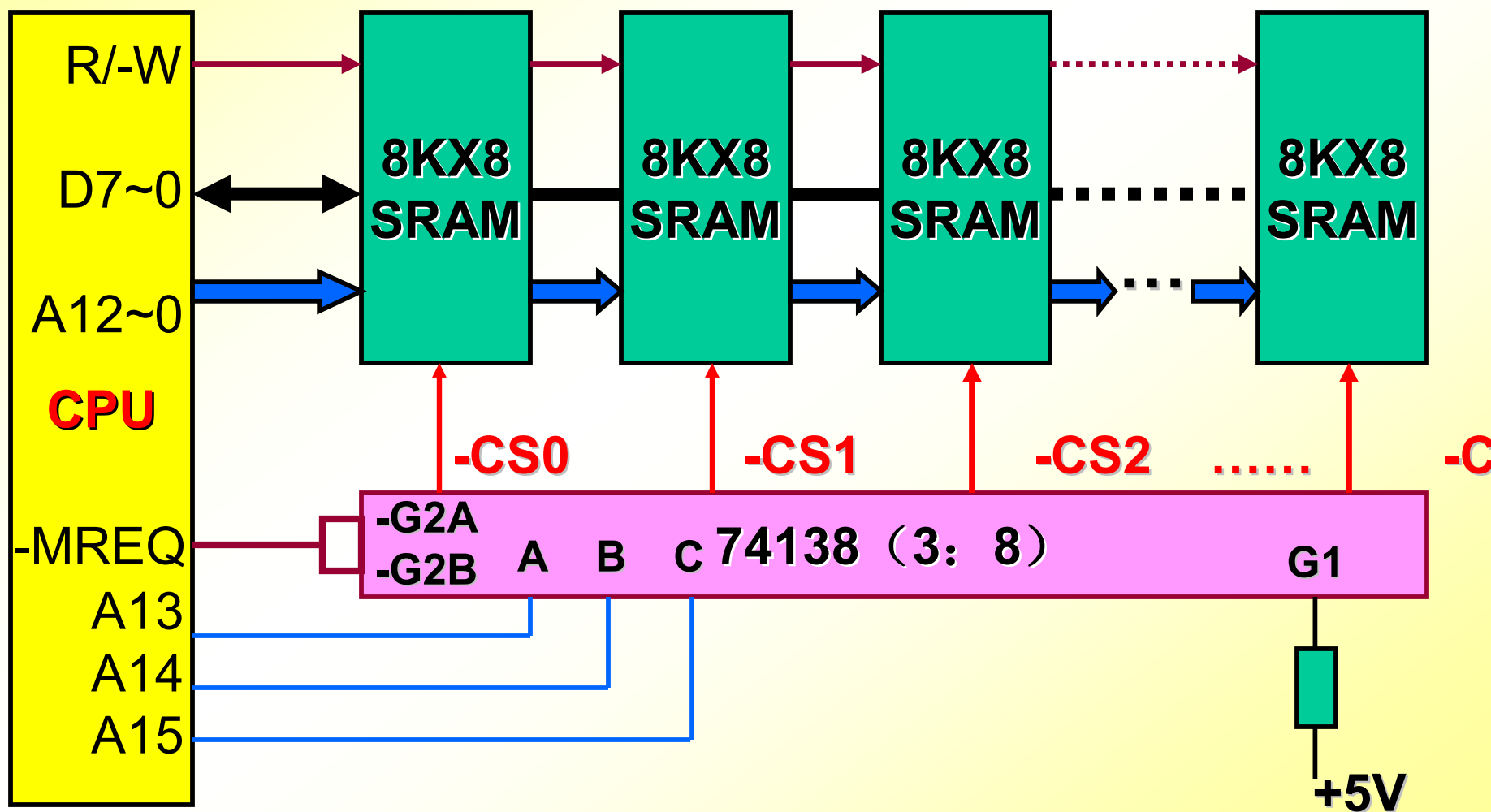
(2) 写出每片**RAM**的**地址范围**；

(3) 如果运行时发现不论往哪片**RAM**写入数据后，以**A000H**为起始地址的存储芯片都有与其**相同**的数据，分析**故障原因**。

(4) 根据(1)的连接图，若出现地址线**A13**与**CPU****断线**，并**搭接到高电平**上，将出现什么**后果**？

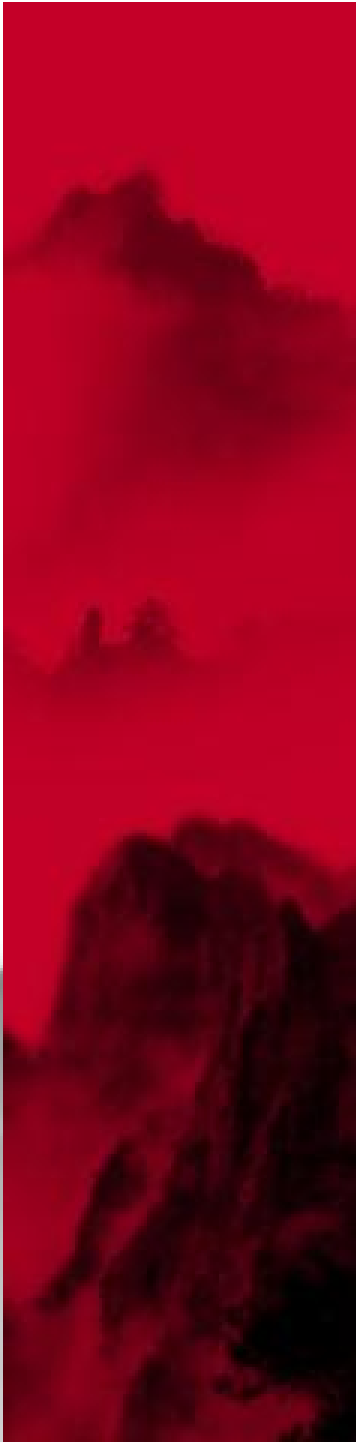
解：

(1) CPU与存储器芯片连接逻辑图：



(2) 地址空间分配图:

Y0	8KX8 RAM	0~8191
Y1	8KX8 RAM	8192~16383
Y2	8KX8 RAM	16384~24575
Y3	8KX8 RAM	24576~32767
Y4	8KX8 RAM	32768~40959
Y5	8KX8 RAM	40960~49151
Y6	8KX8 RAM	49152~57343
Y7	8KX8 RAM	57344~65535



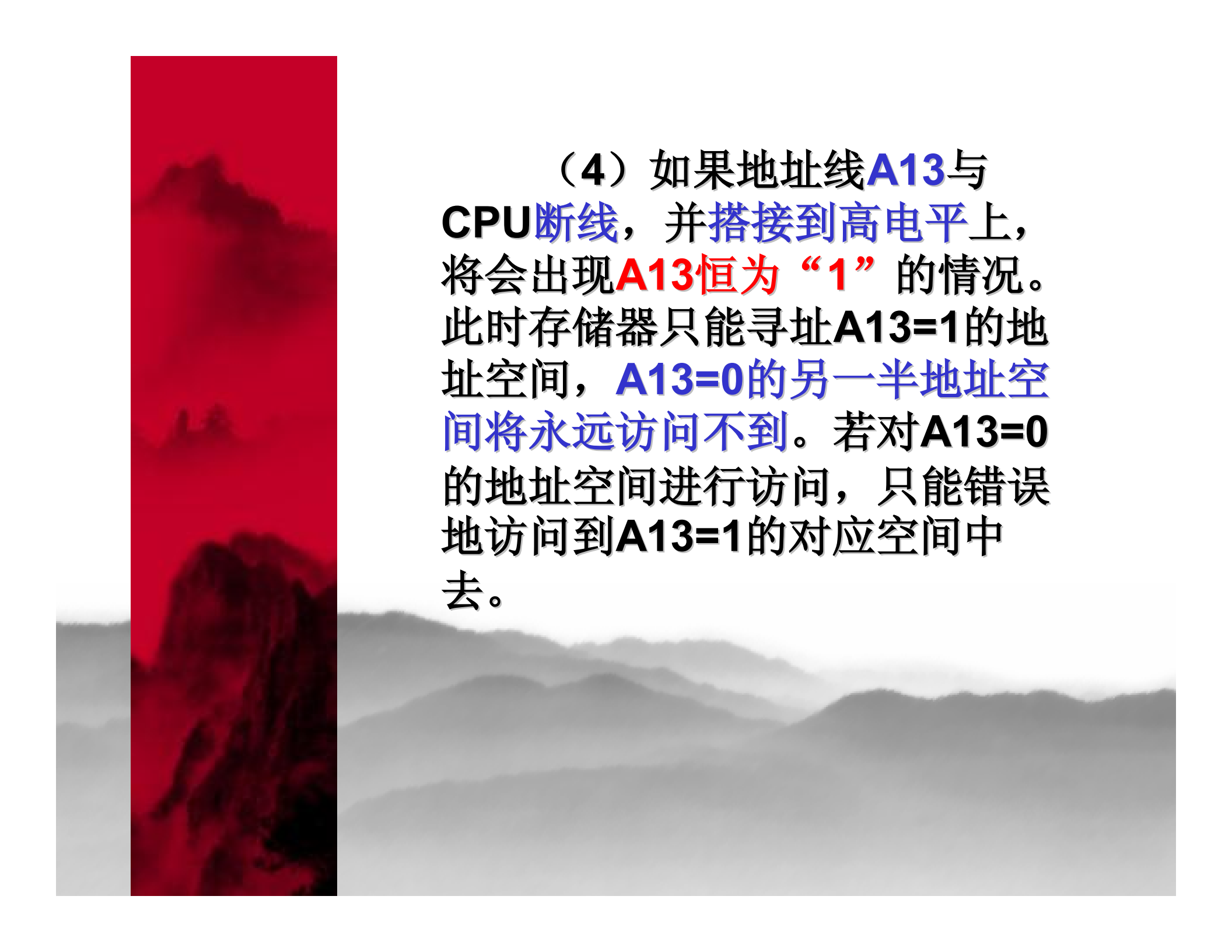
(3) 如果运行时发现不论往哪片RAM写入数据后，以**A000H**为起始地址的存储芯片都有与其相同的数据，则根本的故障原因为：该存储芯片的片选输入端很可能总是处于低电平。可能的情况有：

1) 该片的**-CS**端与**-WE**端错连或短路；

2) 该片的**-CS**端与CPU的**-MREQ**端错连或短路；

3) 该片的**-CS**端与地线错连或短路；

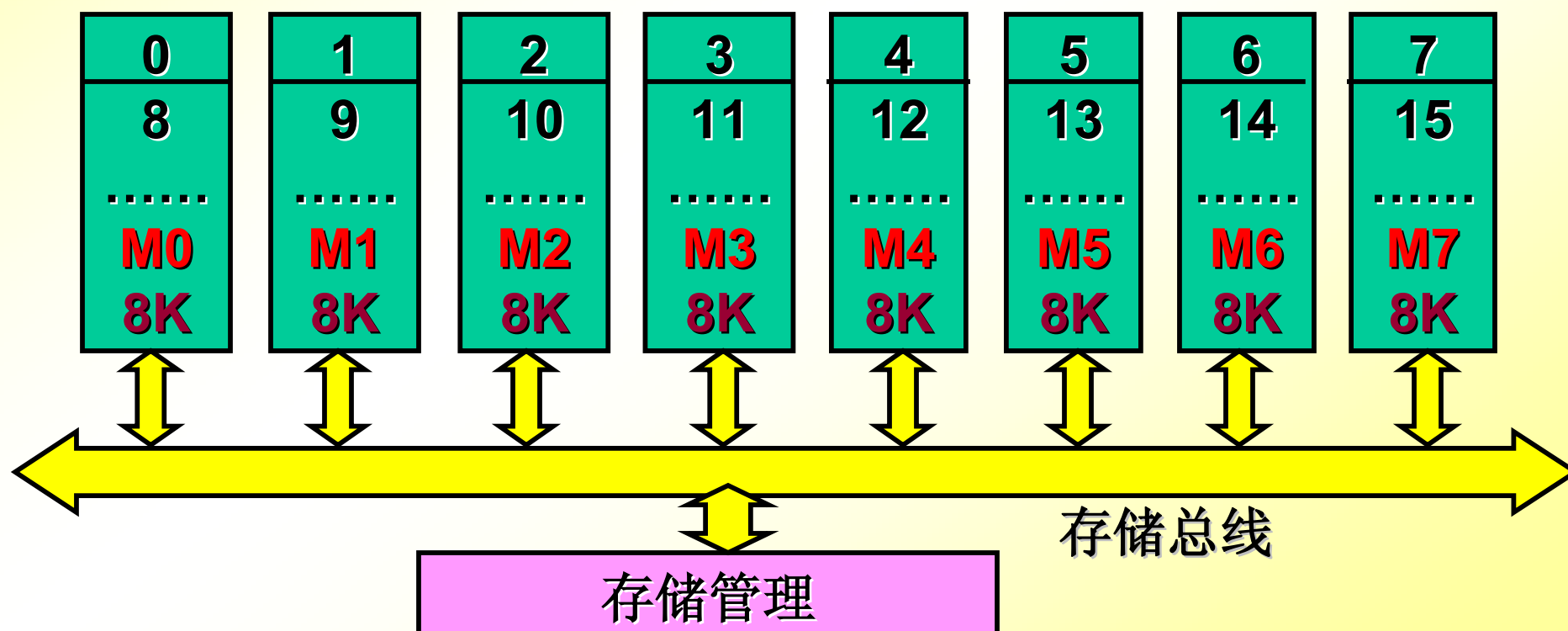
在此，假设芯片与译码器本身都是好的。



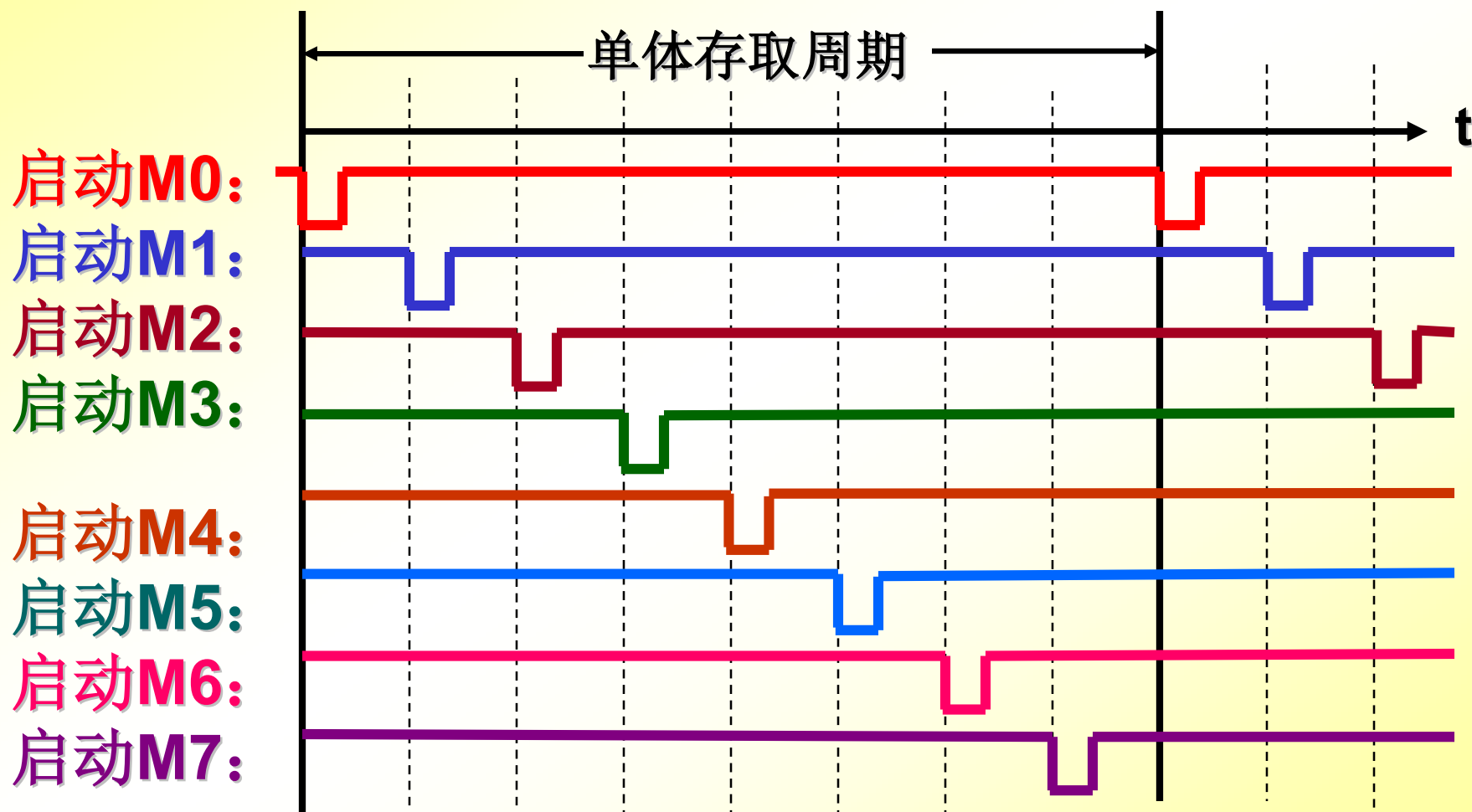
(4) 如果地址线**A13**与**CPU断线**，并**搭接到高电平**上，将会出现**A13恒为“1”**的情况。此时存储器只能寻址**A13=1**的地址空间，**A13=0的另一半地址空间将永远访问不到**。若对**A13=0**的地址空间进行访问，只能错误地访问到**A13=1**的对应空间中去。

17. 某机字长**16位**，常规的存储空间为**64K字**，若想不改用其他高速的存储芯片，而使访存速度提高到**8倍**，可采取什么措施？画图说明。

解：若想不改用高速存储芯片，而使访存速度提高到**8倍**，可采取**多体交叉存取技术**，图示如下：



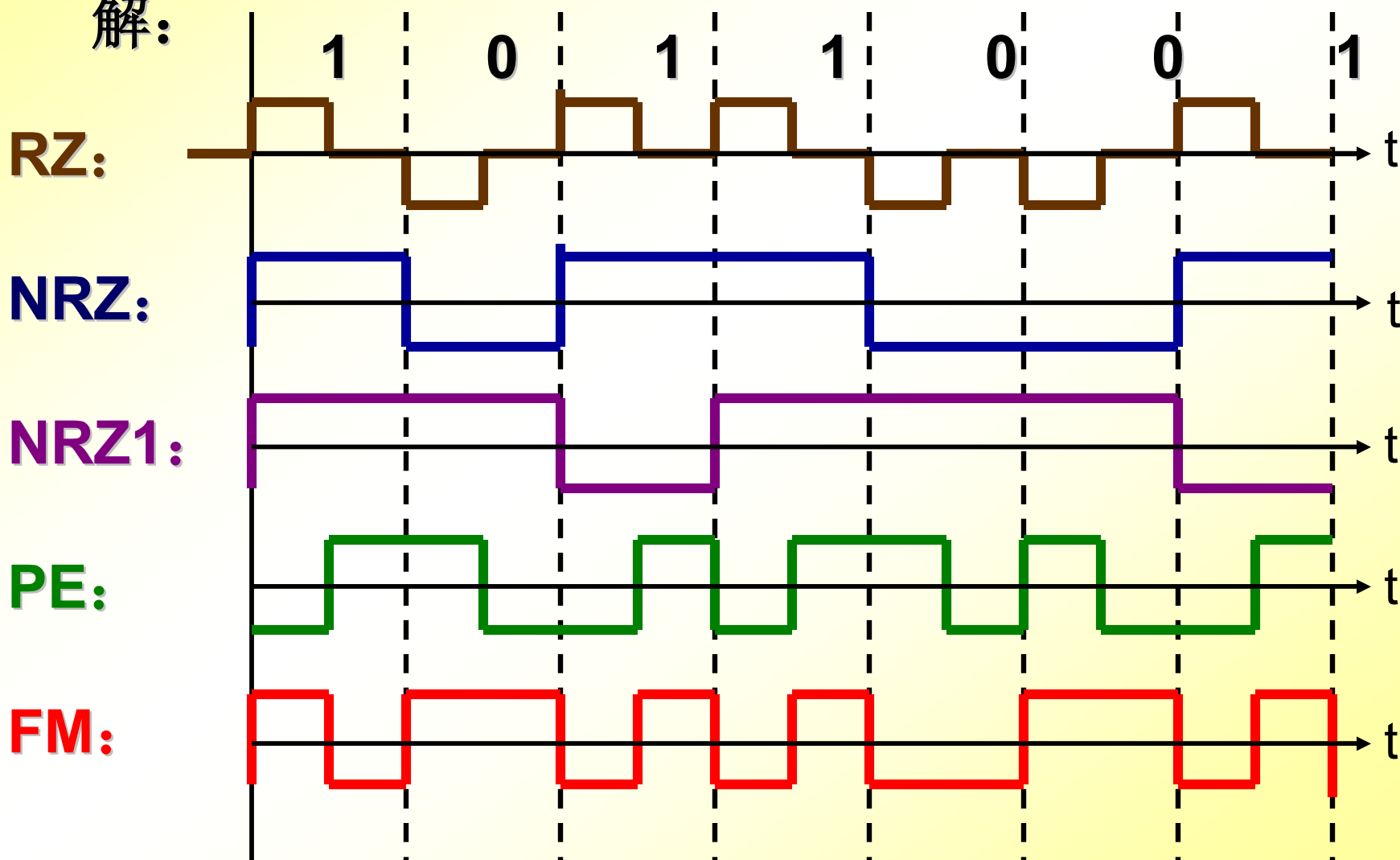
8体交叉访问时序:



由图可知：每隔 $1/8$ 个存取周期就可在存储总线上获得一个数据。

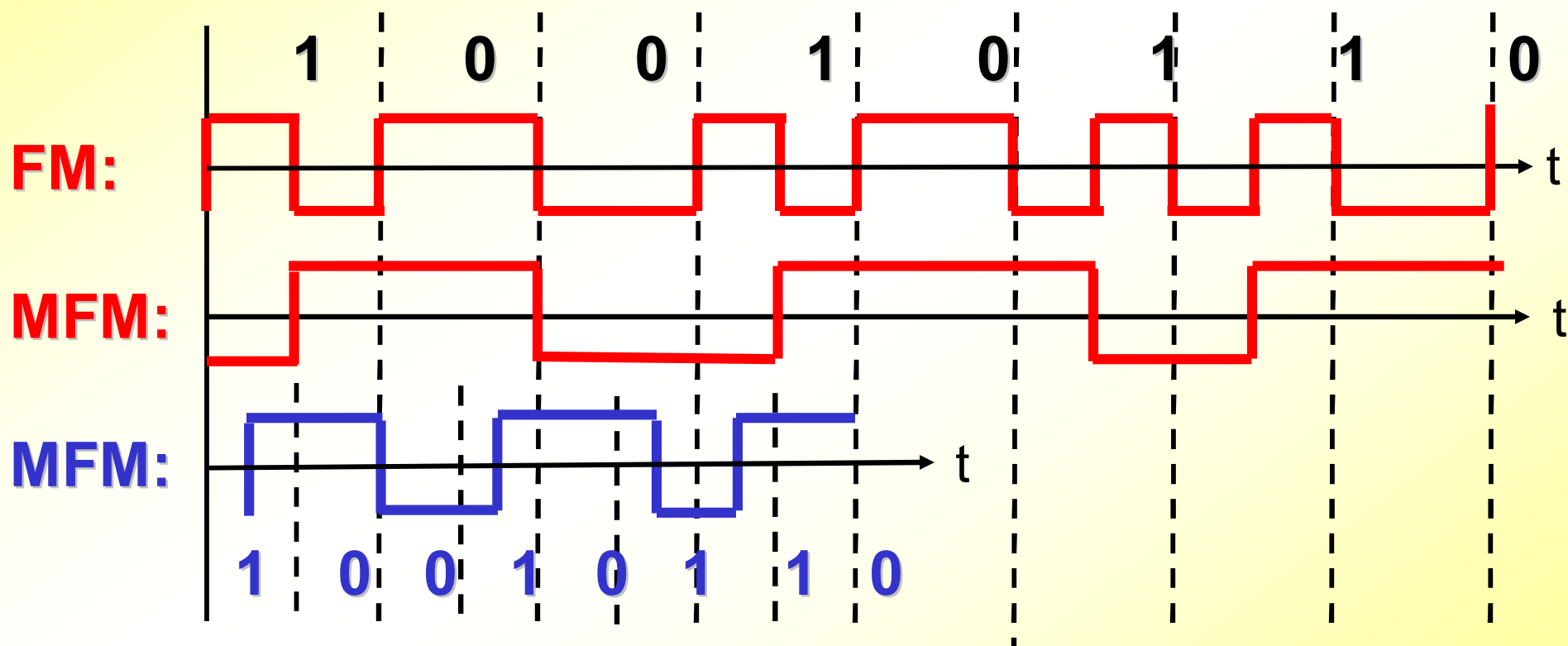
23. 画出RZ、NRZ、NRZ1、PE、FM写入数字串1011001的写入电流波形图。

解:



24. 以写入1001 0110为例，比较调频制和改进调频制的写电流波形图。

解：写电流波形图如下：



频率提高一倍后的MFM制。

比较：

1) **FM**和**MFM**写电流在位周期中心处的变化规则相同；

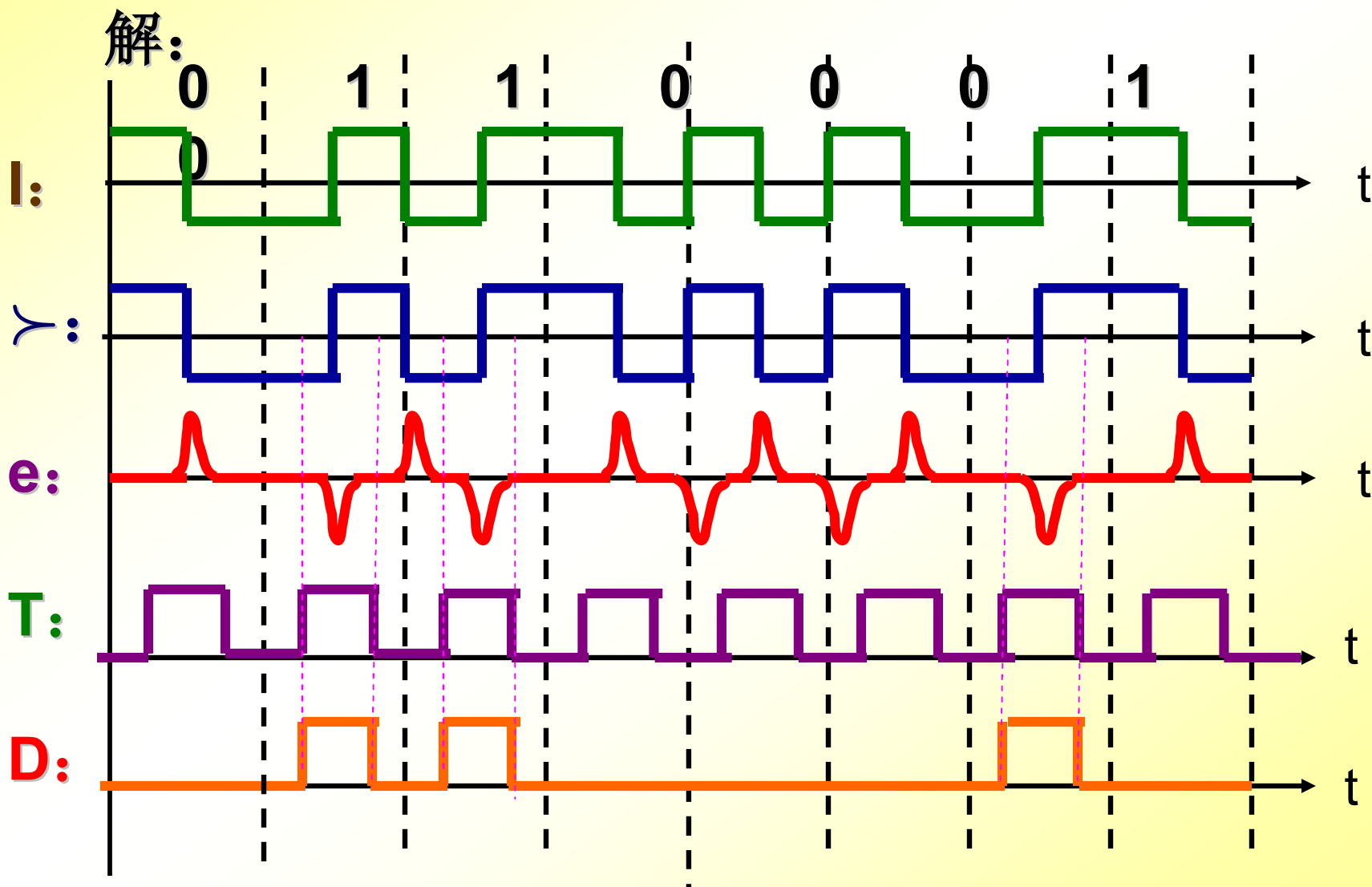
2) **MFM**制除连续一串“0”时两个0周期交界处电流仍变化外，基本取消了位周期起始处的电流变化；

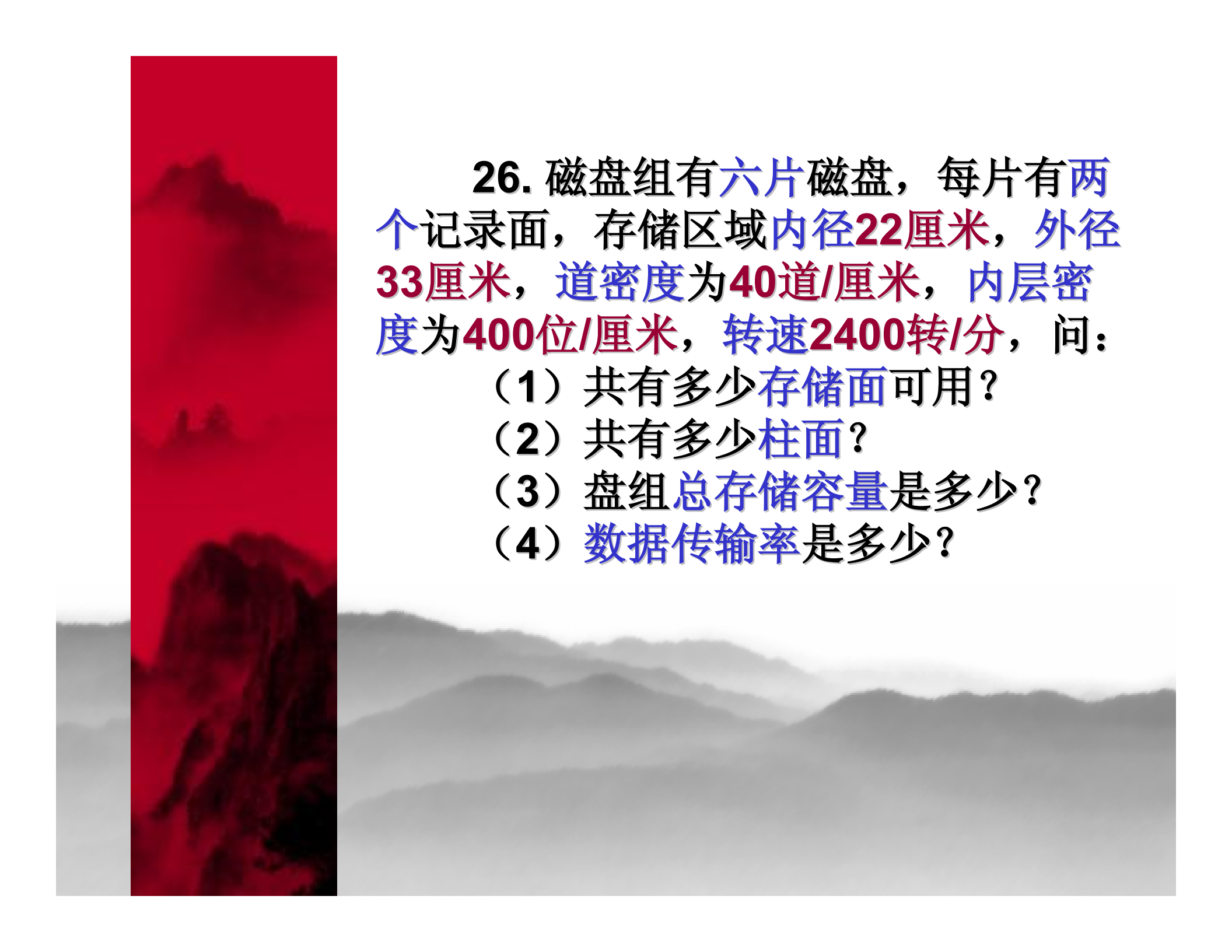
3) **FM**制记录一位二进制代码最多两次磁翻转，**MFM**制记录一位二进制代码最多一次磁翻转，因此**MFM**制的记录密度可提高一倍。上图中示出了在**MFM**制时位周期时间缩短一倍的情况。由图可知，当**MFM**制记录密度提高一倍时，其写电流频率与**FM**制的写电流频率相当；



4) 由于**MFM**制并不是每个位周期都有电流变化，故自同步脉冲的分离需依据**相邻两个位周期的读出信息**产生，自同步技术比**FM**制**复杂**得多。

25. 画出调相制记录**01100010**的驱动电流、记录磁通、感应电势、同步脉冲及读出代码等几种波形。





26. 磁盘组有六片磁盘，每片有两个记录面，存储区域内径22厘米，外径33厘米，道密度为40道/厘米，内层密度为400位/厘米，转速2400转/分，问：

(1) 共有多少存储面可用？

(2) 共有多少柱面？

(3) 盘组总存储容量是多少？

(4) 数据传输率是多少？

(1) 若去掉两个保护面，则共有：

$$6 \times 2 - 2 = 10 \text{ 个存储面可用；}$$

(2) 有效存储区域

$$= (33 - 22) / 2 = 5.5 \text{ cm}$$

$$\text{柱面数} = 40 \text{ 道/cm} \times 5.5 = 220$$

道

(3) 内层道周长 = $22 \times$

$$69.08 \text{ cm}$$

$$\text{道容量} = 400 \text{ 位}$$

$$/ \text{cm} \times 69.08 \text{ cm}$$


$$= 3454 \text{ B}$$

$$\text{面容量} = 3454 \text{ B} \times 220 \text{ 道}$$

$$= 759,880 \text{ B}$$

$$\text{盘组总容量} = 759,880 \text{ B} \times 10$$

面


$$\begin{aligned} (4) \text{ 转速} &= 2400 \text{ 转} / 60 \text{ 秒} \\ &= 40 \text{ 转/秒} \end{aligned}$$

$$\begin{aligned} \text{数据传输率} &= 3454 \text{ B} \times 40 \text{ 转/秒} \\ &= 138,160 \text{ B/S} \end{aligned}$$

27. 某磁盘存储器转速为3000转/分，共有4个记录盘面，每毫米5道，每道记录信息12 288字节，最小磁道直径为230mm，共有275道，求：

- (1) 磁盘存储器的存储容量；
- (2) 最高位密度（最小磁道的位密度）和最低位密度；
- (3) 磁盘数据传输率；
- (4) 平均等待时间。

解：

[返回目录](#)

$$(1) \text{ 存储容量} = 275 \text{道} \times 12 \text{ 288B/道} \times 4 \text{面} = 13\,516\,800\text{B}$$

$$(2) \text{ 最高位密度} = 12\,288\text{B}/230 \text{mm} < \\ = 17\text{B/mm} = 136 \text{位/mm} \quad (\text{向下取整})$$

$$\begin{aligned} & \text{最大磁道直径} \\ & = 230\text{mm} + 275 \text{道} / 5 \text{道} \times 2 \\ & = 230\text{mm} + 110\text{mm} = 340\text{mm} \end{aligned}$$

$$\begin{aligned} & \text{最低位密度} = 12\,288\text{B} / 340 \text{mm} < \\ & = 11\text{B/mm} = 92 \text{位/mm} \quad (\text{向下取整}) \end{aligned}$$

(3) 磁盘数据传输率

$$\begin{aligned} & = 12\,288\text{B} \times 3000 \text{转/分} \\ & = 12\,288\text{B} \times 50 \text{转/秒} = 614\,400\text{B/S} \end{aligned}$$

400B/S

$$(4) \text{ 平均等待时间} = 1/50 / 2 = 10\text{ms}$$



输入输出系统

第五章

1. I/O有哪些编址方式？各有何特点？

解：常用的I/O编址方式有两种：
I/O与内存统一编址和I/O独立编址；

特点： I/O与内存统一编址方式的I/O地址采用与主存单元地址完全一样的格式，I/O设备和主存占用同一个地址空间，CPU可像访问主存一样访问I/O设备，**不需要安排专门的I/O指令。**

I/O独立编址方式时机器为I/O设备专门安排一套完全不同于主存地址格式的地址编码，此时I/O地址与主存地址是**两个独立的空间**，CPU需要通过**专门的I/O指令**来访问I/O地址空间。



6. 字符显示器的接口电路中配有缓冲存储器和只读存储器，各有何作用？

解：显示缓冲存储器的作用是支持屏幕扫描时的反复刷新；只读存储器作为字符发生器使用，他起着将字符的ASCII码转换为字形点阵信息的作用。

8. 某计算机的I/O设备采用异步串行传送方式传送字符信息。字符信息的格式为一位起始位、七位数据位、一位校验位和一位停止位。若要求每秒钟传送480个字符，那么该设备的数据传送速率为多少？

解： $480 \times 10 = 4800$ 位/秒 = 4800 波特；

波特——是数据传送速率波特率的**单位**。

10. 什么是I/O接口?为什么要设置I/O接口? I/O接口如何分类?

解: I/O接口一般指CPU和I/O设备间的连接部件; I/O接口分类方法很多, 主要有:

按数据传送方式分有并行接口和串行接口两种;

按数据传送的控制方式分有程序控制接口、程序中断接口、DMA接口三种。

12. 结合程序查询方式的接口电路，说明其工作过程。

解：程序查询接口工作过程如下（以输入为例）：

1) CPU发I/O地址『地址总线』接口『设备选择器译码』选中，发SEL信号『开命令接收门；

2) CPU发启动命令『D置0，B置1』接口向设备发启动命令『设备开始工作；

3) CPU等待，输入设备读出数据『DBR；

4) 外设工作完成，完成信号『接口』B置0，D置1；

5) 准备就绪信号『控制总线』CPU；

6) 输入：CPU通过输入指令（IN）将DBR中的数据取走；

若为**输出**，除数据传送方向相反以外，其他操作与输入类似。工作过程如下：

1) **CPU发I/O地址**『地址总线』接口『设备选择器译码』选中，发**SEL**信号『开命令接收门；

2) **输出**：CPU通过**输出指令（OUT）**将数据放入接口**DBR**中；

3) CPU发**启动**命令『**D置0，B置1**』接口向设备发启动命令『设备开始工作；

4) **CPU等待**，输出设备将数据从 **DBR** 取走；

5) 外设工作**完成**，完成信号『接口』**B置0，D置1**；

6) 准备**就绪**信号『控制总线』CPU，CPU可通过指令**再次**向接口**DBR**输出数据，进行第二次传送。

13. 说明中断向量地址和入口地址的区别和联系。

解：

中断向量地址和入口地址的**区别**：

向量地址是硬件电路（向量编码器）产生的中断源的内存地址编号，**中断入口地址**是中断服务程序首址。

中断向量地址和入口地址的**联系**：

中断向量地址可理解为中断服务程序**入口地址指示器**（入口地址的地址），通过它访存可获得中断服务程序入口地址。

14. 在什么条件下，I/O设备可以向CPU提出中断请求？

解：I/O设备向CPU提出中断请求的**条件**是：I/O接口中的设备工作完成状态为**1**（**D=1**），中断屏蔽码为**0**（**MASK=0**），且CPU查询中断时，中断请求触发器状态为**1**（**INTR=1**）。

15. 什么是中断允许触发器？它有何作用？

解：中断允许触发器是CPU中断系统中的一个部件，他起着开关中断的作用（即中断**总开关**，则中断屏蔽触发器可视为中断的**分开关**）。

16. 在什么条件和什么时间，CPU可以响应I/O的中断请求？

解：CPU响应I/O中断请求的条件和时间是：当中断允许状态为1

（ $EINT=1$ ），且至少有一个中断请求被查到，则在一条指令执行完时，响应中断。

17. 某系统对输入数据进行取样处理，每抽取一个输入数据，CPU就要中断处理一次，将取样的数据存至存储器的缓冲区中，该中断处理需P秒。此外，缓冲区内每存储N个数据，主程序就要将其取出进行处理，这个处理需Q秒。试问该系统可以跟踪到每秒多少次中断请求？

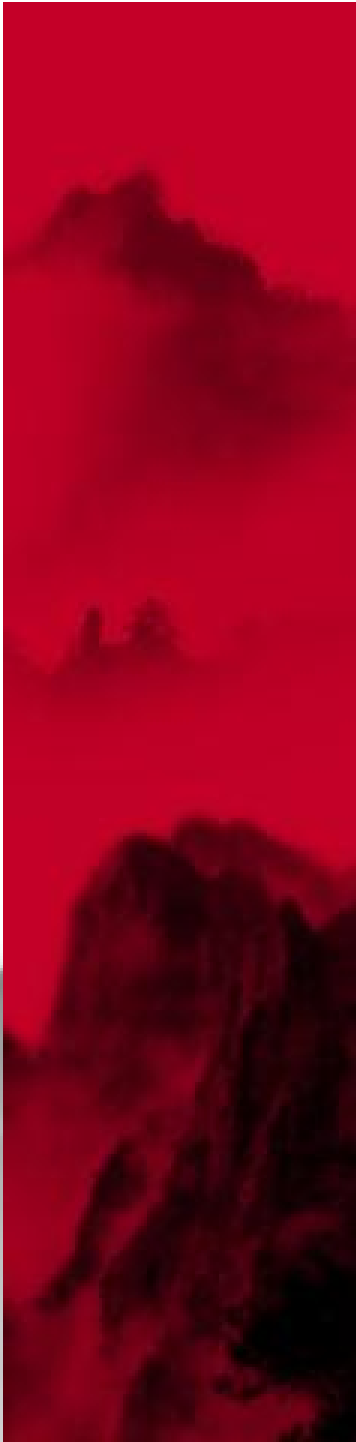
解：这是一道求中断饱和度的题，要注意主程序对数据的处理不是中断处理，因此Q秒不能算在中断次数内。

N个数据所需的处理时间= $P \times N + Q$ 秒

平均每个数据所需处理时间=
 $(P \times N + Q) / N$ 秒；

求倒数得：

该系统跟踪到的每秒中断请求数
= $N / (P \times N + Q)$ 次。



19. 在程序中断方式中，磁盘申请中断的优先权高于打印机。当打印机正在进行打印时，磁盘申请中断请求。试问是否要将打印机输出停下来，等磁盘操作结束后，打印机输出才能继续进行？为什么？

解：这是一道**多重中断**的题，由于磁盘中断的优先权高于打印机，因此**应将打印机输出停下来**，等磁盘操作结束后，打印机输出才能继续进行。因为打印机的速度比磁盘输入输出的速度慢，并且暂停打印不会造成数据丢失。

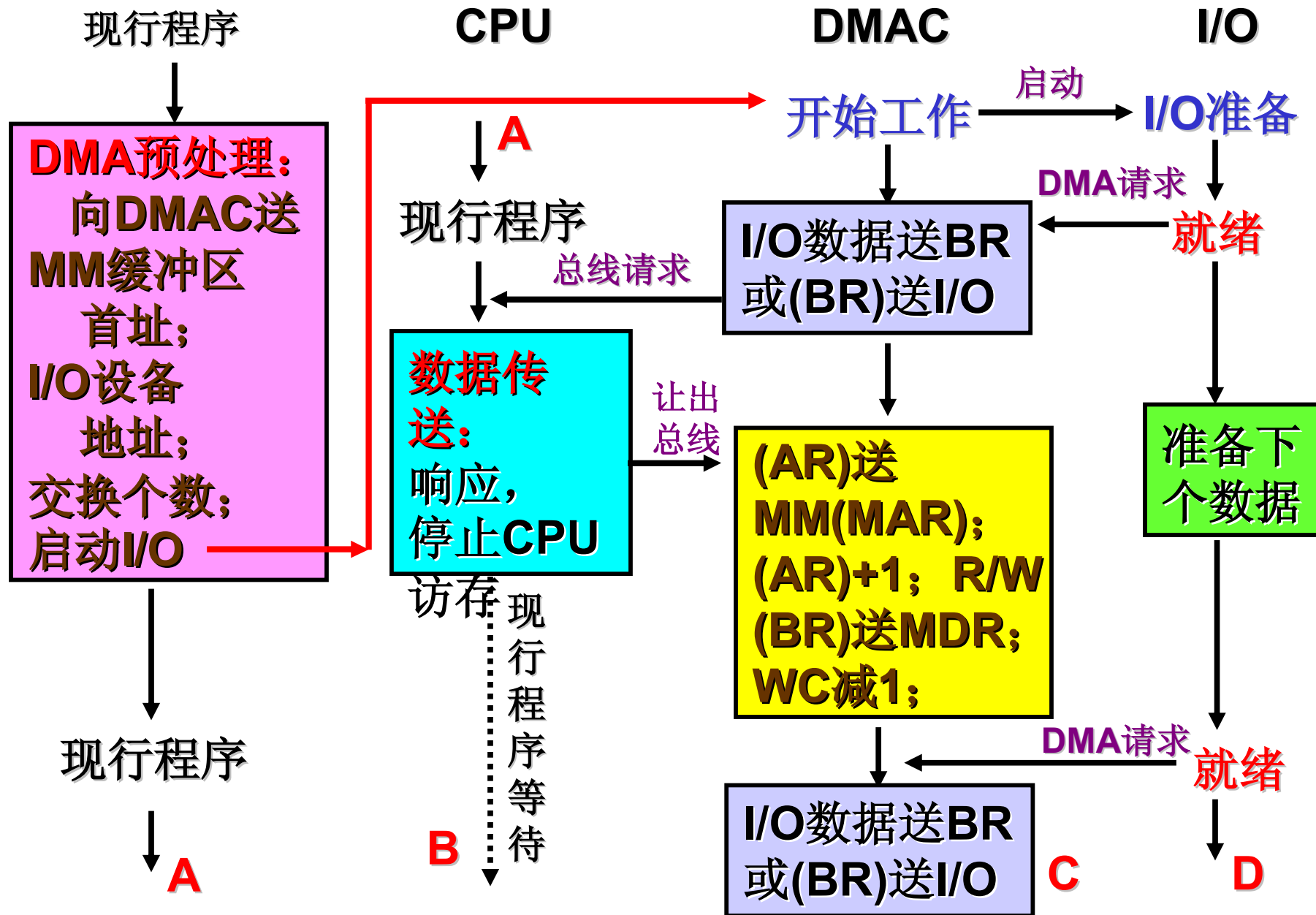
22. CPU对DMA请求和中断请求的响应时间是否一样？为什么？

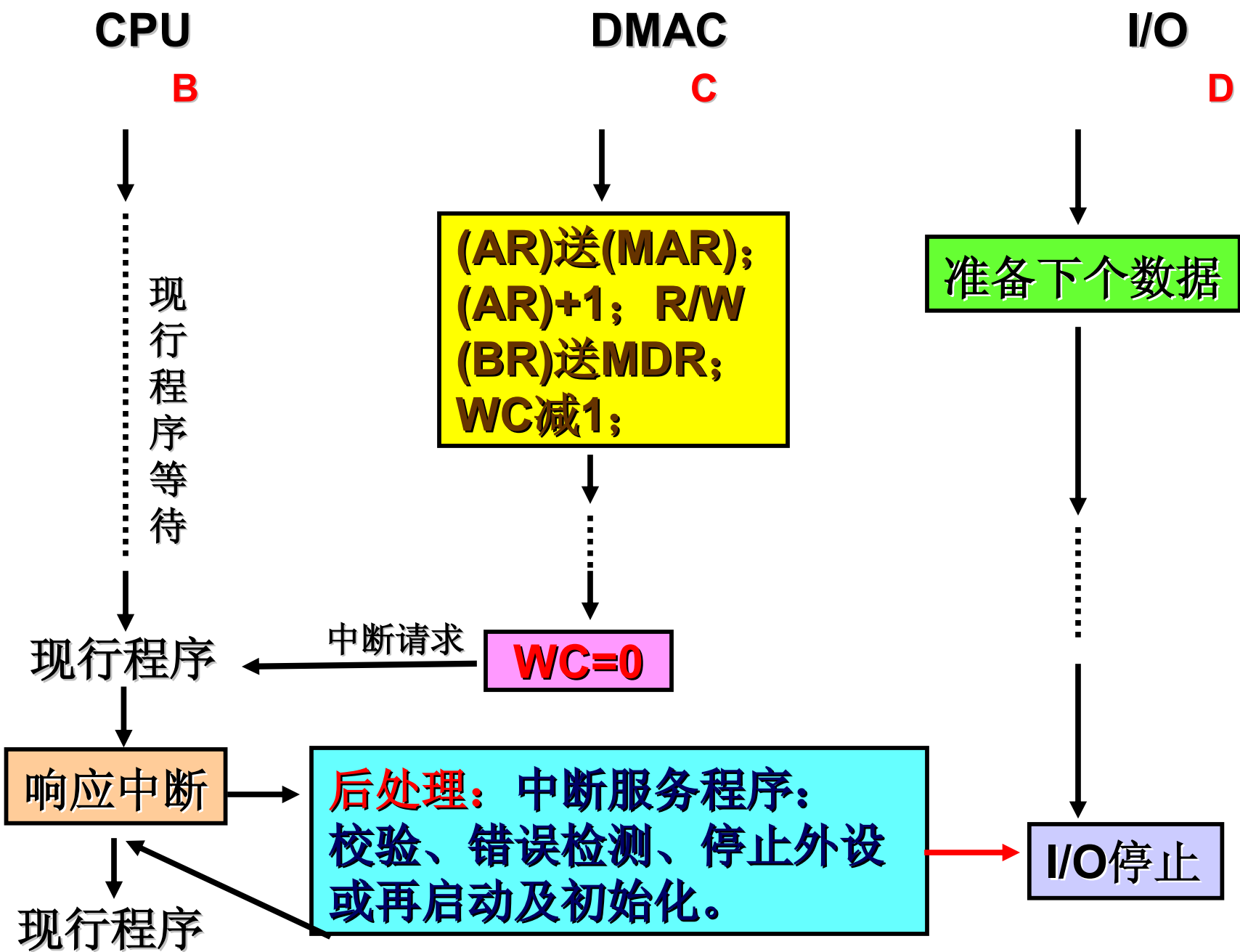
解：CPU对DMA请求和中断请求的响应时间不一样，因为两种方式的交换速度相差很大，因此CPU必须以更短的时间间隔查询并响应DMA请求（一个存取周期末）。

24. DMA的工作方式中，CPU暂停方式和周期挪用方式的数据传送流程有何不同？画图说明。

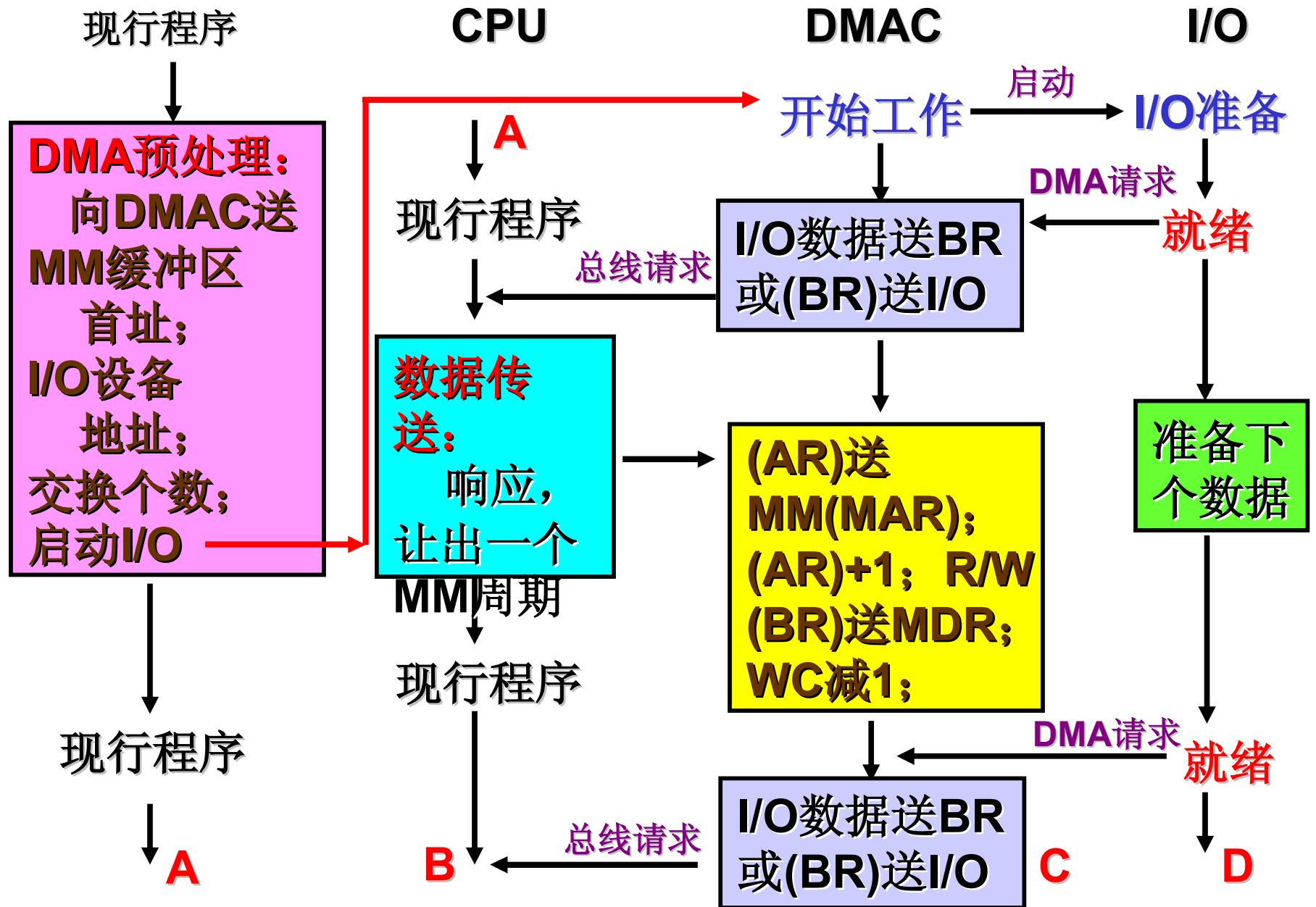
解：两种DMA方式的工作流程见下页，其主要区别在于传送阶段，现行程序是否完全停止访存。

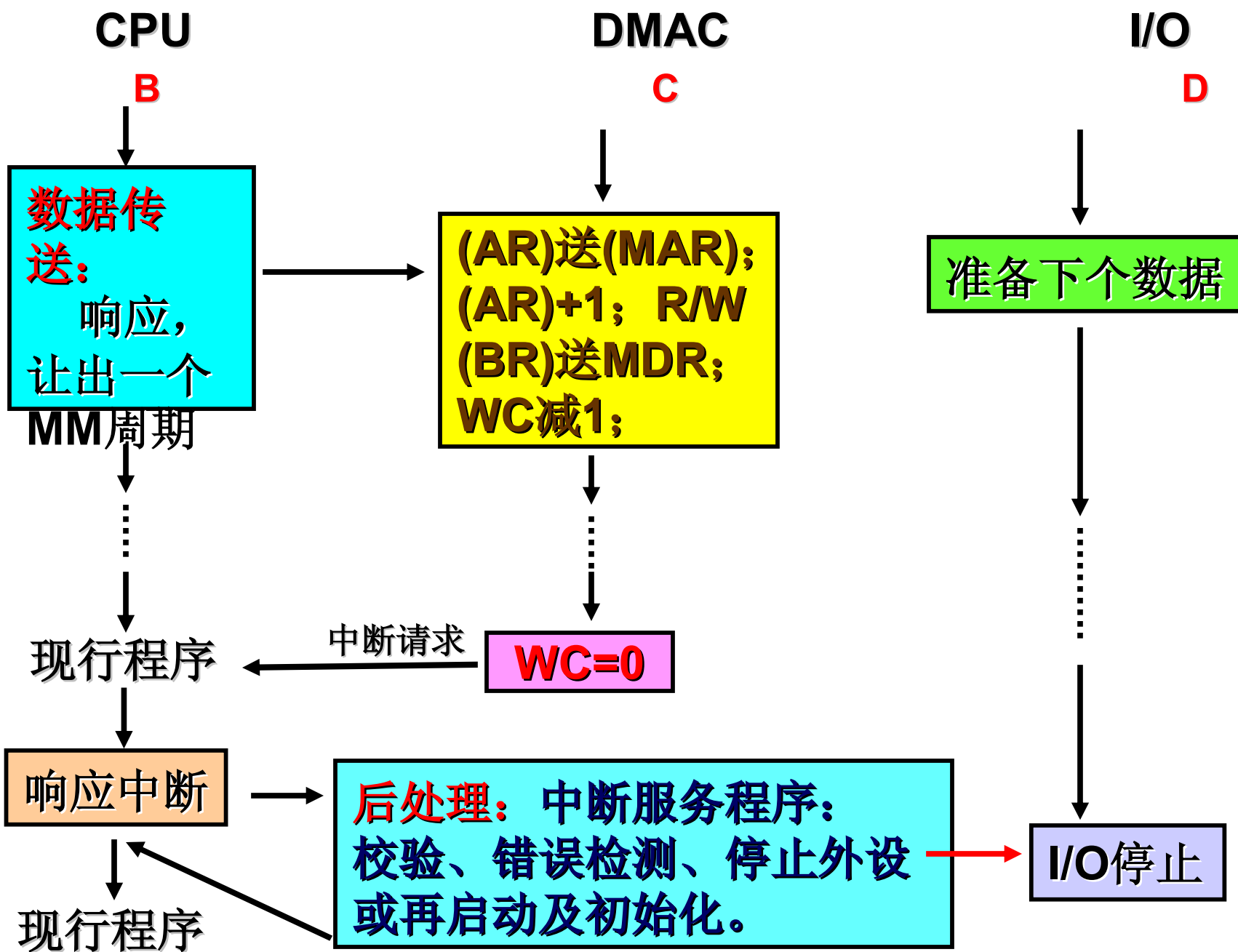
停止CPU访存方式的DMA工作流程如下：





周期窃取方式的DMA工作流程如下：






25. 假设某设备向CPU传送信息的最高频率是**40K次/秒**，而相应的中断处理程序其执行时间为**40 μ s**，试问该外设**是否可用程序中中断方式**与主机交换信息，为什么？

解：该设备向CPU传送信息的时间间隔 $= 1/40K = 0.025 \times 10^3 = \mathbf{25\mu s} < \mathbf{40\mu s}$

则：该外设**不能用程序中中断方式**与主机交换信息，因为其中断处理程序的执行速度比该外设的交换速度慢。



26. 设磁盘存储器转速为**3000**转/分，分**8**个扇区，每扇区存储**1K**字节，主存与磁盘存储器数据传送的宽度为**16**位（即每次传送**16**位）。假设一条指令最长执行时间是**25 μ s**，是否可采用一条指令执行结束时响应**DMA**请求的方案，为什么？若不行，应采取什么方案？

解：先算出磁盘传送速度，然后和指令执行速度进行比较得出结论。

$$\text{道容量} = 1\text{KB} \times 8 \times 16 = 1\text{K} \times 8 \times 8 \times 16$$

$$= 1\text{K} \times 4 = 4\text{K字}$$

$$\text{数传率} = 4\text{K字} \times 3000\text{转/分}$$

$$= 4\text{K字} \times 50\text{转/秒} = 200\text{K字/秒}$$

$$\text{一个字的传送时间} = 1/200\text{K字/秒} = 5\mu\text{s}$$

$5\mu\text{s} \ll 25\mu\text{s}$ ，所以不能采用一条指令执行结束响应DMA请求的方案，应采取每个CPU机器周期末查询及响应DMA请求的方案（通常安排CPU机器周期=MM存取周期）。

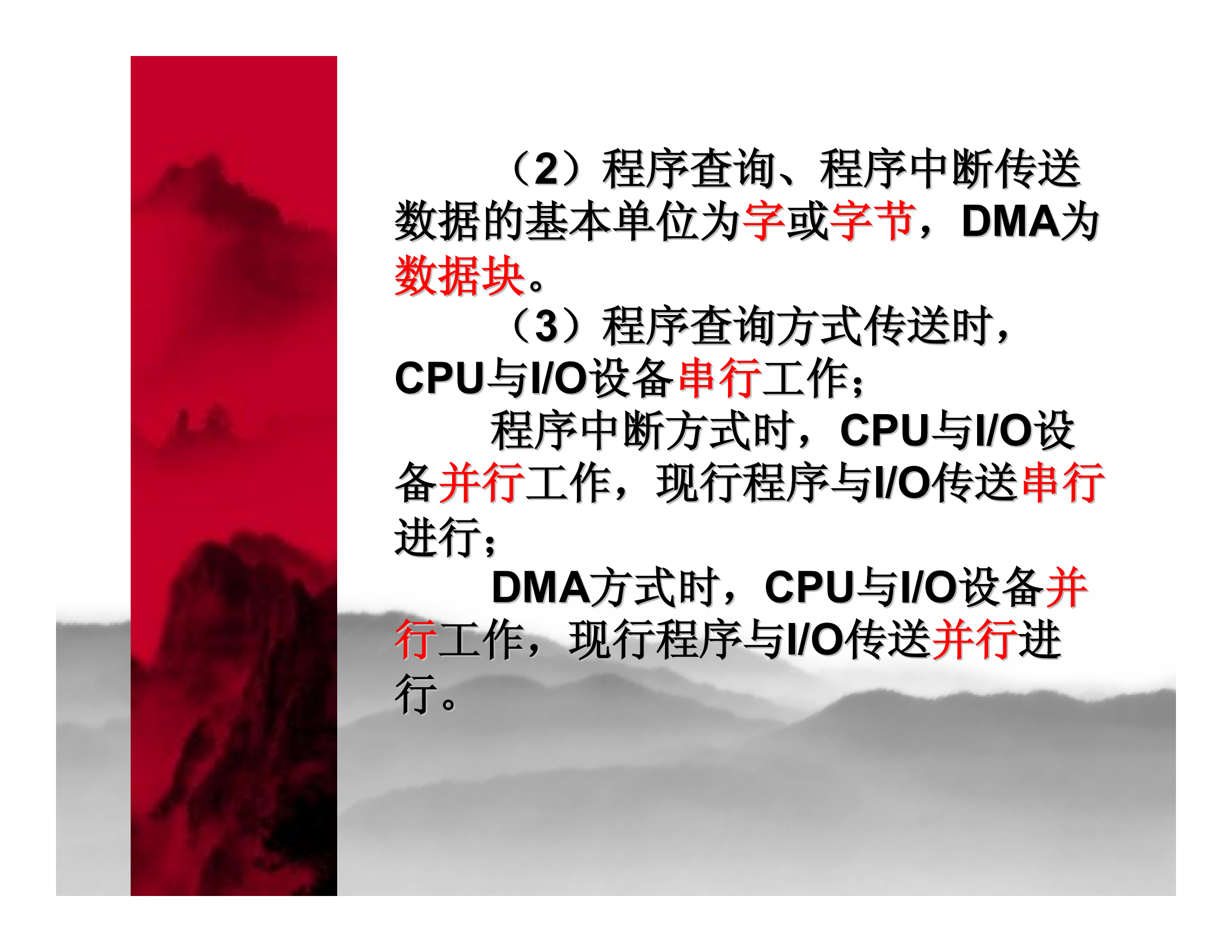


27. 试从下面七个方面比较程序查询、程序中断和DMA三种方式的综合性能。

- (1) 数据传送依赖软件还是硬件；
- (2) 传送数据的基本单位；
- (3) 并行性；
- (4) 主动性；
- (5) 传输速度；
- (6) 经济性；
- (7) 应用对象。

解：比较如下：

(1) 程序查询、程序中断方式的数据传送主要依赖**软件**，**DMA**主要依赖**硬件**。



(2) 程序查询、程序中断传送数据的基本单位为**字或字节**，**DMA**为**数据块**。

(3) 程序查询方式传送时，**CPU**与**I/O**设备**串行**工作；

程序中断方式时，**CPU**与**I/O**设备**并行**工作，现行程序与**I/O**传送**串行**进行；

DMA方式时，**CPU**与**I/O**设备**并行**工作，现行程序与**I/O**传送**并行**进行。

(4) 程序查询方式时，CPU主动查询I/O设备状态；

程序中断及DMA方式时，CPU被动接受I/O中断请求或DMA请求。

(5) 程序中断方式由于软件额外开销时间比较大，因此传输速度最慢；

程序查询方式软件额外开销时间基本没有，因此传输速度比中断快；

DMA方式基本由硬件实现传送，因此速度最快；

(6) 程序查询接口硬件结构最简单，因此最**经济**；

 程序中中断接口硬件结构稍微复杂一些，因此**较经济**；

 DMA控制器硬件结构最复杂，因此**成本最高**；

(7) 程序中中断方式适用于**中、低速**设备的I/O交换；

 程序查询方式适用于**中、低速**实时处理过程；

 DMA方式适用于**高速**设备的I/O交换；

30. 什么是**多重中断**？实现多重中断的**必要条件**是什么？

解：多重中断是指：当**CPU**执行某个中断服务程序的过程中，发生了更高级、更紧迫的事件，**CPU**暂停**现行中断服务程序的执行**，转去处理该事件的中断，处理完返回现行中断服务程序继续执行的过程。

实现多重中断的**必要条件**是：在现行中断服务期间，中断允许触发器为1，即**开中断**。

返回
目录

补充题：

一、某CRT显示器可显示**64种ASCII**字符，每帧可显示**72字×24排**；每个字符字形采用**7×8点阵**，即横向7点，字间间隔**1点**，纵向8点，排间间隔**6点**；帧频**50Hz**，采取逐行扫描方式。假设不考虑屏幕四边的**失真**问题，且行回扫和帧回扫均占扫描时间的**20%**，问：

- 1) **显存容量**至少有多大？
- 2) **字符发生器 (ROM)** 容量至少有多大？
- 3) 显存中存放的是**那种信息**？
- 4) 显存地址与屏幕显示**位置如何对应**？

5) 设置**哪些计数器**以控制显存访问与屏幕扫描之间的同步？它们的**模**各是多少？

6) **点时钟频率**为多少？

解：1) 显存最小容量= $72 \times 24 \times 8$
=1728B

2) ROM最小容量= 64×8 行 $\times 8$ 列
= 512B（含字间隔1点）

3) 显存中存放的是**ASCII码**信息。

4) 显存每个地址对应一个字符显示位置，显示位置**自左至右，从上到下**，分别对应缓存地址**由低到高**。

5) 设置**点计数器、字计数器、行计数器、排计数器**控制显存访问与屏幕扫描之间的同步。

它们的模计算如下：

$$\text{点计数器模} = 7 + 1 = 8$$

$$\text{行计数器模} = 8 + 6 = 14$$

字、排计数器的模不仅与扫描正程时间有关，而且与扫描逆程时间有关，因此计算较为复杂。

$$\text{列方程：} \quad (72 + x) \times 0.8 = 72$$

$$(24 + y) \times 0.8 = 24$$

解方程得： $x = 18$ ， $y = 6$ ，
则：

$$\text{字计数器模} = 72 + 18 = 90$$

$$\text{排计数器模} = 24 + 6 = 30$$

$$\begin{aligned} 6) \text{ 点频} &= 50\text{Hz} \times 30\text{排} \times 14\text{行} \\ &\times 90\text{字} \times 8\text{点} = 15\,120\,000\text{Hz} \end{aligned}$$

$$= 15.12\text{MHz}$$

二、有一编码键盘，其键阵列为**8行×16列**，分别对应**128种ASCII码**字符，采用**硬件扫描方式**确认按键信号，问：

- 1) **扫描计数器**应为多少位？
- 2) **ROM容量**为多大？
- 3) 若行、列号均从**0**开始编排，则当第**5**行第**7**列的键表示字母“**F**”时，**CPU**从键盘读入的**二进制编码**应为多少（设采用奇校验）？
- 4) 参考教材图**5.15**，画出该键盘的**原理性逻辑框图**；
- 5) 如果不考虑校验技术，此时**ROM**是否可省？

解：1) 扫描计数器 = 7位
(与键的个数有关)

2) ROM容量 = $128 \times 8 = 128B$
(与字符集大小有

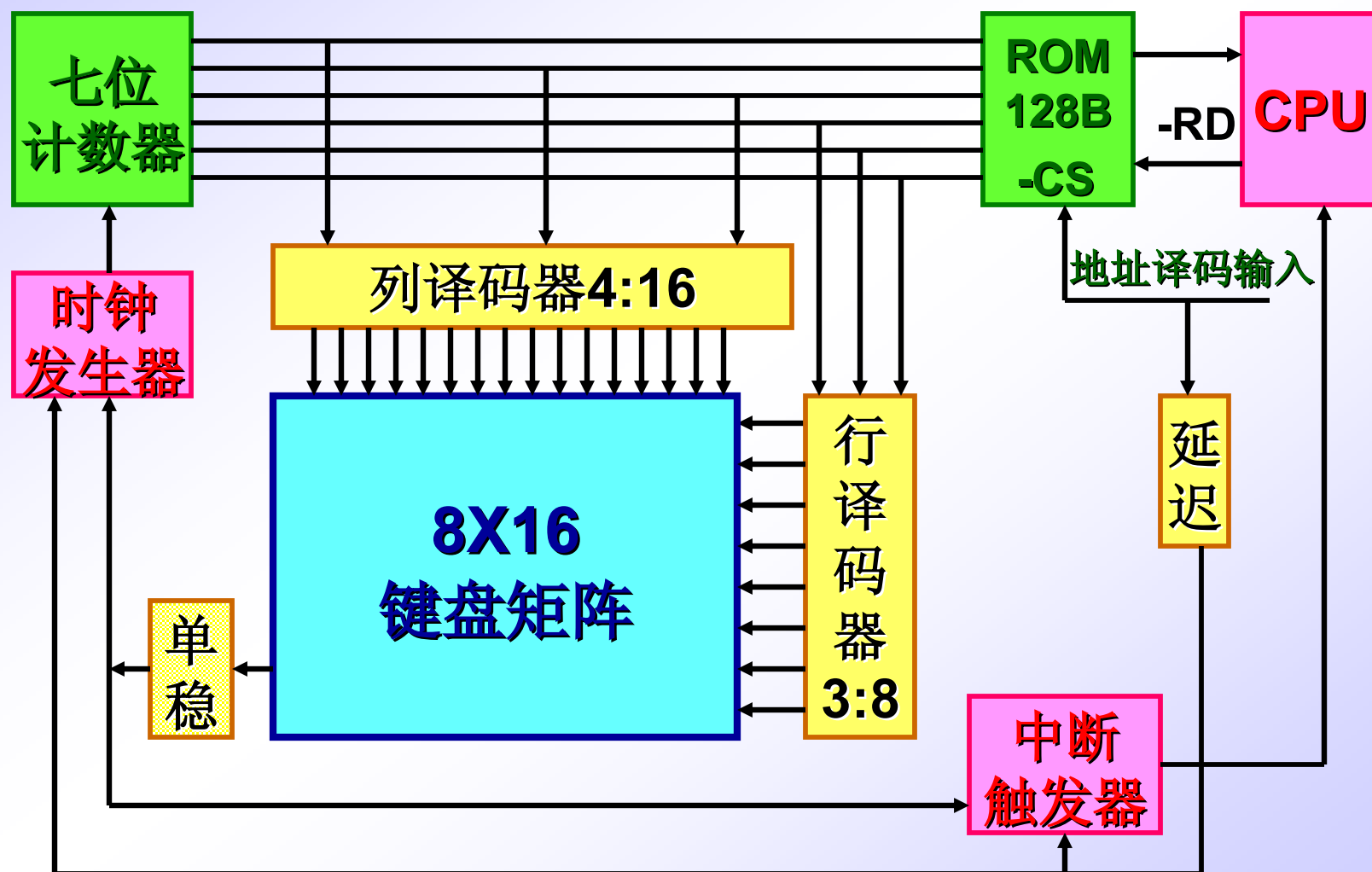
关)

3) CPU从键盘读入的应为字符“F”
的ASCII码 = 01000110，其中最高位为
奇校验位。

4) 该键盘的原理性逻辑框图见下
页，与教材图5.15类似，主要需标明参
数。

5) 如果不考虑校验技术，并按
ASCII码位序设计键阵列，则ROM编码
表可省，此时7位计数器输出值即为
ASCII码。

该键盘的原理性逻辑框图如下：



三、一针式打印机采用**7×9点阵**打印字符，每行可打印**132个字符**，共有**96种**可打印字符，用**带偶校验位的ASCII码**表示。问：

- 1) **打印缓存容量**至少有多大？
- 2) **字符发生器容量**至少有多大？
- 3) **列计数器**应有多少位？
- 4) **缓存地址计数器**应有多少位？

解：

$$\begin{aligned} 1) \text{ 打印缓存最小容量} &= 132 \times 8 \\ &= 132\text{B} \end{aligned}$$

（考虑偶校验

位）

$$2) \text{ ROM最小容量} = 96 \times 7 \text{列} \times 9$$

行

$$= 672 \times 9 \text{位}$$

- 3) 列计数器 = 3位
(7列向上取2的
幂)
- 4) 缓存地址计数器 = 8位
(132向上取2的
幂)