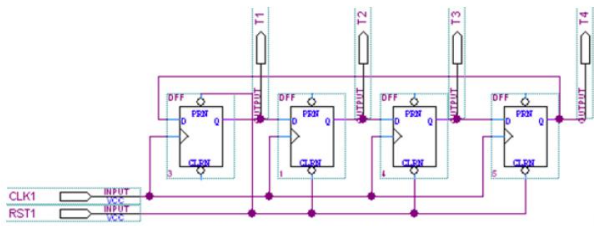
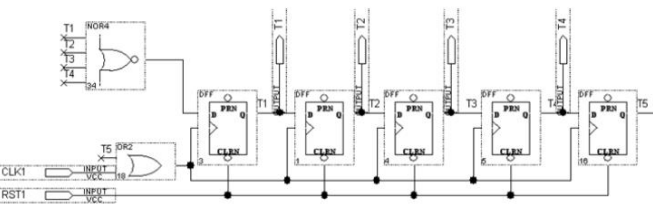
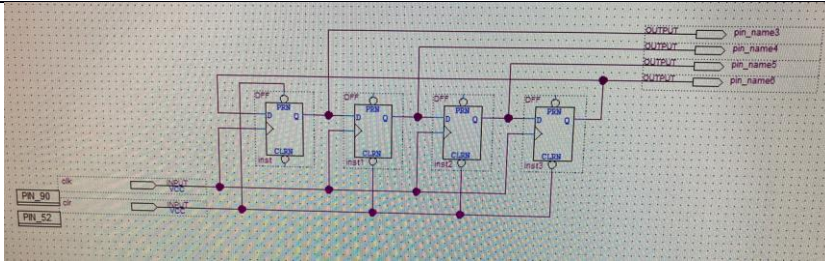


计算机组成与设计 课程实验报告

学号：202000130143	姓名： 郑凯饶	班级：2020 级 1 班
实验题目： 节拍脉冲发生器时序电路实验		
实验学时：2	实验日期： 2022-5-2	
实验目的： 掌握节拍脉冲发生器的设计方法，理解节拍脉冲发生器的工作原理。		
实验软件和硬件环境：		
软件环境： QuartusII 软件		
硬件环境： 1. 实验室台式机 2. 计算机组成与设计实验箱		
实验原理和方法：		
<p>(1) 连续节拍发生器电路设计</p>  <p>图 11-1 节拍脉冲发生器的工作原理</p> <p>RST1 低电平将左起第一个 D 触发器 PRN 引脚置为有效，将其 D 置为“1”。之后 T1~T4 在 CLK1 的输入脉冲作用下，周期性地轮流输出正脉冲。</p> <p>(2) 单步节拍发生器电路设计</p>  <p>不同于连续电路，该电路使用或非门进行初始化，T1~T4 均无输出时，或非门输入高电平。之所以称为单步调试电路，是因为脉冲不会周期性输出，T5 高电平输出与时钟脉冲进行或运算，使触发信号一直处于高电平。</p>		
实验步骤：		
<p>(1) 连续节拍发生器</p> <p>连接电路原理图：</p>		

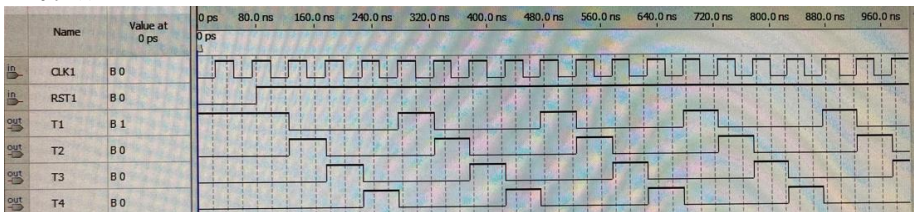


引脚分配：

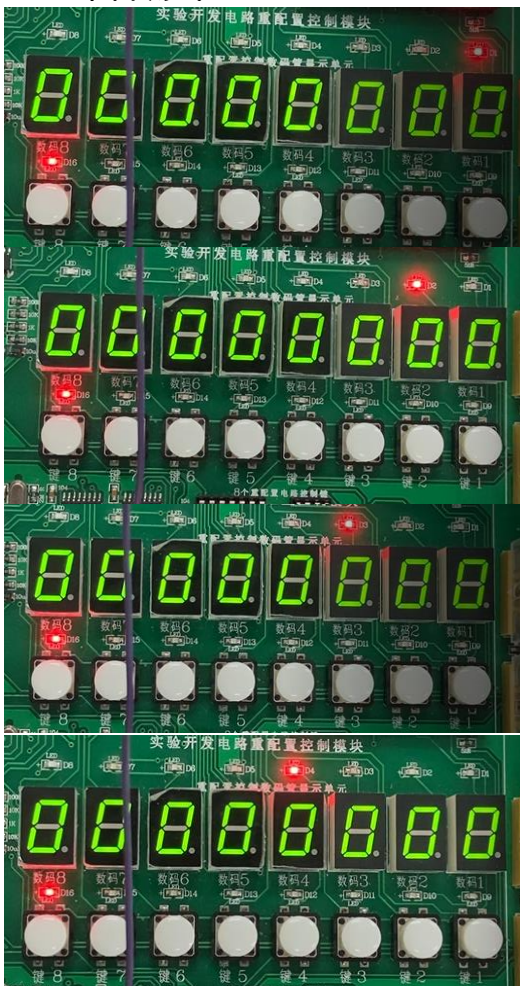
Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
CLK1	Input	PIN_90	6	B6_N0	PIN_90	2.5 V (default)		8mA (default)		
RST1	Input	PIN_84	5	B5_N0	PIN_84	2.5 V (default)		8mA (default)		
T1	Output	PIN_60	4	B4_N0	PIN_60	2.5 V (default)		8mA (default)	2 (default)	
T2	Output	PIN_65	4	B4_N0	PIN_65	2.5 V (default)		8mA (default)	2 (default)	
T3	Output	PIN_70	4	B4_N0	PIN_70	2.5 V (default)		8mA (default)	2 (default)	
T4	Output	PIN_74	5	B5_N0	PIN_74	2.5 V (default)		8mA (default)	2 (default)	

测试、调试：

进行仿真：



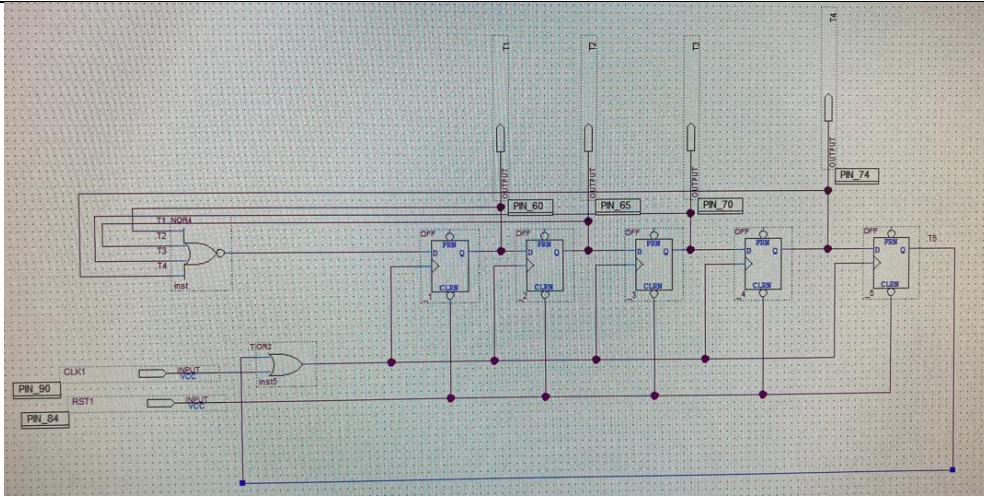
FPGA 平台测试：



键 8 为使能键，时钟脉冲为 4Hz。

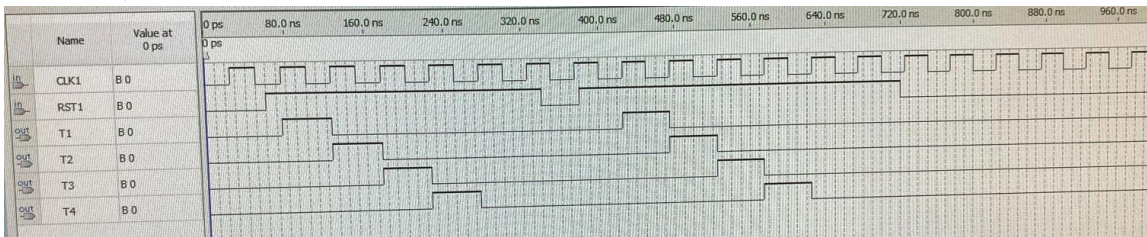
(2) 单步节拍发生器

连接电路原理图：



引脚分配和连续调试器相同。

测试、调试：



符合预期结果。

结论分析与体会：

这次实验我们开始尝试时序电路，通过时钟脉冲和触发器的组合，实现更为复杂的周期性的节拍信号输出。预期该实验电路会作为 CPU 时钟电路的一部分基础，期待后面进行完整 CPU 设计。