

计算机科学与技术学院 2019-2020 学年第 1 学期 考试试卷

计算机系统结构 A 卷 开卷

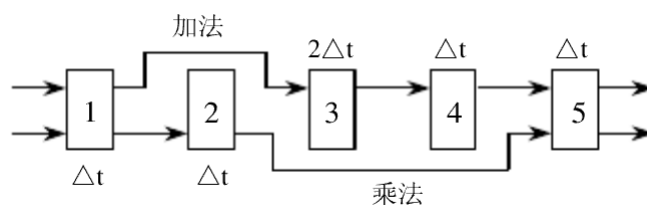
姓名_____班级_____学号_____考试日期_____

| 题号 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 总分 | 核对人 |
|----|----|----|----|----|----|----|----|----|-----|-----|
| 题分 | 15 | 10 | 15 | 20 | 10 | 10 | 10 | 10 | 100 | |
| 得分 | | | | | | | | | | |

温馨提示：所有计算题请给出计算过程

| 得分 | 评卷人 |
|----|-----|
| | |

1. 有一条静态多功能流水线由 5 段组成，加法用 1、3、4、5 段，乘法用 1、2、5 段，第 3 段的时间为 $2\Delta t$ ，其余各段的时间均为 Δt ，而且流水线的输出可以直接返回输入端或暂存于相应的流水寄存器中。现要在该流水线上计算 $\prod_{i=1}^5 (A_i + B_i)$ ，画出其时空图，并计算其吞吐率、加速比和效率。（15 分）



| 得分 | 评卷人 |
|----|-----|
| | |

2. 假设一段程序，条件转移指令占比 5%，其他指令的基本 CPI 为 1。采用一条仅对条件转移指令使用分支目标缓冲的流水线执行，分支目标缓冲命中率 80%，不命中的开销为 4 个时钟周期，预测精度为 90%，分支预测错误的开销为 8 个时钟周期。（10 分）
- 求程序执行的 CPI。
 - 如果分支目标缓冲命中率提高至 90%，求程序执行的 CPI。

| | |
|----|-----|
| 得分 | 评卷人 |
| | |

3. 假设一台计算机在执行程序时, 90%访存能够命中 Cache, 其中 30%是写操作。最后一级 Cache 块的大小为 128B, 一次内存读写操作事务存取 64B 数据, 在写失效时, Cache 采用写分配法。(15 分)
- (1) 采用写直达 Cache 机制时, 一次访存指令导致的平均实际访存事务次数。
 - (2) 采用写回法 Cache 机制时, 在任何时候, Cache 中有 20%的块被修改过。一次访存指令导致的平均实际访存事务次数。

| | |
|----|-----|
| 得分 | 评卷人 |
| | |

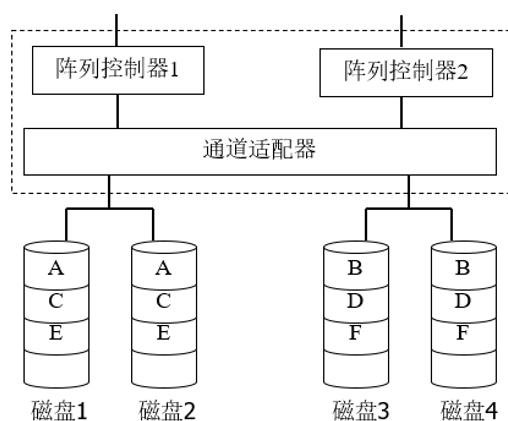
4. 某处理器在 100%命中内部 Cache 时的 CPI 是 1.4。当 Cache 不命中时, 需要从外部主存储器中存取数据。Cache 块大小为 64B, 物理分布在 8 个独立存储体上, 每个存储体需要 32 个时钟周期的固定延迟准备数据; 内存总线最高传输速率为 8B/时钟周期, 8 个存储体能够通过总线完全并行传输数据给处理器。假设处理器内没有写缓冲器, 对于写操作使用写回机制。在 TLB 不命中的情况下, 需要额外 40 时钟周期获取请求实际的物理内存块地址, TLB 不会降低 Cache 命中率。执行某种应用时, Cache 中 50%的块修改过, 20%的指令是访存指令。假设 64KB 直接映像混合 (指令, 数据) Cache 和 128KB 直接映像混合 Cache 的不命中率分别为 1.5%和 1%。(20 分)
- (1) 在理想 TLB 情况下, 计算均采用写回法 64KB 直接映像混合 Cache 和 128KB 直接映像混合 Cache 机器的实际 CPI。
 - (2) CPU 在 Cache 不命中时, 存取地址有 0.2%没有在 TLB 中找到。在此情况下, 用 (1) 的结果, 计算 64KB 直接映像混合 Cache 和 128KB 直接映像混合 Cache 的实际 CPI。

| | |
|----|-----|
| 得分 | 评卷人 |
| | |

5. 一个廉价磁盘冗余阵列由 4 个磁盘配置为 RAID 10 级, 其结构如图, 采用双

控制器（RC）结构，任何一个阵列控制器失效不影响系统工作。已知各部分可靠度为：阵列控制器 $R_1=0.9$ ，通道适配器 $R_2=0.95$ ，磁盘 $R_3=0.95$ 。（10 分）

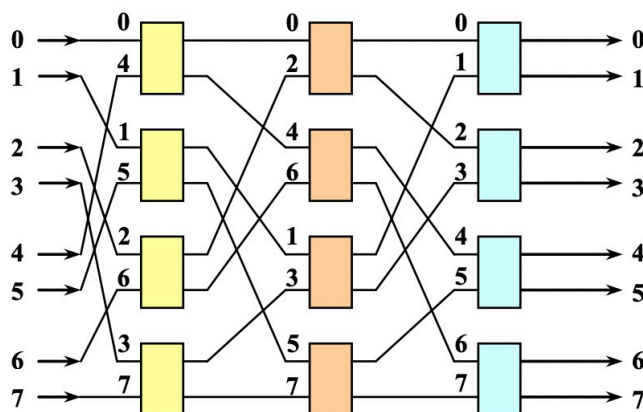
- (1) 画出系统可靠性框图；
- (2) 写出系统可靠性 R 的表达式；
- (3) 计算 R 的数值（保留小数点后两位）；



| 得分 | 评卷人 |
|----|-----|
| | |

6. Omega 网络又称为多级混洗—交换网络。（10 分）

- (1) Omega 网络的开关模块均采用什么控制方式;级间互连采用什么连接方式？
- (2) 若采用源地址与目的地址异或寻径法，分析 $\pi = (0)(1, 2)(3)(5, 6)(4)(7)$ 能无阻塞完成传输吗？



| | |
|----|-----|
| 得分 | 评卷人 |
| | |

7. 假设有一台包含 16 台处理器的多处理机，对远程存储器访问时间为 200ns。除了远程存取以外，假设所有其它访问均命中本地存储器。当发出一个远程请求时，本处理器挂起。处理器的时钟频率为 2GHz，如果指令基本的 CPI 为 1（设所有访存均命中本地存储器），求在仅有本地访问情况下和有 0.5% 的指令需要远程访问的情况下，前者比后者快多少？（10 分）

| | |
|----|-----|
| 得分 | 评卷人 |
| | |

8. 请阐述提高指令级并行性的两种技术途径(时间重叠和资源重复)的基本原理，并结合流水线技术说明如何采用这两种技术途径提升系统性能。试问除了指令级并行之外，还有什么技术方法可以提高处理器性能？（10 分）

