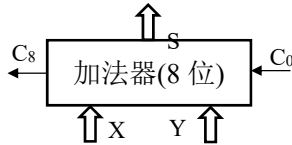
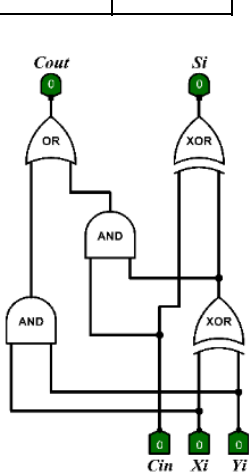


分 数	
评卷人	

一、现有 8 位加法器, 输入分别为被加数 $X = X_8 \sim X_1$, 加数 $Y = Y_8 \sim Y_1$, 进位输入 C_0 , 输出 $S = S_8 \sim S_1$, 第 8 位为最高位, C_8 为最高位进位, 完成下列各题。(14 分)



1) 若该 8 位加法器是由 8 个一位全加器 FA 串联构成, FA 内部结构如图所示, 假设所有门电路时间延迟均为 $1T$, 则全加器 FA 的关键时延为 $3T$ 。8 位串行加法器关键时延为 $17T$ 。(4 分)

2) 结合组合逻辑电路的特性, 简要分析怎样才能保证 8 位串行加法器运算结果是正确的?(2 分)

组合逻辑电路的特点是输出随输入的改变而改变, 从工程上看, 该加法器输入端数据一定要持续 8 位串行加法器的延迟, 只有这样才能保证每次运算结果的有效性。

- 3) 若 X 、 Y 、 Z 采用补码, 则 S 最大值为 $7F$ (16 进制), 最小数为 80 (16 进制)。(2 分)
- 4) 该加法器是否可以无符号数的运算, 简要说明理由。(2 分)
- 5) 该 8 位加法器具有溢出检测功能吗? 如果有请说明原因; 如果没有, 请给出一种增加溢出检测功能的方法。从软硬协同的角度分析运算器提供硬件溢出检测机制的意义(5 分)

只能对无符号数加法具有溢出检测功能。

对有符号数的溢出没有检测功能。对于本运算器而言, 只能通过额外设计电路, 通过参加运算数据的符号位和结果的符号位是否相同的方式来判断溢出。

硬件提供溢出检测后, 程序员可通过该溢出位判断溢出与否, 而不再需要通过专门程序判断溢出, 简化了程序设计, 且有利于流水线 CPU 的高效运行。

分 数	
评卷人	

二、某原始 16 位数据为 0x0181, 采用 CRC 校验码进行传输和校验, 若采用的生成多项式为 $G(x)=x^6+x^5+x^3+x^2+x+1$, 完成下列各题。(14 分)

1) 该原始数据对应的编码可能是某汉字 GB2312 编码吗, 为什么? (2 分)

不是, 因为汉字 GB2312 编码两个字节的最高位应该是 1。

2) 若采用 CRC 校 1 验码对该数据进行编码传输, 求对应的 CRC 编码 (最终结果以 16 进制表示, 要求写出计算过程) (4 分)

0000 0001 1000 0001 000000 mod 1101111 = 001011

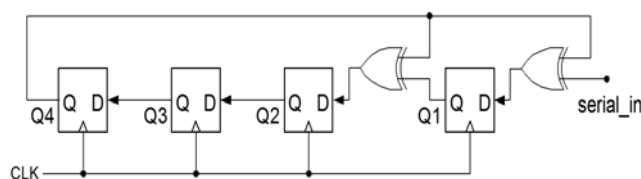
最终编码为 0000 0001 1000 0001 001011

16 进制为 604B

3) 若接收方进行 CRC 解码时得到 CRC 余数是 010000, 在什么条件下可通过 CRC 校验的原理判断出错的位置, 并给出此条件下由上述余数计算出的出错位。(4 分)

在能判断只有一位出错的情况下, 可利用接收方解码时得到的不为 0 余数判断出错位。这里应该是传输编码的第 5 位出错。

4) 下图为某串行 CRC 电路



(1) 根据该图给出此 CRC 校验使用的生成多项式, 并简要说明理由。(2 分)

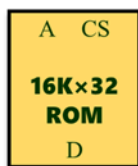
10011, 根据 CRC 校验码的原理, 被除数最高位为 1 时才进行减法运算, 图中最低两个 D 触发器的输入端有 2 个异或门

(2) 简要对比并行 CRC 电路与串行 CRC 电路的特点。(2 分)

时序/组合逻辑 多个时钟周期/单周期 慢/快 硬件少/硬件多

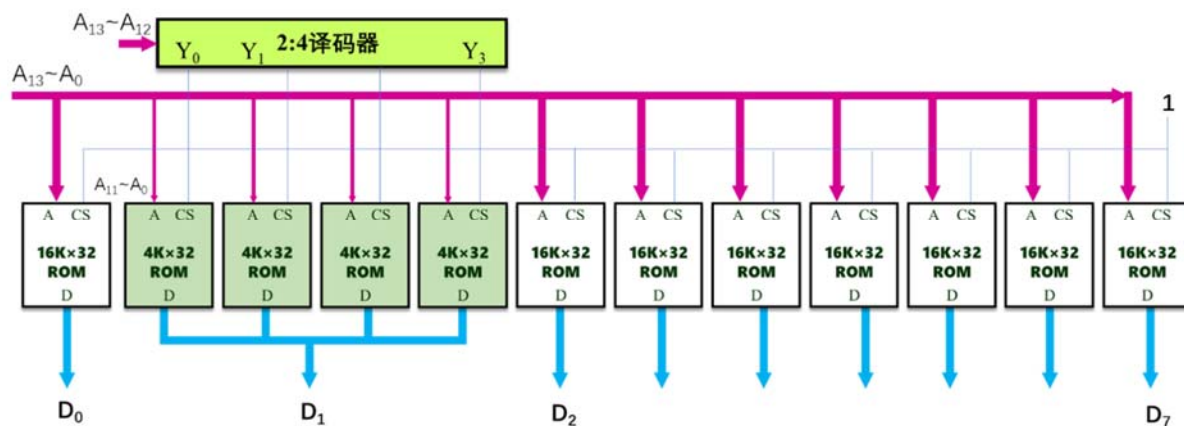
分 数	
评卷人	

三、汉字显示可以采用字形码进行点阵显示，现需要构建一个 16*16 点阵的汉字字库，用于显示 16 位的 GB2312 汉字编码，假设需要一次读出一个汉字字形码的全部点阵信息。现在有 7 块 16K*32 位的 ROM 芯片，7 块 4K*32 位的 ROM 芯片，规格如下图。（14 分）



1) 选用其中的部分芯片设计汉字字库存储系统，则该字库存储系统地址线至少是 14 根，数据线至少 256 根，需要 16K*32 位 ROM 7 片，4K*32 位 ROM 4 片。（4 分）

2) 给出该汉字字库的逻辑示意图，假设输入为地址线 $A_1 \cdots A_0$ ，要求标注各芯片的详细地址输入，片选 CS 输入（高电平有效），数据输出 $D_k \cdots D_0$ 。（5 分）



3) 假设 GB2312 汉字点阵信息全部存放在一个文件中，每个汉字的点阵数据在文件中顺序存放，请问汉字数据如何分割载入到你设计的存储系统的每个芯片中。（3 分）

首先需要将字库文件均分为 8 个文件，其中 7 个文件载入 16K*32 位的然后将其中一个文件再均分成 4 份，

4) 这个汉字字库如何才能显示英文字符和数字字符？（2 分）

可以使用全角字符代替英文字符和数字字符

分 数	
评卷人	

四、某计算机系统中主存地址 16 位，全部主存空间都被使用；该机 Cache 采用四路组相联，共有 8 个 Cache 行；主存数据块大小为 4 个字节，完成下列各题。（16 分）

1) 该 Cache 分为几组？每个 Cache 行应该包含哪些信息？这些信息各为多少位？（4 分）

Cache 分为 2 组，每组 4 行

valid 位 1 位，标记字段 13 位，淘汰计数位（尽可能大）

2) 下表中依次给出了 10 个字节访问地址(10 进制)，假设 Cache 内容初始状态为空，从左到右依次访问这 10 个地址，请给出每次访问对应的主存块地址，组号，行号，以及载入、命中、替换情况（在对应位置打钩即可）。（6 分）

访问地址（10 进制）	0	8	17	33	2	7	37	25	1	9
主存块地址(10)	0	2	4	8	0	1	9	6	0	2
Cache 组号	0	0	0	0	0	1	1	0	0	0
Cache 组内行号	0	1	2	3	0	4	5	1	0	2
载入	✓	✓	✓	✓		✓	✓			
命中					✓				✓	
替换								✓		✓

3) 如果 2) 中没有给出“Cache 内容初始状态为空”的假设, 会对 2) 中的命中率产生影响?分析产生影响的原因。（2 分）

如果开始工作时 Cache 内容不空，此时，如果 Cache 中保存的内容与 CPU 将要访问的内容无关，则对结果没有任何影响，如果 Cache 中保存的内容与 CPU 将要访问的内容有关，则对上表中的载入、替换和命中率等都可能产生影响。

4) 计算 2) 中 Cache 命中率。结合存储体系的工作原理和设置 Cache 的目标，对该 Cache 的命中率进行分析，并从软硬协同的角度简要分析能实现设置 Cache 目标的可能方法。（4 分）

命中率= 2/10

存储体系中设置 Cache 的目的是解决主存速度不快的问题，为此要求 Cache 有比较高的命中率。本题中 Cache 命中率低，因此，难以达到设置 Cache 的目的，从软硬协同的角度看，可分别从硬件和软件两个角度提高 Cache 命中率，可增加 Cache 的容量，也可提高程序访问的局部性。

分 数	
评卷人	

五、现针对云计算开发了一款64位的MIPS指令集的变体，为了更适应大数据场景，操作码Opcode字段为7位，通用寄存器的数目由32个变成了128个，寄存器数据位宽64位，假设R型指令中64位字长的指令字多余位均扩展到最右侧的Funct字段，I型指令中多余位均扩展到Immediate字段。（14分）

(1) 下图为该MIPS变体R型和I型指令格式，根据题目条件，给出下列指令中空字段的位数。（4分）

Opcode	Rs	Rt	Rd	Shamt	Funct
7	7	7	7	6	30

Opcode	Rs	Rt	Immediate
7	7	7	43

(2) 该MIPS指令系统最多可以支持多少条R型指令和非R型指令。（3分）

$$2^7-1 \text{ 非R型号指令} + 2^{30} \text{ R型指令}$$

(3) 该指令体系下，执行一条R型指令后，PC的增量是多少，给出计算表达式。（2分）

$$SpC=SpC+8;$$

(4) 简要分析X86系统中支持多种寻址方式的意义。简要分析MIPS指令没有设置寻址方式特征位字段以支持多种寻址方式的原因（5分）

X86 系统支持多种寻址方式的意义包括：访问更大的存储空间、访问更大的数据、方便程序设计、提高指令的执行速度等。MIPS 将指令分成三类，只有 I 型指令访问存储器，且寄存器数量多，每类指令需要的寻址方式有限，所以不需要设置寻址方式特征位字段。

分 数	
评卷人	

六、假定计算机主频为 500MHZ，平均 CPI 为 4，现有设备 A 和 B，其数据传输率分别为 $2 \times 10^6 \text{Byte/S}$ 和 $40 \times 10^6 \text{Byte/s}$ ，对应 I/O 接口中各有一个 32 位的数据缓冲寄存器。回答如下问题，并给出计算过程。（12 分）

1) 若设备 A 采用定时查询 I/O 方式，每次 I/O 都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据？此时 CPU 用于设备 A 的输入/输出时间占 CPU 总时间的百分比是多少？（12 分）

方法 1:

根据数据传输率，A 准备一个数据的时间为 $4\text{B}/2 \times 10^6 = 2 \mu\text{s}$ ，所以每隔 $2 \mu\text{s}$ 必须查询一次。
一次传输需要的 CPU 时间为 $10 \times 4 / (500 \times 10^6) = 0.08 \mu\text{s}$
百分比 $= 0.08 / 2 = 4\%$

方法 2

每秒查询次数至少 $1\text{s} / 2 \mu\text{s} = 5 \times 10^5$ ，CPU 占用时间 $5 \times 10^5 \times 10 \times 4$ 个时钟周期
占比 $5 \times 10^5 \times 10 \times 4 / 500\text{M} = 4\%$

2) 在中断 I/O 方式下，若每次中断响应时钟周期数为 100，中断处理时钟周期数为 300，则设备 B 能否采用中断 I/O 方式进行传输？为什么？

每次中断过程需要时间 $(100+300) / (500 \times 10^6) = 0.8 \mu\text{s}$
每次中断只能传输 32 位 4 个字节
中断方式最大速率 $4 / ((100+300) / (500 \times 10^6)) = 5\text{MB/s}$
中断方式不能满足要求

方法 2:

每次中断过程需要时间 $(100+300) / (500 \times 10^6) = 0.8 \mu\text{s}$
设备 B 准备好一个数据的时间 $4\text{B} / 40 \times 10^6 = 0.1 \mu\text{s}$
中断方式来不及处理

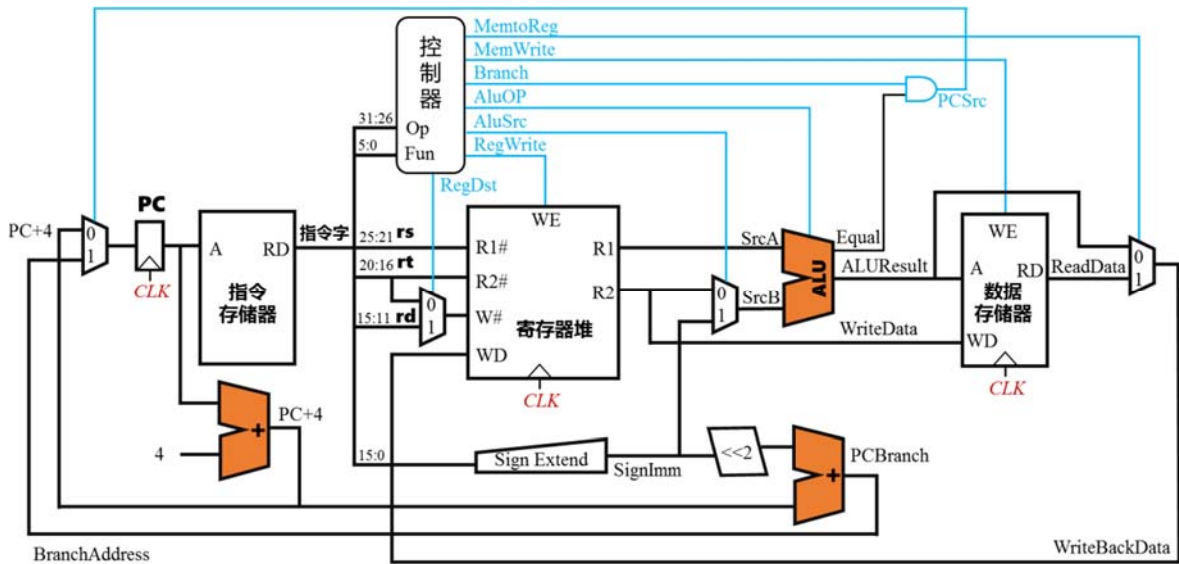
3) 若设备 B 采用 DMA 方式进行数据传输，DMA 数据块大小为 1000Byte，DMA 预处理时间为 250 个时钟周期，后处理时间为 250 个时钟周期，则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最多是多少？

每传输 1000 字节 CPU 占用时间为 $(250+250) / 500\text{M} = 1 \mu\text{s}$ 中断方式来不及处理
实际传输时间为 $1000 / 40 \times 10^6 = 25 \mu\text{s}$
比例 $= 1 / 25 = 4\%$

分 数	
评卷人	

七、下图为某 32 位单周期 MIPS CPU 的逻辑框图,完成下列各问。(16 分)

1) $lw \$rt, imm(\$rs)$ 的功能为: $R[\$rt] \leftarrow Mem_{4B}(R[\$rs] + SignExt16b(imm))$ 。分别给出该指令取指和执行阶段需要使用的主要功能部件及相关控制信号的值, 确保该指令能正确执行。(5 分)



取指令阶段部件: PC 寄存器, 指令寄存器, 加法器

执行阶段部件: 寄存器堆 ALU 符号扩展器 数据存储器

控制信号	MemtoReg	MemWrite	Branch	AluOP	AluSrc	RegWrite	RegDst
值	1	0	0	5	1	1	0

2) 假设 lw 指令中 imm 字段的值为 $8AF2H$, 则经过图中扩展电路后的值为_____ (16 进制示)? 为什么要对指令 imm 字段的值进行符号扩展? (3 分)

FFFF8AF2

因为 ALU 为 32 位, imm 字段本身只有 16 位, 当与另一个 32 位数据进行运算时, 必须将符号位扩展为 32 位数才能参与运算

3) 如果要修改 CPU 设计方案, 变成多周期 CPU, 则需要对上述结构做哪些变化? (4 分)

可以将指令存储器和数据存储器合二为一; 在每个功能部件后增加一个缓冲器, 如主存、寄存器堆、ALU 等部件后都要增加。

4) 如果多周期 MIPS CPU 采用微程序控制器, 若要加入中断逻辑, 应该进行哪些扩展? (4 分)

微程序中需要增加中断隐指令的微程序, 该微程序的功能是保存断点, 修改 PC 地址为中断程序入口地址, 微指令 P 字段需要增加一位用于进行中断判断, 每条指令对应微程序最后一条指令的中断判断位为 1, 如果当前有中断请求信号, 要进行分支跳转中断隐指令对应的微程序。