

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo (binario)	l/s	byte scritto (HEX)
1	000100001010	l	BB 04 FF
2	000100001101	s	
3	000100001111	s	
4	000100001110	s	
5	000100011000	l	44
6	000100011110	l	
7	000100001010	s	
8	000100100101	l	

ind	byte	ind	byte	ind	byte	ind	byte
100	08	101	D0	102	07	103	02
104	00	105	00	106	00	107	00
108	0E	109	DF	10A	AA	10B	B3
10C	F1	10D	C2	10E	C3	10F	C5
110	BB	111	16	112	00	113	00
114	0A	115	87	116	03	117	71
118	3E	119	13	11A	A1	11B	23
11C	A1	11D	82	11E	9B	11F	FF
120	F9	121	86	122	A0	123	00
124	E9	125	16	126	05	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 16B, dimensione di blocco 4B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo FIFO, politica di scrittura write-through e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

				SET 0	SET 1		MEM
m/h				linea0	linea1	linea0	linea1
1	10A						
	000100001010	miss	set 0	0EDFAAB3			
	0		tag 000100001	000100001			
2	10D					F1C2C3C5	
	000100001101	miss	set 1	0EDFAAB3		F1BBC3C5	MEM[10D]=BB
	BB		tag 000100001	000100001		000100001	
3	10F						
	000100001111	hit	set 1	0EDFAAB3		F1BBC304	MEM[10F]=04
	04		tag 000100001	000100001		000100001	
4	10E						
	000100001110	hit	set 1	0EDFAAB3		F1BBFF04	MEM[10E]=FF
	FF		tag 000100001	000100001		000100001	
5	118						
	000100011000	miss	set 0	0EDFAAB3	3E13A123	F1BBFF04	
	0		tag 000100011	000100001	000100011	000100001	
6	11E						
	000100011110	miss	set 1	0EDFAAB3	3E13A123	F1BBFF04	A1829BFF
	0		tag 000100011	000100001	000100011	000100001	000100011
7	10A						
	000100001010	hit	set 0	0EDF44B3	3E13A123	F1BBFF04	A1829BFF
	44		tag 000100001	000100001	000100011	000100001	000100011
8	125						
	000100100101	miss	set 1	0EDF44B3	3E13A123	E9160500	A1829BFF
	0		tag 000100100	000100001	000100011	000100100	000100011

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo (binario)	l/s	byte scritto (HEX)	ind	byte	ind	byte	ind	byte	ind	byte
1	000100001011	s	E4	100	08	101	0A	102	D7	103	02
2	000100001101	l		104	1F	105	00	106	80	107	E0
3	000100001101	l		108	AE	109	73	10A	AF	10B	23
4	000100011100	s	12	10C	A1	10D	42	10E	90	10F	75
5	000100011010	l		110	B9	111	16	112	FD	113	D0
6	000100011101	s	B1	114	0A	115	07	116	03	117	71
7	000100000001	l		118	3E	119	D3	11A	71	11B	23
8	000100000010	s	9D	11C	A1	11D	8A	11E	90	11F	15
				120	F9	121	86	122	A0	123	00
				124	E9	125	16	126	05	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 32B, dimensione di blocco 4B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo LRU, politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

				SET 00	SET 10	SET 11	MEM
m/h				linea0	linea1	linea0	linea1
1	10B						
	000100001011	miss	set				
	E4		tag				
2	10D						
	000100001101	miss	set				
			tag				
3	10D						
	000100001101	hit	set				
			tag				
4	11C						
	000100011100	miss	set				
	12		tag				
5	11A						
	000100011010	miss	set				
			tag				
6	11D						
	000100011101	hit	set				
	B1		tag				
7	101						
	000100000001	miss	set				
			tag				
8	102						
	000100000010	hit	set				
	9D		tag				

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo (binario)	l/s	byte scritto (HEX)	ind	byte	ind	byte	ind	byte	ind	byte
				100	08	101	00	102	07	103	02
				104	00	105	00	106	00	107	00
1	000100001001	s	FF	108	AE	109	59	10A	AD	10B	23
2	000100001101	l		10C	A1	10D	42	10E	90	10F	75
3	000100001110	s	30	110	B9	111	16	112	00	113	00
4	000100011100	l		114	0A	115	07	116	03	117	71
5	000100001000	s	54	118	3E	119	13	11A	71	11B	23
6	000100011110	l		11C	A1	11D	82	11E	90	11F	15
7	000100001010	s	B8	120	FF	121	C6	122	AD	123	00
8	000100100001	l		124	E9	125	16	126	05	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 16B, dimensione di blocco 2B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo LRU, politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

				SET 00	SET 01	SET 10	SET 11	MEM
m/h				0	1	0	1	
1	109			AE59				
	000100001001	miss	set	00				
	FF		tag	000100001				
2	10D			AEFF				
	000100001101	miss	set	10		A142		
			tag	000100001		000100001		
3	10E						9075	
	000100001110	miss	set	11		A142	3075	
	30		tag	000100001		000100001	000100001	
4	11C			AEFF		A142	A182	3075
	000100011100	miss	set	10				
			tag	000100011	000100001	000100001	000100011	000100001
5	108			54FF		A142	A182	3075
	000100001000	hit	set	00				
	54		tag	000100001	000100001	000100001	000100011	000100001
6	11E			54FF		A142	A182	3075
	000100011110	miss	set	11				9015
			tag	000100011	000100001	000100001	000100011	000100001
7	10A				AD23			
	000100001010	miss	set	01				
	B8		tag	000100001	000100001	000100001	000100011	000100001
8	121			54FF	FFC6	B823	A142	A182
	000100100001	miss	set	00				3075
	AA		tag	000100100	000100100	000100001	000100011	000100001

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo (binario)	l/s	byte scritto (HEX)	ind	byte	ind	byte	ind	byte	ind	byte
1	000100001010	l		100	08	101	00	102	07	103	02
2	000100001110	l		104	00	105	00	106	00	107	00
3	000100001101	l		108	1F	109	B4	10A	6A	10B	D3
4	000100011111	s	64	10C	A1	10D	42	10E	90	10F	75
5	000100011010	s	B9	110	B9	111	16	112	00	113	00
6	000100001101	s	57	114	0A	115	07	116	03	117	71
7	000100001001	l		118	FE	119	A9	11A	75	11B	A3
8	000100100011	s	17	11C	A1	11D	82	11E	90	11F	15
				120	F9	121	F6	122	AB	123	C0
				124	E9	125	B6	126	F5	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 16B, dimensione di blocco 8B, inizialmente vuota, e ad associazione diretta (politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

				MEM	
				m/h	
				linea0	linea1
1	10A				
	000100001010	miss	set	1	1FB46AD3A1429075
			tag	00010000	00010000
2	10E				
	000100001110	hit	set	1	1FB46AD3A1429075
			tag	00010000	00010000
3	10D				
	000100001101	hit	set	1	1FB46AD3A1429075
			tag	00010000	00010000
4	11F				FEA975A3A1829015
	000100011111	miss	set	1	FEA975A3A1829064
	64		tag	00010001	00010001
5	11A				FEA9B9A3A1829064
	000100011010	hit	set	1	00010001
	B9		tag	00010001	1FB46AD3A1429075
6	10D				1FB46AD3A1579075
	000100001101	miss	set	1	1FB46AD3A1579075
	57		tag	00010000	00010000
7	109				
	000100001001	hit	set	1	1FB46AD3A1579075
			tag	00010000	00010000
8	123			F9F6ABC0E9B6F500	
	000100100011	miss	set	0	F9F6AB17E9B6F500
	17		tag	00010010	00010000

MEM[118-11F] = FEA9B9A3A1829064