

## ACCESSO ALLA MEMORIA

Quante volte la CPU deve accedere alla memoria quando **preleva ed esegue** un'istruzione con modo di indirizzamento indiretto se l'istruzione ha un solo operando ?

- a) 2
- b) 3**
- c) 1
- d) 4
- f) nessuna delle risposte precedenti `e corretta;

Quante volte la CPU deve accedere alla memoria quando **preleva ed esegue** un'istruzione che ha due operandi, uno con modo di indirizzamento diretto e uno con modo di indirizzamento indiretto ?

- a) 2
- b) 3
- c) 1
- d) 4**
- f) nessuna delle risposte precedenti `e corretta;

Quante volte la CPU deve accedere alla memoria quando **preleva ed esegue** un'istruzione che ha due operandi, uno con modo di indirizzamento immediato e uno con modo di indirizzamento diretto?

- a) 2**
- b) 3
- c) 1
- d) 4
- e) nessuna delle risposte precedenti

## VIRGOLA MOBILE

Si consideri la rappresentazione di numeri a virgola mobile che utilizza 3 bit per il campo esponente e 4 bit per la mantissa. Il numero -7,3 viene rappresentato dalla sequenza di bit:

- a) 11011101
- b) 10101101
- c) 11101101
- d) 11101010
- e) nessuna delle risposte precedenti `e corretta;

Si consideri la rappresentazione di numeri a virgola mobile che utilizza 4 bit per il campo esponente e 11 bit per la mantissa. Il numero -41,125 viene rappresentato dalla sequenza di bit:

- a) 1110001001001000
- b) 1010101001001000
- c) 1010010010001100
- d) 1010010010000101
- e) nessuna delle risposte precedenti `e corretta

Si consideri la seguente rappresentazione in virgola mobile a singola precisione (IEEE 754)

11000000111010100000000000000000

Il numero rappresentato `e:

- a) -7,3125
- b) -1,828125
- c) 1,828125
- d) 7,3125
- e) nessuna delle risposte precedenti

## MIPS

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale:

```
LW $5, 80($0)
SUB $2, $0, $3
LW $3, 800($2)
SUBI $3, $3, 3
ADDI $2, $2, 4
SW $3, 108($2)
SUB $4, $5, $3
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, senza possibilità di data-forwarding, ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. L'esecuzione completa del codice avviene in un numero di cicli di clock pari a

- a) 13
- b) 15
- c) 19
- d) 17
- e) nessuna delle risposte precedenti

## Domande a risposta multipla

es1

Quante volte la CPU deve accedere alla memoria quando **preleva ed esegue** un'istruzione che ha due operandi, uno con modo di indirizzamento immediato e uno con modo di indirizzamento indiretto ?

☒ a 3

☐ b 2

☐ c 1

☐ d 4

☐ e nessuna delle risposte precedenti

es2

Si consideri la seguente rappresentazione in virgola mobile a singola precisione (IEEE 754)

00111110001110000000000000000000

Il numero rappresentato è:

☐ a 1,4375

☐ b -0,1796875

☐ c 0,1796875

☐ d -1,4375

☐ e nessuna delle risposte precedenti

# APPELLO 09/07/2019

## SECONDA PARTE:

### CROCETTE

1) Quante volte la CPU deve accedere alla memoria quando preleva ed esegue un'istruzione che ha due operandi, uno con modo di indirizzamento diretto ed uno con modo di indirizzamento indiretto?

RX: 1, 2, 3, 4, nessuna precedenti

SOL: 4

2) Si consideri la seguente rapp. in virgola mobile a singola precisione (IEEE754):

11000011000000000110001000000000

1|1000 0110|0000 0000 1100 0100...0 (campi separati)

RX: 1.0029907...; -1.0029907...; 28.38281; -28.38281; nessuna precedenti

SOL: nessuna delle precedenti. Risultato = -128.3828125

3) Date queste istruzioni su un sistema MIPS 5 fasi con possibilità di lettura/scrittura nello stesso ciclo, quanti cicli di stallo avrò alla fine dell'esecuzione?

SUBI \$1, \$3, 11

SW \$3, 8(\$1)

ADD \$3, \$1, \$2

ADDI \$1, \$3, 4

RX: 2, 4, 6, 8, nessuna precedenti

SOL: 2 o 6 (non sicuro, da revisionare)

### es3

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale

```
SW    $3, 80($0)
ADD   $2, $3, $1
LW    $1, 800($2)
SUBI  $1, $1, 3
ADDI  $2, $2, 4
SW    $1, 108($2)
SUB   $4, $3, $1
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, senza possibilità di data-forwarding, ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. L'esecuzione completa del codice avviene in un numero di cicli di clock pari a

☐ a 13

☐ b 15

☐ c 19

☐ d 14

☐ e nessuna delle risposte precedenti

**es1**

Quante volte la CPU deve accedere alla memoria quando **preleva ed esegue** un'istruzione che ha due operandi, uno con modo di indirizzamento registro indiretto e uno con modo di indirizzamento registro ?

- ☐ a 1 ☐ b 2
- ☐ c 4 ☐ d 3
- ☐ e nessuna delle risposte precedenti

**es2**

Si consideri il numero -7,2851562. Qual'è la sua rappresentazione in virgola mobile a singola precisione (IEEE 754) ?

- ☐ a 01000000111010010010000000000000 ☐ b 11101001001000000000000010000001
- ☐ c 11101001001000000000000010000001 ☐ d 11000000111010010010000000000000
- ☐ e nessuna delle risposte precedenti

es1: b

es2:

**es3**

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione con possibilità di data forwarding e di scrittura e successiva lettura dei registri in uno stesso ciclo di clock:

LW \$3, 3(\$1)  
SUB \$1, \$4, \$3  
SW \$1, 11(\$3)  
ADDI \$3, \$1, 24

Quale delle seguenti sequenze riordinate corrisponde ad un programma logicamente equivalente al precedente ed è completato in meno cicli di clock:

- |                            |   |                            |   |
|----------------------------|---|----------------------------|---|
| <input type="checkbox"/> a | SW \$1, 11(\$3)<br>LW \$3, 3(\$1)<br>SUB \$1, \$4, \$3<br>ADDI \$3, \$1, 24 | <input type="checkbox"/> b | LW \$3, 3(\$1)<br>SW \$1, 11(\$3)<br>SUB \$1, \$4, \$3<br>ADDI \$3, \$1, 24 |
| <input type="checkbox"/> c | LW \$3, 3(\$1)<br>ADDI \$3, \$1, 24<br>SW \$1, 11(\$3)<br>SUB \$1, \$4, \$3 | <input type="checkbox"/> d | LW \$3, 3(\$1)<br>SUB \$1, \$4, \$3<br>ADDI \$3, \$1, 24<br>SW \$1, 11(\$3) |
| <input type="checkbox"/> e | nessuna delle risposte precedenti   |                            |   |

es3

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale

```
SW  $3, 80($0)
ADD $2, $3, $1
LW  $1, 800($2)
SUBI $1, $1, 3
ADDI $2, $2, 4
SW  $1, 108($2)
SUB $4, $3, $1
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, senza possibilità di data-forwarding, ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. L'esecuzione completa del codice avviene in un numero di cicli di clock pari a

- ☐ a 13 ☐ b 15  
☐ c 19 ☐ d 14  
☐ e nessuna delle risposte precedenti

### Domande a risposta multipla

es1

Quante volte la CPU deve accedere alla memoria quando preleva ed esegue un'istruzione che ha due operandi, uno con modo di indirizzamento diretto e uno con modo di indirizzamento indiretto?

- ☐ a 2 ☐ b 3  
☐ c 1 ☒ d 4  
☐ e nessuna delle risposte precedenti

es2

Si consideri la seguente rappresentazione in virgola mobile a singola precisione (IEEE 754)  
01000001001100010000000000000000  
Il numero rappresentato è:

- ☐ a 1,3828125 ☐ b NaN  
☒ c 11,0625 ☐ d 5,53125  
☐ e nessuna delle risposte precedenti

es3

Sia data la seguente sequenza di istruzioni MIPS:

```
ADDI $1, $2, 4
OR   $2, $1, $3
LW   $3, 20($1)
SUB  $1, $2, $4
BEQ  $3, $2, 8
```

Si consideri la pipeline a 5 stadi vista a lezione SENZA possibilità di data forwarding ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. L'esecuzione completa del codice richiede un numero di cicli di stallo pari a:

- ☒ a 3 ☐ b 4  
☐ c 5 ☐ d 6  
☐ e nessuna delle risposte precedenti



**Domanda 4**

Risposta non ancora data

Punteggio max.: 10,00

🚩 Contrassegna domanda

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione con possibilità di data forwarding:

ADD \$1, \$3, \$4

SW \$3, 5 (\$2)

LW \$4, 22 (\$1)

SUB \$1 \$2 \$3

Quale delle seguenti sequenze riordinate corrisponde ad un programma logicamente equivalente al precedente ed è completato in un numero minore o uguale di cicli di clock:

Scegli un'alternativa:

- ☐ a. SW \$3, 5 (\$2)  
LW \$4, 22 (\$1)  
ADD \$1, \$3, \$4  
SUB \$1 \$2 \$3
- ☐ b. LW \$4, 22 (\$1)  
ADD \$1, \$3, \$4  
SW \$3, 5 (\$2)  
SUB \$1 \$2 \$3
- ☐ c. SW \$3, 5 (\$2)  
ADD \$1, \$3, \$4  
LW \$4, 22 (\$1)  
SUB \$1 \$2 \$3
- ☐ d. ADD \$1, \$3, \$4  
SUB \$1 \$2 \$3  
SW \$3, 5 (\$2)  
LW \$4, 22 (\$1)
- ☐ e. nessuna delle precedenti.

**Domanda 5**

Risposta non ancora data

Punteggio max.: 10,00

🚩 Contrassegna domanda

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione con possibilità di data forwarding:

LW \$1, 3(\$3)

ADD \$4 \$1, \$2

SW \$2, 82(\$3)

ADDI \$2, \$3 83

Quale delle seguenti sequenze riordinate corrisponde ad un programma logicamente equivalente al precedente ed è completato in meno cicli di clock:

Scegli un'alternativa:

- ☐ a. LW \$1, 3(\$3)  
ADD \$4, \$1, \$2  
ADDI \$2, \$3 83  
SW \$2, 82(\$3)
- ☐ b. LW \$1, 3(\$3)  
SW \$2, 82(\$3)  
ADD \$4, \$1, \$2  
ADDI \$2, \$3 83
- ☐ c. LW \$1, 3(\$3)  
ADDI \$2, \$3 83  
ADD \$4, \$1, \$2  
SW \$2, 82(\$3)
- ☐ d. W \$2, 82(\$3)  
LW \$1, 3(\$3)  
ADD \$4, \$1, \$2  
ADDI \$2, \$3 83
- ☐ e. nessuna delle precedenti.



**Domanda 6**

Risposta non ancora data

Punteggio max.: 10,00

Contrassegna domanda

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione con possibilità di data forwarding:

SW \$3, 5 (\$2)

LW \$4, 22 (\$1)

ADD \$1, \$3, \$4

SUB \$1 \$2 \$3

Quale delle seguenti sequenze riordinate corrisponde ad un programma logicamente equivalente al precedente ed è completato in meno cicli di clock:

Scegli un'alternativa:

☐ a. LW \$4, 22 (\$1)

SW \$3, 5 (\$2)

ADD \$1, \$3, \$4

SUB \$1 \$2 \$3

☐ b. ADD \$1, \$3, \$4

SW \$3, 5 (\$2)

LW \$4, 22 (\$1)

SUB \$1 \$2 \$3

☐ c. SW \$3, 5 (\$2)

ADD \$1, \$3, \$4

LW \$4, 22 (\$1)

SUB \$1 \$2 \$3

☐ d. LW \$4, 22 (\$1)

ADD \$1, \$3, \$4

SW \$3, 5 (\$2)

SUB \$1 \$2 \$3

☐ e. nessuna delle precedenti.

**Domanda 7**

Risposta non ancora data

Punteggio max.: 10,00

Contrassegna domanda

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione:

SW \$2, 21(\$1)

SUB \$3, \$2, \$1

ADD \$3, \$2, \$4

ADD \$4, \$1, \$3

Indicare quale delle seguenti affermazioni è vera:

Scegli un'alternativa:

☐ a. Nella seconda istruzione la dipendenza di tipo RAW per il registro 2 viene gestita con un data forwarding dalla fase EX della prima istruzione alla fase EX della seconda.

☐ b. Nella seconda istruzione la dipendenza di tipo RAW per il registro 2 viene gestita con un data forwarding dalla fase MEM della prima istruzione alla fase EX della seconda.

☐ c. L'esecuzione completa con data forwarding richiede 8 cicli di clock.

☐ d. A causa delle due dipendenze di tipo RAW per il registro 3, l'esecuzione dell'ultima istruzione viene gestita con un doppio data forwarding: dalla fase EX della seconda istruzione e dalla fase EX della terza istruzione alla fase EX della quarta.

☐ e. Nessuna delle precedenti.

**Domanda 10**

Risposta non ancora data

Punteggio max.: 10,00

Contrassegna domanda

Si consideri la seguente sequenza di istruzioni MIPS, indicare quale delle seguenti affermazioni è vera:

SUB \$3 \$1 \$2

ADD \$4 \$2 \$3

LW \$2 0 (\$1)

ADD \$2 \$3 \$1

BEQ \$1 \$4 24

Scegli un'alternativa:

☐ a. L'ultima istruzione corrisponde ad un salto sicuramente preso.

☐ b. A seguito dell'istruzione LW i registri 1 e 2 hanno lo stesso valore.

☐ c. Non si può sapere se l'ultima istruzione corrisponde ad un salto sicuramente preso o non preso, perché dipende dai valori contenuti nei registri.

☐ d. Se l'istruzione LW fosse anticipata all'inizio della sequenza allora il comportamento dell'ultima istruzione di salto potrebbe cambiare.

☐ e. Nessuna della precedenti.



Domanda **8**

Risposta non ancora data

Punteggio max.: 10,00

Contrassegna domanda

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione:

ADD \$4, \$3, \$2

ADDI \$4, \$4, 4

LW \$3, 22(\$4)

Indicare quale delle seguenti affermazioni è vera:

Scegli un'alternativa:

- ☐ a. L'esecuzione completa con data forwarding richiede 7 cicli di clock mentre l'esecuzione senza data forwarding ne richiede 9.
- ☐ b. L'esecuzione completa senza data forwarding richiede tre stalli.
- ☐ c. L'esecuzione con data forwarding richiede 7 cicli di clock mentre l'esecuzione senza data forwarding ne richiede 11.
- ☐ d. L'esecuzione completa senza data forwarding richiede 10 cicli di clock.
- ☐ e. Nessuna delle precedenti.

Domanda **9**

Risposta non ancora data

Punteggio max.: 10,00

Contrassegna domanda

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione:

SUB \$4, \$2, \$1

LW \$4, 20(\$1)

SUB \$2, \$3, \$4

ADD \$1, \$2, \$4

Indicare quale delle seguenti affermazioni è vera:

Scegli un'alternativa:

- ☐ a. La seconda istruzione ha una dipendenza di tipo RAW dalla prima, risolvibile con un data forward.
- ☐ b. L'esecuzione della terza istruzione richiede il forward del valore del registro 4 a partire dalla fase EX della seconda istruzione.
- ☐ c. L'esecuzione completa con data forwarding richiede 9 cicli di clock di cui 1 di stallo.
- ☐ d. L'esecuzione completa con data forwarding richiede 9 cicli di clock di cui 2 di stallo.
- ☐ e. Nessuna delle precedenti.

