

## Prima Parte

Da non compilare se si è superato il compitino con un voto soddisfacente.  
Non si può consegnare solo la prima parte se non si è già superata la seconda parte.

### Domande a risposta multipla

es1

Relativamente ad un bus sincrono, quale fra le seguenti affermazioni è falsa ?

- ☐ a) gli eventi sono determinati da un clock
- ☐ b) tutti i dispositivi connessi possono leggere la linea di clock
- ☐ c) tutti gli eventi partono dall'inizio di un ciclo di clock
- ☐ d) non occorre un arbitro per assegnare l'uso del bus

es2

Si consideri una cache set-associativa a 8 vie (8-way) da 16MB. La cache è inserita in una gerarchia di memoria insieme ad una memoria centrale suddivisa in  $2^{20}$  blocchi e di 2GB. Assumendo un indirizzamento al singolo byte, il formato degli indirizzi della memoria centrale è:

- ☐ a)  $\underbrace{9 \text{ bit}}_{\text{tag}} \underbrace{11 \text{ bit}}_{\text{set}} \underbrace{11 \text{ bit}}_{\text{word}}$
- ☐ b)  $\underbrace{11 \text{ bit}}_{\text{tag}} \underbrace{10 \text{ bit}}_{\text{set}} \underbrace{10 \text{ bit}}_{\text{word}}$
- ☐ c)  $\underbrace{11 \text{ bit}}_{\text{tag}} \underbrace{9 \text{ bit}}_{\text{set}} \underbrace{11 \text{ bit}}_{\text{word}}$
- ☐ d)  $\underbrace{10 \text{ bit}}_{\text{tag}} \underbrace{10 \text{ bit}}_{\text{set}} \underbrace{11 \text{ bit}}_{\text{word}}$

es3

Si consideri una cache di 32MB con associazione a gruppi a 8 vie (8-way set associative) e dimensione di linea di 1KB. Supponendo che il campo tag sia di 14 bit, la dimensione massima (in byte) di memoria principale che la cache è in grado di gestire è:

- ☐ a) 32GB
- ☐ b) 4GB
- ☐ c) 512MB
- ☐ d) 256MB
- ☐ e) nessuna delle risposte precedenti

Nome e Cognome:

Matricola:

## Domande a risposta libera

es4

Spiegare a cosa serve il bus di sistema, e come questo è strutturato

es5

Spiegare in dettaglio come funziona il codice di correzione di Hamming. Dare un esempio concreto di codifica nel caso di memorizzazione di un insieme di 8 bit.

**Nome e Cognome:**

**Matricola:**

**Pagina 5**

**es6**

Nel contesto di una gerarchia di memoria, spiegare come funziona la politica di scrittura write-back.  
Discutere criticamente i problemi che possono sorgere nell'adottarla.

**es7**

Discutere il modo in cui le informazioni sono organizzate in un CD-ROM (formato dati).

Nome e Cognome:

## Esercizio

es8

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo (binario)	l/s	byte scritto (HEX)
1	000100001000	l	F4
2	000100001100	s	
3	000100001111	s	
4	000100011101	l	
5	000100001001	l	89
6	000100011111	s	
7	000100001011	s	F6
8	000100100000	l	

ind	byte	ind	byte	ind	byte	ind	byte
100	08	101	00	102	07	103	02
104	00	105	00	106	00	107	00
108	AE	109	59	10A	AD	10B	23
10C	A1	10D	42	10E	90	10F	75
110	B9	111	16	112	00	113	00
114	0A	115	07	116	03	117	71
118	3E	119	13	11A	71	11B	23
11C	A1	11D	82	11E	90	11F	15
120	FF	121	C6	122	AD	123	00
124	E9	125	16	126	05	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 32B, dimensione di blocco 2B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo LRU, politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

## Soluzione (da compilare)

- Indicare di seguito in quali campi (e la loro dimensione) gli indirizzi emessi dalla CPU sono suddivisi:
- Indicare di seguito in quante linee/set la cache è suddivisa:

Indicare l'evoluzione della cache e della modifica della memoria nello schema sottostante:

Indirizzo	hit/ miss	Cache (per ogni linea di cache indicare il contenuto del campo tag)	Modifica memoria $M[ind.] = \text{contenuto}$

continuare nella pagina seguente

## Seconda Parte

Non si può consegnare solo la seconda parte se non si è già superata la prima parte con il compito.  
Il compito completo è superato se si ottiene la sufficienza per entrambe le parti.

### Domande a risposta multipla

es1

Quante volte la CPU deve accedere alla memoria quando preleva ed esegue un'istruzione che ha due operandi, uno con modo di indirizzamento diretto e uno con modo di indirizzamento indiretto?

☐ a 2

☐ b 3

☐ c 1

☐ d 4

☐ e nessuna delle risposte precedenti

es2

Si consideri il numero 0,1796875. Qual'è la sua rappresentazione in virgola mobile a singola precisione (IEEE 754)?

☐ a 01000011000000000110001000000000

☐ b 10010000011000100000000010000110

☐ c 00010000011000100000000010000110

☐ d 11000011000000000110001000000000

☐ e nessuna delle risposte precedenti

es3

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale

```
SW    $3, 80($0)
ADD   $2, $3, $1
LW    $1, 800($2)
SUBI  $1, $1, 3
ADDI  $2, $2, $1
LW    $1, 108($2)
SUB   $4, $3, $1
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, senza possibilità di data-forwarding, ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. L'esecuzione completa del codice avviene in un numero di cicli di clock pari a

☐ a 13

☐ b 15

☐ c 19

☐ d 14

☐ e nessuna delle risposte precedenti

Nome e Cognome:

Matricola:

Pagina 9

## Domande a risposta libera

es4

Si spieghi in dettaglio lo schema per realizzare la moltiplicazione fra numeri a virgola mobile nello standard IEEE 754.

es5

Si descriva nel dettaglio la modalità di indirizzamento con spiazzamento

**es6**

Nel contesto di una pipeline, descrivere nel dettaglio la tecnica del data-forwarding: a cosa serve ? come funziona ? di che supporto hardware ha bisogno ?

**es7**

Spiegare nel dettaglio la differenza fra una architettura CISC e una architettura RISC.

Nome e Cognome:

Matricola:

Pagina 11

## Esercizio

es8

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale

SW \$3, A10(\$0)  
SUB \$4, \$0, \$3  
LW \$1, F0(\$3)  
ADDI \$1, \$4, 3  
SUBI \$4, \$1, 1  
LW \$1, 328(\$1)  
SUB \$5, \$1, \$4

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock:

- mostrare come evolve la pipeline durante l'esecuzione del codice, spiegando nel dettaglio i motivi di un eventuale stallo o dell'utilizzo di un particolare circuito di by-pass.

Soluzione (da compilare)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
SW \$3, A10(\$0)																				
SUB \$4, \$0, \$3																				
LW \$1, F0(\$3)																				
ADDI \$1, \$4, 3																				
SUBI \$4, \$1, 1																				
LW \$1, 328(\$1)																				
SUB \$5, \$1, \$4																				

Commenti alla soluzione: