Esercizio Cache 5

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

				ind	byte	ind	byte	ind	byte	ind	byte
#	indirizzo	l/s	byte				•		Ü		·
			scritto	100	08	101	DO	102	07	103	02
	(binario)		(HEX)	104	00	105	00	106	00	107	00
1	000100001000	s	43	108	ΑE	109	13	10A	A1	10B	23
2	000100001100	s	3F	10C	A1	10D	42	10E	90	10F	75
3	000100001111	1		110	BB	111	16	112	00	113	00
4	000100001101	1		114	OA	115	87	116	03	117	71
5	000100010100	1		118	3E	119	13	11A	A1	11B	23
6	000100011111	s	AE	11C	A1	11D	82	11E	90	11F	15
7	000100000111	s	CD	120	F9	121	86	122	AO	123	00
8	000100100110	1		124	E9	125	16	126	05	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 16B, dimensione di blocco 2B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo LRU, politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

Soluzione (da compilare)

- Indicare di seguito in quali campi (e la loro dimensione) gli indirizzi emessi dalla CPU sono suddivisi:
- Indicare di seguito in quante linee/set la cache è suddivisa:

Indicare l'evoluzione della cache e della modifica della memoria nello schema sottostante:

$\begin{array}{ c c c c c c c c c c c c c c c c c c c$		$\operatorname{Indirizzo}$	hit/	Cache	Modifica memoria
			miss	(per ogni linea di cache indicare il contenuto del campo tag)	M[ind.] = contenuto
	Ì				

continuare nella pagina seguente

Indirizzo	hit/ miss	Cache (per ogni linea di cache indicare il contenuto del campo tag)	Modifica memoria M[ind.] = contenuto
	IIIISS	уст одни инси ит систе тинсите и сотчетино или ситеро tag)	mina.j — comenuto