

APPELLO 09/07/2019

SECONDA PARTE:

CROCETTE

1) Quante volte la CPU deve accedere alla memoria quando preleva ed esegue un'istruzione che ha due operandi, uno con modo di indirizzamento diretto ed uno con modo di indirizzamento indiretto?

RX: 1, 2, 3, 4, nessuna precedenti

SOL: 4

2) Si consideri la seguente rapp. in virgola mobile a singola precisione (IEEE754):

11000011000000000110001000000000

1|1000 0110|0000 0000 1100 0100...0 (campi separati)

RX: 1.0029907...; -1.0029907...; 28.38281; -28.38281; nessuna precedenti

SOL: nessuna delle precedenti. Risultato = -128.3828125

3) Date queste istruzioni su un sistema MIPS 5 fasi con possibilità di lettura/scrittura nello stesso ciclo, quanti cicli di stalli avrò alla fine dell'esecuzione?

SUBI \$1, \$3, 11

SW \$3, 8(\$1)

ADD \$3, \$1, \$2

ADDI \$1, \$3, 4

RX: 2, 4, 6, 8, nessuna precedenti

SOL: 2 o 6 (non sicuro, da revisionare)

DOMANDE

4) Si spieghi in dettagli l'HW tipicamente adottato per realizzare la somma e la sottrazione dei numeri interi rappresentati in complemento a due.

SOL: TODO

5) Si descriva l'implementazione delle istruzioni attraverso la tecnica della microprogrammazione e si dica se questa tecnica viene utilizzata per microprocessori RISC o CISC e motivare la risposta.

SOL: TODO

6) Spiegare in dettaglio come un architettura RISC possa trattare efficacemente la chiamata annidata di procedure.

SOL: TODO

7) Spiega il funzionamento della Hazard Detection Unit nella pipeline del microprocessore MIPS.

SOL: TODO

PIPELINE

8) Esercizio pipeline 5 stadi, possibilita' di forwarding e lettura scrittura stesso ciclo di clock. Con commento finale

1 SUB \$4, \$1, \$3

2 ADDI \$1, \$4, 7

3 LW \$1, 31(\$4)

4 SW \$4, 31(\$4)

5 ADD \$2, \$1, \$3

6 ADD \$2, \$4, \$3

7 SUB \$4, \$1, \$2