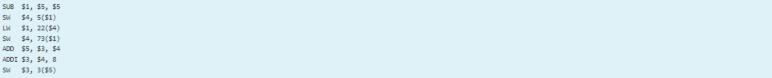
800 🐠 💳 Domanda 1 Quante volte la CPU deve accedere alla memoria quando preleva ed eseque un'istruzione che ha due operandi, uno con modo di indirizzamento immediato e uno con modo di indirizzamento registro? Risposta errata Scegli un'alternativa: Punteggio ottenuto 0,00 su a, 2 x 2.00 O b. 3 Contrassegna O c. 1 domanda O d. 4 e. Nessuna delle precedenti. Risposta errata. La risposta corretta è: 1 Domanda 2 Dato il numero -5,640625 la sua rappresentazione in virgola mobile a singola precisione (IEEE 754) è: Risposta errata Punteggio Scegli un'alternativa: ottenuto 0,00 su 3.00 b. 010000001011010010000000000000000 Contrassegna domanda Od. 10110100100000000000000010000001 e. Nessuna delle precedenti. X Risposta errata. Domanda 3 Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione: Risposta SUB \$4, \$2, \$1 corretta LW \$4, 20(\$1) Punteggio ottenuto 3,00 su SUB \$2, \$3, \$4 3.00 ADD \$1, \$2, \$4 Contrassegna Indicare quale delle seguenti affermazioni è vera: domanda Scegli un'alternativa: 🏿 a. L'ultima istruzione ha una dipendenza di tipo RAW sia con la seconda che con la terza istruzione. Entrambi vengono risolte senza l'introduzione di stalli. 🗸 o b. L'esecuzione completa senza data forwarding richiede 2 cicli di stallo in più rispetto a quelli richiesti dall'esecuzione completa con data forwarding. O c. L'esecuzione completa con data forwarding richiede 8 cicli di clock senza alcuno stallo. O d. L'esecuzione completa senza data forwarding richiede 11 cicli di clock di cui 4 di stallo. e. Nessuna delle precedenti.

Si spieghi in dettaglio lo schema per realizzare la moltiplicazione fra numeri a virgola mobile nello standard IEEE 754.

Discutere vantaggi e svantaggi di una codifica delle istruzioni a lunghezza fissa.

Nel contesto della pipeline, si motivi e si spieghi in dettaglio la tecnica del salto ritardato (delayed branch).



Sia data la seguente seguenza di istruzioni dove i dati immediati sono espressi in esadecimale

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data- forwarding e con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock:

• evidenziare le dipendenze dai dati presenti e mostrare come evolve la pipeline durante l'esecuzione del codice, spiegando nel dettaglio i motivi di un eventuale stallo o dell'utilizzo di un particolare circuito di by-pass.

					1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
SUB	\$1,	\$5	\$5		IF	ID	EXE	MEM	WB															
SW	\$4,	5(1)			IF	ID	EXE	MEM	WB														
LW	\$1,	22	(\$4)				IF	ID	EXE	MEM	WB													
SW	\$4,	73	(\$1)					IF	ID	ID	EXE	MEM												
ADD	\$5,	\$3	\$4						IF	HF.	ID	EXE	MEM	WB										
ADDI	\$3,	\$4	, 8								IF	ID	EXE	MEM	WB									
SW	\$3,	3(55)									IF	ID	‡	#	EXE	MEM	WB						
	1	1		ОК	ж																			
	2	2		IF/I	D.IR[RS]==ID/EXE[RD] ===> EX/MEM.ALUOUTPUT_SUB> EXE.ALUINPUT.TOP_SW																			
	3			ОК																				
	4	4		IF/I	D.IR[RS]	==ID/EXE[[RT] ===>	1 STALLO	MEM/WB	.LMD_LW	> EXE.ALUI	NPUT.TOP_	SW											
	5	5		ОК																				
	6	6		ОК																				
	7	7		\$3 -	- IF/ID.	IR[RT]==I	D/EXE[RT]	===> 2 STA	ALLI + SCRIT	TURA PRIM	A METà DEI	CICLO E LE	TTURA NELL	A SECONDA	A METà	\$5 - IF	/ID.IR[RS]=	EXE/MEN	I[RT] ===>	RISOLTA C	ON STALLI	DELLA DIP	ENDENZA	