Corso di **A**rchitettura degli Elaboratori

Anno Accademico 2018/2019 Compitino del 22 Novembre 2018

Istruzioni

- Scrivere Nome, Cognome e Matricola su ogni foglio (solo pagine dispari).
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicurarsi che non manchi alcun foglio al momento della consegna

Domande a risposta multipla

es1

Dovendo memorizzare il contenuto di 4 dischi in un sistema RAID, quale fra i livelli elencati di seguito necessita di più di 6 dischi ?

a livello 4

b livello 3

c livello 2

- d livello 6
- e tutti i livelli elencati non necessitano di più di N+1 dischi

es2

Si consideri un codice di correzione di Hamming su 16 bit. Dire quale sequenza di bit è memorizzata in memoria se si devono memorizzare i seguenti 16 bit 1101001111001110 di dati:

a 110100111100111010011

b 100111101001111001110

C 110101011110001110011

- d 110011100011110101011
- e nessuna delle risposte precedenti è corretta

es3

Sia dato un disco rigido con le seguenti caratteristiche:

- capacità di 8GB;
- 1 piatto (2 facce);
- 8192 tracce per faccia e 1024 settori per traccia;
- velocità di rotazione di 4200 rpm;
- tempo medio di posizionamento della testina di 2,75 ms.

Il tempo totale medio per trasferire (tempo di accesso totale medio, secondo il libro) 64KB memorizzati in settori contigui su una stessa traccia è di circa

a 9,892857 ms

b 10,785714 ms

c 7,142857 ms

d 11,678571 ms

e nessuna delle risposte precedenti è corretta

Domande a risposta libera

es4

Descrivere in dettaglio come è costruito e come funziona un bus.

es5

Spiegare in dettaglio il funzionamento di una cella di memoria di una DRAM.

Matricola:

Nome e Cognome:

es6

Spiegare in dettaglio l'organizzazione dei dati in un disco rigido. Inoltre, discutere le differenze con l'organizzazione dei dati in un CD-ROM.

es7

Descrivere la gestione dell'I/O tramite DMA.

Esercizio

es8

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo	1/s	byte scritto
	(binario)		(HEX)
1	000100001010	1	
2	000100001101	s	BB
3	000100001111	S	04
4	000100001110	s	FF
5	000100011000	1	
6	000100011110	- 1	
7	000100001010	s	44
8	000100100101	1	

ind	byte	ind	byte	ind	byte	ind	byte
100	08	101	DO	102	07	103	02
104	00	105	00	106	00	107	00
108	OE	109	DF	10A	AA	10B	B3
10C	F1	10D	C2	10E	C3	10F	C5
110	BB	111	16	112	00	113	00
114	OA	115	87	116	03	117	71
118	3E	119	13	11A	A 1	11B	23
11C	A1	11D	82	11E	9B	11F	FF
120	F9	121	86	122	AO	123	00
124	E9	125	16	126	05	127	00
	100 104 108 10C 110 114 118 11C	100 08 104 00 108 0E 10C F1 110 BB 114 0A 118 3E 11C A1 120 F9	100 08 101 104 00 105 108 0E 109 10C F1 10D 110 BB 111 114 0A 115 118 3E 119 11C A1 11D 120 F9 121	100 08 101 D0 104 00 105 00 108 0E 109 DF 10C F1 10D C2 110 BB 111 16 114 0A 115 87 118 3E 119 13 11C A1 11D 82 120 F9 121 86	100 08 101 D0 102 104 00 105 00 106 108 0E 109 DF 10A 10C F1 10D C2 10E 110 BB 111 16 112 114 0A 115 87 116 118 3E 119 13 11A 11C A1 11D 82 11E 120 F9 121 86 122	100 08 101 D0 102 07 104 00 105 00 106 00 108 0E 109 DF 10A AA 10C F1 10D C2 10E C3 110 BB 111 16 112 00 114 0A 115 87 116 03 118 3E 119 13 11A A1 11C A1 11D 82 11E 9B 120 F9 121 86 122 A0	100 08 101 D0 102 07 103 104 00 105 00 106 00 107 108 0E 109 DF 10A AA 10B 10C F1 10D C2 10E C3 10F 110 BB 111 16 112 00 113 114 0A 115 87 116 03 117 118 3E 119 13 11A A1 11B 11C A1 11D 82 11E 9B 11F 120 F9 121 86 122 A0 123

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 16B, dimensione di blocco 4B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo FIFO, politica di scrittura write-through e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia. Soluzione (da compilare)

- Indicare di seguito in quali campi (e la loro dimensione) gli indirizzi emessi dalla CPU sono suddivisi:
- Indicare di seguito in quante linee/set la cache è suddivisa:

Indicare l'evoluzione della cache e della modifica della memoria nello schema sottostante:

Indirizzo	hit/	Cache	Modifica memoria	
	miss	(per ogni linea di cache indicare il contenuto del campo tag)	M[ind.] = contenuto	
*				
		*		
ž.				

continuare nella pagina sequente