

Nome e Cognome:

Matricola:

Corso di  
Architettura degli Elaboratori

Anno Accademico 2015/2016

Compitino del 17 Novembre 2015

**Istruzioni**

- Scrivere *Nome*, *Cognome* e *Matricola* su **ogni** foglio (solo pagine **dispari**).
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicurarvi che non manchi alcun foglio al momento della consegna.

Nome e Cognome:

Matricola:

Pagina 2

## Domande a risposta multipla

### es1

Nella gestione programmata dell'I/O con I/O memory-mapped, quale delle seguenti informazioni non è vera ?

- |   |   |
|---|---|
| <input type="checkbox"/> a Non si presta all'uso di cache                 | <input type="checkbox"/> b I/O sembra proprio come lettura/scrittura di memoria                 |
| <input type="checkbox"/> c Non necessita di istruzioni speciali per l'I/O | <input type="checkbox"/> d Dispositivi e memoria condividono lo stesso spazio di indirizzamento |
| <input type="checkbox"/> e è compatibile con architetture a bus multipli  | <input type="checkbox"/> f nessuna delle risposte precedenti è corretta                         |

### es2

Si consideri un codice di correzione di Hamming su 16 bit. Dire quale sequenza di bit è memorizzata in memoria se si devono memorizzare i seguenti 16 bit 0100111000101011 di dati:

- |   |  |
|---|--|
| <input type="checkbox"/> a 01001110001010111110                         | <input type="checkbox"/> b 111110110100011010010 |
| <input type="checkbox"/> c 11010100011100100111                         | <input type="checkbox"/> d 010010110001011011111 |
| <input type="checkbox"/> e nessuna delle risposte precedenti è corretta |  |

### es3

Sia dato un disco rigido con le seguenti caratteristiche:

- capacità di 128GB;
- 1 piatto (2 facce);
- 16384 tracce per faccia e 8192 settori per traccia;
- velocità di rotazione di 10000 rpm;
- tempo medio di posizionamento della testina di 9,5 ms.

Il tempo totale medio per accedere a 128KB memorizzati in settori contigui su uno stesso cilindro è di circa

- |   |                                       |
|---|---------------------------------------|
| <input type="checkbox"/> a 12,59375 ms                                  | <input type="checkbox"/> b 15,6875 ms |
| <input type="checkbox"/> c 12,5875 ms                                   | <input type="checkbox"/> d 12,6875 ms |
| <input type="checkbox"/> e nessuna delle risposte precedenti è corretta |                                       |

Nome e Cognome:

Matricola:

Pagina 3

**Domande a risposta libera****es4**

Nel caso di trasmissione sincrona dei dati, spiegare come sono coordinati gli eventi (temporizzazione) all'interno di un bus.

**es5**

Qual è la differenza fra SRAM e DRAM in termini di velocità, capacità e prezzo ?

**Nome e Cognome:****Matricola:***Pagina 4***es6**

Nel contesto di una gerarchia di memoria, spiegare che problemi possono sorgere nell'adottare la politica di scrittura write-back in un calcolatore multiprocessore con memoria RAM condivisa. Spiegare come tali problemi possono essere risolti/ridotti.

**es7**

Descrivere i principi alla base del sistema RAID. Inoltre si descrivano in dettaglio i livelli 3 e 6 del RAID.

Nome e Cognome:

**Matricola:**

Pagina 5

## Esercizio

es8

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo	l/s	byte scritto (HEX)	ind	byte	ind	byte	ind	byte	ind	byte
	(binario)			100	08	101	00	102	07	103	02
				104	00	105	00	106	00	107	00
1	000100001001	l	AB 39	108	AE	109	59	10A	AD	10B	23
2	000100001101	s		10C	A1	10D	42	10E	90	10F	75
3	000100001110	s		110	B9	111	16	112	00	113	00
4	000100011100	l		114	0A	115	07	116	03	117	71
5	000100001000	s	D4	118	3E	119	13	11A	71	11B	23
6	000100011110	l		11C	A1	11D	82	11E	90	11F	15
7	000100001010	s	98	120	FF	121	C6	122	AD	123	00
8	000100100001	l		124	E9	125	16	126	05	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 32B, dimensione di blocco 2B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo LRU, politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

**Soluzione** (da compilare)

- Indicare di seguito in quali campi (e la loro dimensione) gli indirizzi emessi dalla CPU sono suddivisi:
- Indicare di seguito in quante linee/set la cache è suddivisa:

Indicare l'evoluzione della cache e della modifica della memoria nello schema sottostante:

Indirizzo	hit/ miss	Cache <i>(per ogni linea di cache indicare il contenuto del campo tag)</i>	Modifica memoria <i>M[ind.] = contenuto</i>

*continuare nella pagina seguente*

Nome e Cognome:

Matricola:

Pagina 6

Indirizzo	hit/ miss	Cache <i>(per ogni linea di cache indicare il contenuto del campo tag)</i>	Modifica memoria <i>M[ind.] = contenuto</i>