# esercizio pipeline

Sia data la seguente sequenza di istruzioni assembler:

```
LB $3, 30($0)
ADD $2, $0, $0
LB $1, 845($2)
ADDI $1, $1, 4
ADDI $2, $2, 3
SB $1, 82($2)
SUB $4, $3, $2
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. Si mostri il diagramma degli stadi della pipeline per l'esecuzione del codice.

## Soluzione

	CICLI CLOCK															commenti															
istruzione			Ī	1	 I	2	Ī	3	3	Ī	4	Ī	5	Ī	6	Ī	7		8	 I	9	I	10	Ī	11	Ī	12	Ī	13	I	
			1		 		 											 		 		1		1						-	
LB	\$3,	30(\$0)		IF	١.	I	DΙ	I	EΧ		ME		WB					-		- [				1							
ADD	\$2,	\$0, \$0	-		- 1	I	F	1	ID	1	EX	1	ME	-	WB	-		١		-		1		Ι		1		1		1	fw out-ALU -> in-ALU
LB	\$1,	845(\$2)	-		- [		- 1	]	ΙF	1	ID	1	ΕX	-	ME	-	WB	-		- [		1		Ι		1		1		1	fw MEM/WB.LMD -> in-ALU
ADDI	\$1,	\$1, 4	١		- 1		١			ı	IF	1	ID	١	ID	١	ΕX	١	ME	-	WB	1		ı		1		ı		ı	stallo
ADDI	\$2,	\$2, 3	١		- 1		١			ı			IF	١	IF	١	ID	١	EX	-	ME	1	WB	ı		1		ı		ı	<pre>fw MEM/WB.ALUOut -&gt; in-ALU</pre>
SB	\$1,	82(\$2)	١		- 1		١			ı		1		١		١	IF	١	ID	-	ID	1	EX	ı	ME	1	WB	ı		ı	stallo
SUB	\$4,	\$3, \$2	1		-		١			I		1		1		1		١	IF	-	IF	١	ID	I	EX	I	ME	I	WB	I	

# esercizio pipeline

Sia data la seguente sequenza di istruzioni assembler:

```
LB $3, 450($0)
ADD $2, $0, $0
LB $1, 558($2)
ADDI $2, $2, 5
SUB $4, $3, $2
ADDI $1, $1, 7
SB $1, 58($2)
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, senza possibilità di data-forwarding, ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. Si mostri il diagramma degli stadi della pipeline per l'esecuzione del codice.

### Soluzione

			CICLI	C
istruzione	1	2   3   4   5	6   7   8   9	10   11   12   13   14   15   16   17
	1		I I I	
LB \$3, 450(\$0)	IF	ID   EX   ME   WB		
ADD \$2, \$0, \$0	1	IF   ID   EX   ME	WB	
LB \$1, 558(\$2)			ID   EX   ME   WB	3
ADDI \$2, \$2, 5	1		IF   ID   EX   ME	E   WB
SUB \$4, \$3, \$2	1	1 1 1 1 1	IF   ID   ID	O   ID   EX   ME   WB
ADDI \$1, \$1, 7	1	1 1 1 1 1	IF   IF	
SB \$1, 58(\$2)	1	1 1 1 1 1	1 1 1	IF   ID   ID   EX   ME   WB

# esercizio pipeline

Sia data la seguente sequenza di istruzioni assembler:

```
LB $3, 450($0)
ADD $2, $0, $0
LB $1, 558($2)
ADDI $2, $2, 5
SUB $4, $3, $2
ADDI $1, $1, 7
SB $1, 58($2)
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. Si mostri il diagramma degli stadi della pipeline per l'esecuzione del codice.

## Soluzione

	CICLI CLOCK														С	ommenti															
istruzione			Ī	1	1	2		3	1	4	Ī	5	Ī	6	Ī	7	 I	8	 I	9	 I	10	 I	11	ī	12	Ī	13	I		
				-				 		 		 		. <u> </u>		1		 		 		 		 		 I		 		- 	
LB	\$3,	450	(\$0)	- 1	ΙF	1	ID	-	EX	1	ME	1	WB	I		1		-		-		-		- 1		-		I			
ADD	\$2,	<b>\$0</b> ,	\$0	- 1		- 1	IF	- [	ID	-	EX	1	ME	Ι	WB	1		-		-		-		- 1		-		Ι		f	w out-ALU -> in-ALU
LB	\$1,	558	(\$2)	- 1		- [		-	IF	-	ID	1	EX	1	ME	1	WB	- [		-		-		- 1		-		1		f	w MEM/WB.ALUOut -> in-ALU
ADDI	\$2,	\$2,	5	- 1		- 1		-		1	IF	1	ID	I	EX	1	ME	- 1	WB	-		-		- 1		-		I		f	w out-ALU -> in-ALU
SUB	\$4,	\$3,	\$2	- 1		- 1		- [		-		-	IF	Ι	ID	1	EX	- [	ME	-	WB	-		- 1		-		Ι			
ADDI	\$1,	\$1,	7	- 1		- 1		- [		-		-		Ι	IF	1	ID	-	EX	- 1	ME	-	WE	1		-		Ι			
SB	\$1,	58(	\$2)	- 1		-		-		-		1		1		1	IF	-	ID	- 1	ID	-	II		EX	-	ME	1	WB	l s	tallo
				_																										_	