

Domanda 1

Risposta errata

Punteggio
ottenuto 0,00 su
2,00

Contrassegna
domanda

Quante volte la CPU deve accedere alla memoria quando **preleva ed esegue** un'istruzione che ha due operandi, uno con modo di indirizzamento immediato e uno con modo di indirizzamento registro ?

Scegli un'alternativa:

- ☒ a. 2 ✖
- ☐ b. 3
- ☐ c. 1
- ☐ d. 4
- ☐ e. Nessuna delle precedenti.

Risposta errata.

La risposta corretta è: 1

Domanda 2

Risposta errata

Punteggio
ottenuto 0,00 su
3,00

Contrassegna
domanda

Dato il numero -5,640625 la sua rappresentazione in virgola mobile a singola precisione (IEEE 754) è:

Scegli un'alternativa:

- ☐ a. 11000000101101001000000000000000
- ☐ b. 01000000101101001000000000000000
- ☐ c. 11000000101101010000000000000000
- ☐ d. 1011010010000000000000010000001
- ☒ e. Nessuna delle precedenti. ✖

Risposta errata.

La risposta corretta è: 11000000101101001000000000000000

Domanda 3

Risposta
corretta

Punteggio
ottenuto 3,00 su
3,00

Contrassegna
domanda

Sia data la seguente sequenza di istruzioni MIPS e si consideri la pipeline a 5 stadi vista a lezione:

SUB \$4, \$2, \$1

LW \$4, 20(\$1)

SUB \$2, \$3, \$4

ADD \$1, \$2, \$4

Indicare quale delle seguenti affermazioni è vera:

Scegli un'alternativa:

- ☒ a. L'ultima istruzione ha una dipendenza di tipo RAW sia con la seconda che con la terza istruzione. Entrambi vengono risolte senza l'introduzione di stalli. ✔
- ☐ b. L'esecuzione completa senza data forwarding richiede 2 cicli di stallo in più rispetto a quelli richiesti dall'esecuzione completa con data forwarding.
- ☐ c. L'esecuzione completa con data forwarding richiede 8 cicli di clock senza alcuno stallo.
- ☐ d. L'esecuzione completa senza data forwarding richiede 11 cicli di clock di cui 4 di stallo.
- ☐ e. Nessuna delle precedenti.

Si spieghi in dettaglio lo schema per realizzare la moltiplicazione fra numeri a virgola mobile nello standard IEEE 754.

Discutere vantaggi e svantaggi di una codifica delle istruzioni a lunghezza fissa.

Nel contesto della pipeline, si motivi e si spieghi in dettaglio la tecnica del salto ritardato (delayed branch).

Sia data la seguente sequenza di istruzioni dove i dati immediati sono espressi in esadecimale

```
SUB  $1, $5, $5  
SW   $4, 5($1)  
LW   $1, 22($4)  
SW   $4, 73($1)  
ADD  $5, $3, $4  
ADDI $3, $4, 8  
SW   $3, 3($5)
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock:

- evidenziare le dipendenze dai dati presenti e mostrare come evolve la pipeline durante l'esecuzione del codice, spiegando nel dettaglio i motivi di un eventuale stallo o dell'utilizzo di un particolare circuito di by-pass.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
SUB \$1, \$5, \$5	IF	ID	EXE	MEM	WB															
SW \$4, 5(\$1)		IF	ID	EXE	MEM	WB														
LW \$1, 22(\$4)			IF	ID	EXE	MEM	WB													
SW \$4, 73(\$1)				IF	ID	ID	EXE	MEM												
ADD \$5, \$3, \$4					IF	IF	ID	EXE	MEM	WB										
ADDI \$3, \$4, 8							IF	ID	EXE	MEM	WB									
SW \$3, 3(\$5)							IF	ID	ID	ID	EXE	MEM	WB							

1	OK
2	IF/ID.IR[RS]==ID/EXE[RD] ==> EX/MEM.ALUOUTPUT_SUB --> EXE.ALUINPUT.TOP_SW
3	OK
4	IF/ID.IR[RS]==ID/EXE[RT] ==> 1 STALLO + MEM/WB.LMD_LW --> EXE.ALUINPUT.TOP_SW
5	OK
6	OK
7	\$3 - IF/ID.IR[RT]==ID/EXE[RT] ==> 2 STALLI + SCRITTURA PRIMA METÀ DEL CICLO E LETTURA NELLA SECONDA METÀ \$5 - IF/ID.IR[RS]==EXE/MEM[RT] ==> RISOLTA CON STALLI DELLA DIPENDENZA