

计算机组成原理试题

班号:

学号:

姓名:

(所有答案均写在答题纸上)

一. 填空 (20 分)

1. (4 分) 给出十进制数-254 的 IEEE754 标准单精度浮点数表示。  
(-254) = (1)。
2. (3 分) 某计算机字长 16 位, 整数用补码表示, 按字编址。某 C 语言定义了 i, j, k 共 3 个 short 型变量, 其中有程序段如下: { i = 105; j = -12767; k = i + j; }。编译器将 i, j, k 三个变量分配到地址分别为 100、101 和 102 三个内存单元中。则上述程序段执行完成后, 地址 100 内容为(2), 地址 101 的内容为(3), 地址 102 的内容为(4)。  
(均用 16 进制表示)。
3. (3 分) TEC2008 使用 THCO MIPS 指令系统, 指令 BEQZ rx, imm 的功能为当 rx 的值为 0 时跳转, 指令操作码为 00100。在内存地址为 0109H 处有一条机器指令, 二进制形式为 (0010000011111100), 该指令执行前寄存器 r0 的值为 0。则该指令成功执行后, PC 值为(5)。(用 16 进制表示)。
4. (5 分) 常见的指令寻址方式: (6)、(7)、(8)、(9)、(10)。
5. (5 分) 中断处理过程包括关中断、(11)、(12)、开中断、(13)、关中断、(14)、开中断、(15) 等步骤。

二. 单项选择 (20 分, 每题 2 分)

1. 下列选项中, 能缩短程序执行时间的是\_\_\_\_\_。  
I. 提高 CPU 时钟频率      II. 优化数据通路结构      III. 对程序进行编译优化  
A. 仅 I 和 II      B. 仅 I 和 III      C. 仅 II 和 III      D. I, II, III
2. 某一编码系统中, 数据为 8 位。为提高系统的可靠性, 希望能发现 2 位出错, 并能在仅有 1 位出错时进行纠正, 则需要增加的校验位的位数至少是\_\_\_\_\_。  
A. 3 位      B. 4 位      C. 5 位      D. 6 位
3. 下列寄存器中, 汇编程序员可见的是\_\_\_\_\_。  
A. 存储器地址寄存器 (MAR)  
B. 程序计数器 (PC)  
C. 存储器数据寄存器 (MDR)  
D. 指令寄存器 (IR)
4. 微程序存放的位置是\_\_\_\_\_。  
A. CPU      B. 高速缓冲存储器      C. 主存储器      D. 磁盘存储器
5. 下面关于多周期 CPU 的描述, 正确的是\_\_\_\_\_。

- A. 指令周期长度固定  
B. 每个机器周期可完成一条指令  
C. 多个机器周期完成一条指令  
D. 其控制器只用组合逻辑电路就能实现
6. 下面关于高速缓冲存储器 (Cache) 的描述中, 错误的是\_\_\_\_\_。  
A. 高速缓冲存储器设置在主存和 CPU 之间  
B. 高速缓冲存储器由系统程序员编程管理  
C. 高速缓冲存储器访问速度高于主存储器  
D. 高速缓冲存储器以块为单位和主存交换数据
7. 下面有关静态存储器 (SRAM) 和动态存储器 (DRAM) 的叙述中, 正确的是\_\_\_\_\_。  
I. SRAM 和 DRAM 都是电易失性存储器  
II. SRAM 和 DRAM 都采用随机存取方式进行数据访问  
III. SRAM 和 DRAM 都可用作 Cache  
IV. SRAM 和 DRAM 都需要刷新  
A. 仅 I 和 II      B. 仅 I 和 III      C. 仅 II 和 IV      D. 仅 III 和 IV
8. 下面的命中和缺失的组合情况, 在一次访存过程中, 不可能发生的是\_\_\_\_\_。  
A. TLB 未命中, 页表未命中, Cache 未命中  
B. TLB 未命中, 页表命中, Cache 命中  
C. TLB 命中, 页表命中, Cache 未命中  
D. TLB 命中, 页表未命中, Cache 命中
9. 某总线采取菊链仲裁方式, 则下列关于总线优先级的描述中, 正确的是\_\_\_\_\_。  
A. 连接在该总线上的设备得到总线授权的优先级相同。  
B. 越靠近总线仲裁器的设备优先级越高。  
C. 越远离总线仲裁器的设备优先级越高。  
D. 响应速度越快的设备优先级越高。
10. 某磁盘有 100 个柱面, 每个柱面有 10 个磁道, 每个磁道有 128 个扇区, 每个扇区容量为 512 字节。该磁盘的存储容量是\_\_\_\_\_。  
A. 12800B      B. 25MB      C. 62.5MB      D. 625MB

三. (10 分) 简述一次 DMA 传送的过程。

四. (13 分) 判断 (以下论断如果正确, 请在答题纸上画 √; 如错误, 则画 ×, 并简单说明理由。每小题 1 分, 共 13 分)

1. CISC 处理器的指令类型一般多于 RISC 处理器。
2. 摩尔定律是指集成电路的频率每 18 个月翻一番。
3. PCI Express 总线和 PCI 总线结构基本相同, 只是提高了总线频率, 带宽因此得到了提高。

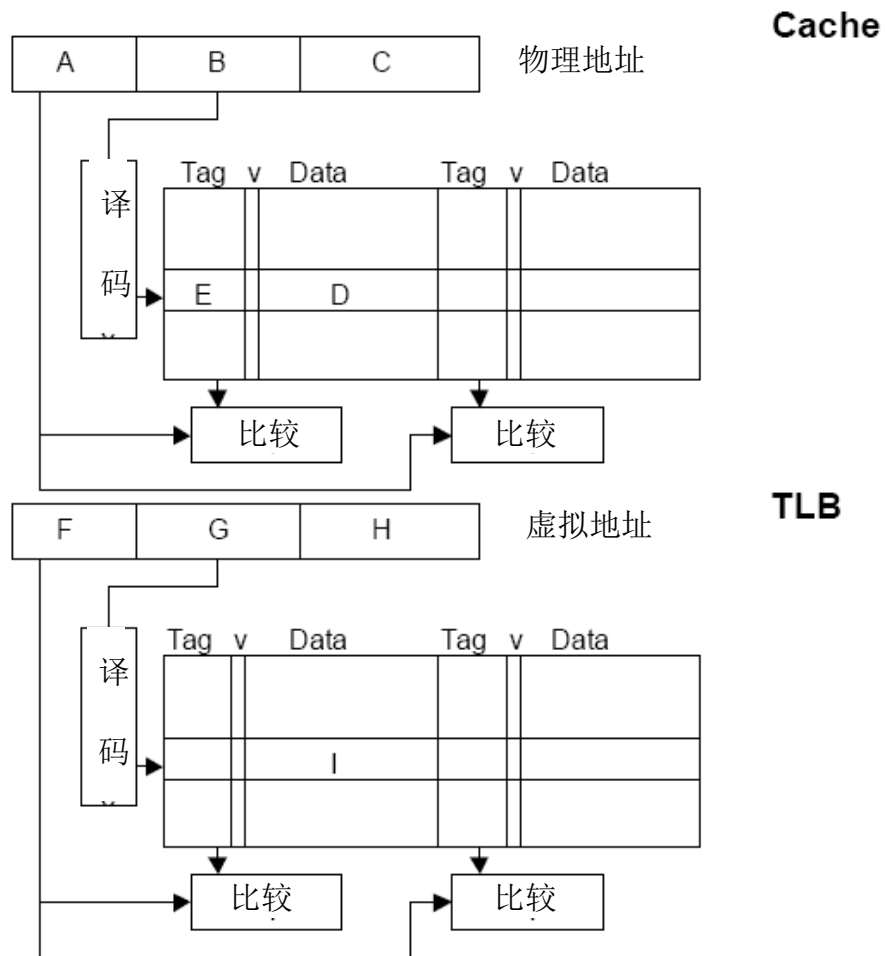
4. 控制相关是指流水线的分支指令或其他需要改写 PC 的指令造成的冲突。
5. RAID5 和 RAID4 比较, 检错纠错能力更高。
6. 微程序是供组合逻辑控制器来执行的一种机器语言程序。
7. 能完成乘法运算的处理器都设置有乘法器。
8. Cache 总容量一定的话, 两路组相连组织方式的命中率不低于直接映射方式的命中率。
9. 指令流水中使用旁路 (Forwarding) 技术可减少结构冲突。
10. 页式虚拟存储器管理中设置 TLB 可提高访问速度。
11. 同步传输总线使用统一的时钟来协同总线事务。
12. 虚拟存储管理中, 虚页数和实页数必须相同。
13. Blu-Ray 采用的激光波长比 DVD 的波长更短。

五. (10 分) 假定一台计算机的显示存储器用 DRAM 实现, 若要求显示分辨率为  $1024 \times 768$ , 颜色灰度为 24 位, 刷新频率为 85Hz, 显存带宽的 50% 用于刷新屏幕。则需要的显存总带宽至少是多少?

六. (27 分) 某计算机存储器系统参数如下:

- TLB 共有 256 项, 按两路组相连方式组织;
- 64KB 的数据 Cache, 块大小为 64B, 组织方式也是两路组相连;
- 虚拟地址 32 位, 物理地址 24 位;
- 页大小为 4KB。

下图给出了系统的简单示意。



请分别计算其中各字段 A、B、C、D、E、F、G、H 和 I 所占的位数，给出计算过程。