

2001

1.定点补码一位乘，原理，设计

2.256×4 静态存储器芯片扩展→1024×16 主存

用 4 片 4 位的组成 16 位，然后再用 4 组这样的 16 位存储体组成 1024k，用一个 24 译码器完成高位地址译码

3.设计带进位加法，条件相对转移，读内存，转子程序的指令格式和执行流程。

4.节拍发生器的作用，节拍发生器的设计原理。

5。为什么要使用微程序寄存器，如何从指令的操作码找到对应的微程序段。

6。多级存储器系统是为了达到什么目的。为了这个目的采用的手段是什么？各级存储器的介质和它们的特性。

7。磁记录编码的含义和对编码的主要要求。

8。显示器和针式打印机为什么要有字符发生器。简述显示和打印一个字符的过程。

9。计算机地址总线的位数，数据总线的频率和位数对计算机性能的影响？

2002

一.填空题

主要是一些进制转换和补码加减
最后简述一下补码一位除的上商原则

二.选择题

一段话,给出多个选项
主要涉及浮点数的精度,浮点数的表示,巨简单

三.选择题

题型和第二题一样
主要涉及 Cache 的知识

四,九道简述题

1.从概念上讲,有哪几条指令会通过给出一个新的指令地址来改变指令顺序执行的情况?通常可以采用什么方案在指令中重新给出这一新的指令地址(三种以上)和其他相关信息.

2.通常有哪些提供下一条微指令地址的方案(至少 4 种)教学实验中,要扩展加进几条新指令,要经过几个设计步骤?又是通过什么办法并如何

协调原有指令与扩展指令以及用到的控制信号的关系？

在组合逻辑控制器中，用哪个部件并通过什么方法来区分每条指令不同的执行步骤。

3.从原理上讲，若不计算读取指令和检查有无中断请求的处理过程，下述类型的指令各自要用几个执行步骤来完成相应的操作要求，并写出每一步完成的具体功能

a.cpu 内部寄存器之间的数据运算与传送

b.主存储器一个存储单元与一个累加器之间的数据传送

c.主存储器两个存储单元之间的数据传送

4.比较微程序控制器与组合逻辑控制器在组成和运行性能方面的异同

5.何谓主存储器多体结构？为什么它能提高主存储器读写速度？

6.衡量硬磁盘的主要性能指标有哪些？硬磁盘是如何实现数据读写操作的？硬磁盘在计算机系统有哪两种重要用途？

7.为了提高计算机系统输入输出能力，可以在总线的设计与实现中采用哪些方案？他们各自解决的是什么方面的问题？

在教学计算机机的总线设计中，提到并实现了内部总线和外部总线，这指的是什么含义？他们是如何连接起来的？如何控制二者之间的通断以及数据传送的方向

8.在 pc 机系统中，为了使用 CRT 器件的显示器即能显示字符又能显示简单的图形在显示接口卡中包括哪些功能部件？显示字符和显示简单图形的运行过程的主要区别？

9.对如何使用一个硬件上已经接通的串行接口（如 INTEL8251），你知晓哪些内容？

2003

计算机组成原理试题

2004 年 1 月 6 日

班号：

学号：

姓名：

1. (15 分)某 8 位计算机，整数采用补码表示法，浮点数采用类 IEEE754 标准，符号位 1 位，阶码 3 位 ($2^3-1=3$)，尾数 4 位。

1) 给出下列数值在该计算机中的二进制表示，其中小数用浮点数表示。

$(21)_{10} = (0001\ 0101)_2$, $(-15)_8 = (1111\ 0011)_2$,

$(13/8)_{10} = (0\ 011\ 1010)_2$, $(1/4)_{10} = (0\ 001\ 0000)_2$

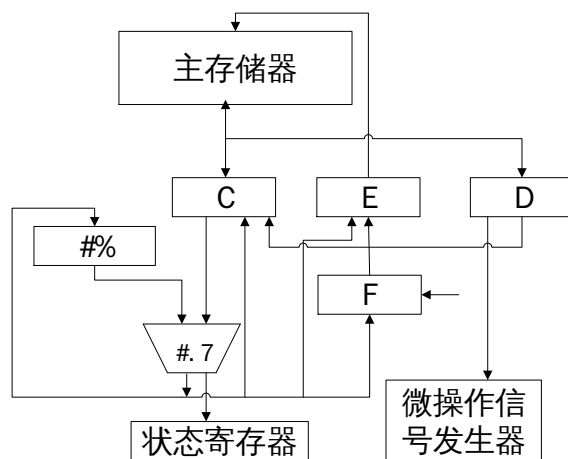
2) 给出计算机求 $(13/8)_{10} + (1/4)_{10}$ 的过程和结果。

$(0\ 011\ 1010)_2 + (0\ 001\ 0000)_2 = 1.1010 * 2^{(011-011)} + 1.0 * 2^{(001-011)}$

$= 1.1010 * 2^{000} + 0.01 * 2^{(-010)} = 1.1010 + 0.01$

$$= 1.1110 * 2^{(011-011)} = (0\ 011\ 1110)_2$$

2. (20 分)某 CPU 结构如下图所示，其中有一个累加寄存器 AC、一个状态寄存器和其它四个寄存器（地址寄存器 AR、数据缓冲寄存器 DR、程序计数器 PC 和指令寄存器 IR），各部分之间的连线表示数据通路，箭头表示信息传送方向。要求：



1) 标明图中 a、b、c、d 四个寄存器的名称。

a=数据缓冲寄存器 b=指令寄存器 c=地址寄存器 d=程序计数器

2) 简述该 CPU 的指令从主存取到控制器的通路。

主存储器 => b(指令寄存器) => 微操作信号发生器

3) 简述数据在运算器和主存之间进行存/取访问的数据通路。

取访问通路：主存储器 => a(数据缓冲寄存器) => ALU

存访问通路：ALU => a(数据缓冲寄存器) => 主存储器

3. (10 分)某指令系统长度为 16 位，其中一个操作数需要 6 位来表示。假定它有 K 条双操作数指令和 L 条无操作数指令，那么，它最多还能支持多少条单操作数指令？（仅考虑单字指令）

$$(2^{16} - K*2^6*2^6 - L) / 2^6$$

4. (20 分) 某计算机系统地址为 32 位，按字节编址，分别设置有指令 Cache 和数据 Cache。其中，指令 Cache 的容量为 2^{12} 字节，块大小为 32 字节，数据 Cache 的容量为 2^{13} 字节，块大小为 32 字节。均为 2 路组相连的组织方式。

系统地址 32 位。

指令 Cache 容量大小为 2^{12} 字节，每块大小是 2^5 字节。则一共有 2^7 块。两路组相连，故一共分为 2^6 个组。地址一共有 32 位，末 5 位是块内偏移，中间 6 位是映射，前 21 位都应该是标记。

数据 Cache 容量大小为 2^{13} 字节，每块大小是 2^5 字节，则一共有 2^8 块。两路组相连，故一共分为 2^7 个组。地址一共有 32 位，末 5 位是块内偏移，中间 7 位是映射，前 20 位都应该是标记。

1) .指令Cache中标记位需要几位？

Cache 的标记位需要 21。

2) . 数据Cache中块号是32位地址中的哪几位？

块号是中间那 7 位，从第 21 位到第 27 位。

3).下面给出的地址均为指令在主存中的地址，请指出其中哪个地址肯定不会和存有0x0ACE6004主存地址的块出现块冲突？

0ACE6004 = 0000 1010 1100 1110 0110 0|000 000|0 0100

(A) 0x0BAD6004 = ---- 0000 0000 0100

(B) 0x0ACE6838 = ---- 1000 0011 1000

(C) 0x0C81C81C = ---- 1000 0001 1100

(D) 0xFACE6004 = ---- 0000 0000 0100

(E) 0x00000004 = ---- 0000 0000 0100

(F) 0x0CEDE008 = ---- 0000 0000 1000

4).为保证程序循环体除必然缺失外（第一次装入Cache），然后有100%的命中率，则循环体最多可容纳多少条指令？

全都占满，就是了。 2^{12} 字节，4kb，每条指令多少字节呢？根据上面几个选项都是4的倍数，猜测每条指令32位，故有至多能容纳1024条指令。-_-b

5. (20分)某虚拟存储器系统采用页式管理，且仅有一级页表。每页大小为 2^p 字节，虚拟地址为V位。虚地址组成如下：

虚页号	页内偏移量
-----	-------

页表起始地址为PTBL，页表中每个表项为4个字节长。

请回答下列问题：

1) 虚地址中页内偏移量为几位长？

p位长……

2) 虚页号又有几位长？

(V-p)位长……

3) 页表中共有多少个表项？页表占用的最大地址是多少？

$2^{(V-p)}$ 个表项……

$PTBL + 2^{(V-p)} * 4 - 1$

4) 页表本身有多少页？

$2^{(V-p)} * 4 / 2^p = 2^{(V-2p+2)}$

5) 如果要使页表仅占用一页的空间，则P值最小可以是多少？

$V - 2p + 2 \leq 0$ 故有 $p \geq V/2 + 1$ 所以 p的最小值为 $V/2 + 1$

6. (15 分)简述 DMA 控制器的基本组成和各组成部分的功能。

DMA 控制器的组成部分：

主存地址计数器

数据数量计数器

DMA 控制/状态逻辑

DMA 请求（与屏蔽）触发器

数据缓冲寄存器

中断机构

（自己看书吧，p370，此题变态，本人放弃。）

1. (8) 进制转换, 转换成 TEC-2000 中 8 位机所用的数字表示方法
(数字用一个字节表示, 地址或偏移量用两个字节表示)

1) 数字:

(121)₁₀ (-64)₈

(121)₁₀ = (0111 1001)₂ = 79H

(-64)₈ = (1110 1110)₂ = 0CCH

2) 地址、偏移量

(2100)₁₆ (-8)₁₀

2100H

0FFF8H

2. (4) IEEE754 浮点数表示的二进制数转换成 10 进制数(32 位的单精度浮点数)

(1100 1111 1101 0000 0000 0000 0000 0000)

1 + 1001 1111 + 101 0000 0000 0000 0000 0000

$-1 * (1.101)_2 * 2^{((1001\ 1111)_2 - 127)} = -13 * 2^{29} = -6.98 * 10^9$

3. (10) 海明校验的 k 和 r 满足什么要求可以发现并纠正一位错, 满足什么要求可以发现纠正一位错 并发现两位错?

纠正一位错: $k+r+1 \leq 2^r$

纠正一位错, 并发现两位错: $k+r \leq 2^{(r-1)}$

4. (10) 某计算机为 12 位字长的指令, 8 个通用寄存器, 要求

4 条 3 个寄存器的指令

255 条单个寄存器的指令

16 个 0 寄存器的指令

问能否用单字节的指令表示所有这些指令?

4 个三个寄存器的命令要用: $4*8*8*8$ 个指令空间单元

255 个单个寄存器的命令要用: $255*8$ 个指令空间单元

16 个 0 寄存器的指令要用: 16 个指令空间单元

总计要用 4104 个指令空间单元

然而 12 位字长的指令, 只有 4096 个指令空间单元。因此单字节指令是不能表示所有这些指令的。

5. (8) 8 位机中 LOD 指令的执行流程? $DR \leftarrow \text{MEM}(R9, R8)$

$ARH \leftarrow R9$

$ARL \leftarrow R8$

$DR \leftarrow \text{MEM}$

(不知道那些七零八碎的 MAP 啊 load IR 啊什么的算不算在里面)

6. (30) cache 和虚拟存储器部分的内容, 主要是虚存和实存地址的分配关系

然后给出两个程序, 分析程序执行之后 cache 中的情况, 命中率和平均访问时间

页大小: 2048Bytes

cache 大小: 64KB

cache 块大小: 32Bytes

虚地址长度：32 位

实地址长度：32 位

1) 分别算出下述字段的长度，并说明是属于虚地址还是属于实际地址。

(这道题应该是说认为 cache 直接映射了)

虚页号 = $32 - 11 = 21$ 虚

实页号 = $32 - 11 = 21$ 实

cache 块标记字段 = $32 - 16 = 16$ 实

cache 块号字段 = $16 - 5 = 11$ 实

cache 块内地址字段 = $5 = 11$ 实

2) 为计算方便起见，取 cache 大小为 128 字节。组织方式为直接映像方式。

分别运行下述两段程序：

程序 A：

```
int a[100];
int i,j;
for(i=0;i<4;i++)
    for(j=0;j<2;j++)
        a[i+j*32]++;
```

程序 B：

```
int a[100];
int i,j;
for(j=0;j<2;j++)
    for(i=0;i<4;i++)
        a[i+j*32]++;
```

设程序运行前有效位都是 0。填写数据的时候只填 a[?]就可以，不用填出具体数据。

注意整数用四个字节表示。

程序 A 的运行过程为：

```
load  a[0]
store a[0]
load  a[32]
store a[32]
load  a[1]
store a[1]
.....
```

程序 B 的运行过程为：

```
load  a[0]
store a[0]
load  a[1]
store a[1]
.....
```

a[0]地址为 0x420，

填写下面两个表格，以表示程序 A, B 运行后 cache 的情况(四行, A,B 的表格是一样的):

页大小: 2048Bytes

cache 大小: 128Bytes

cache 块大小: 32Bytes

虚地址长度: 32 位

实地址长度: 32 位

	标记位	有效位	w0	w1	w2	w3	w4	w5	w6
w7									
0		0							
			0000	0000	0000	0000	0000		
1	01001	1	a[32]	a[33]	a[34]	a[35]	a[36]	a[37]	a[38]
	a[39]	2	0						
3		0							

并求各自情况下的命中率。

A 对 DRAM 的读写过程 0 0 32 32 1 1 33 33 2 2 34 34 3 3 35 35 一共十六次,

其中 0 _ 32 _ 1 _ 33 _ 2 _ 34 _ 3 _ 35 _ 都是没有命中的, 命中率应该是 $1/2 = 50\%$

B 对 DRAM 的读写过程 0 0 1 1 2 2 3 3 32 32 33 33 34 34 35 35

只有两次没有命中, 故命中率是 $7/8 = 87.5\%$

(这里假设了缓存不是 write through 的, 而是 write back, 否则第二个就和第一个命中率一样了)

3) 若设 CPU 主频为 1GHz, 访问命中时所需时间为 1 周期, 访问失败时的损失时间为 120ns,

分别求 A, B 程序运行的平均访问时间。

1G 主频下每个周期是 1ns, A 的平均访问时间为:

$1ns + 120ns * 0.5 = 61ns$

B 的平均访问时间为:

$1ns + 120ns * (1 - 0.875) = 16ns$

7. (10) 什么是计算机总线? 总线仲裁是什么? 有哪几种常用的仲裁的方式?

总线是各部件之间传输信息的公共通路。

总线仲裁就是解决多个设备竞争使用总线的管理。

仲裁的方式课分为集中仲裁和分布仲裁。(?)

8. (10) 常用的输入输出方式及其特点?

计算机常用的输入输出方式有: 程序直接控制, 中断, DMA, 通道, 外围处理机直接输入输出

优点: 成本低

缺点: 效率低, 严重占用 CPU 资源 (because of busy waiting)

中断

优点: 没有 busy waiting 了

缺点: 传输速度不高, 传输量不大, 对 CPU 干扰 (interrupt) 比较大

DMA

优点：对 CPU 干扰适中

缺点：无法适用大量高速设备的管理，需要考虑 Cache 一致性问题

通道

优点：适应不同的速度、不同种类的外部设备，可并行工作

（再后面的不详了……）

9. (10) 微程序和组合逻辑控制器的异同? 控制器一般的组成?(4 部分)

控制器的一般组成：

程序计数器 PC 指令寄存器 IR 指令执行步骤标记线路 控制信号提供线路

PC 和 IR 都是一样的，但是后两个部分的生成方式不同。微程序是通过微程序的形式，靠下址生成逻辑查表得到的控制信号；而组合逻辑是通过节拍驱动，通过组合逻辑生成的控制信号。

2005

计原 2006.1 A

一、填空

1.(4pts)转为 8 位二进制补码：

$(-64)_{10}$, $(76)_8$, $(AB)_{16}$, $(0)_8$

$-64_{10} = 1100\ 0000$

$76_8 = 0011\ 1110$

$AB_{16} = 10101011$ (AB 认为成为正数，按照除 256 余数去到 -128 - 127 范围内)

$0_8 = 0000\ 0000$

2.(4pts)IEEE754->DEC

1111 0011 1100 0000 0000 0000 0000 0000

IEEE754 标准 $1 + 8 + 23$

于是有 $1 + 11100111 + 100\ 0000\ 0000\ 0000\ 0000$

此数为： $-(1.1)_2 * 2^{\left((11100111)_2 - (127)_{10}\right)} = 1.5 * 2^{104}$

3.(5pts)中断处理过程包括关中断、____、____、开中断、____、关中断、____、开中断、____等步骤

关中断，保存断点，判断中断源，转中断服务，开中断，调用中断服务程序，关中断，恢复断点，开中断，恢复被中断的程序

4.(5pts)常见的指令寻址方式：（列举 5 种）

立即数寻址，直接寻址，寄存器寻址，寄存器间接寻址，变址寻址，相对寻址，间接寻址，基址寻址，堆栈寻址……

5.(2pts)256Kbit*1 的 DRAM 芯片一般要____位地址引脚

$256Kbit = 2^8 * 2^{10} bit = 2^{18} bit$ 因此需要 18 位地址。如果说分成行列地址分别来算，且默认行列地址数是一样的，就应该是需要 9 位地址引脚。

二、(2*10=20pts)判断

1. PCI 总线传输速度比 ISA 总线快

对的，PCI 是北部总线，接快速设备；ISA 是南部总线，接慢速设备。

2. CACHE 的块(Line)越大，命中率越高

不对的，块适中大小，有利于命中率的提高。块大只照顾了空间局部性，却减少了块的数量，从而可能不能很好的照顾到时间局部性。

3. 海明码可以发现一位错，但无法纠正它

错误的。海明码课上介绍的有两种，但是两种都能发现一位错误，并纠正它。

4. 指令系统是计算机软硬件的接口

这个应该是对的，尽管我没有找到原话。因为有了指令系统，软件和硬件就是隔断的了。指令系统的标准是软件和硬件都必须关心的东西。

5. 微程序是供组合逻辑控制器来执行的一种机器语言程序

不是。微程序应该是微程序控制器来执行的。

6. 页式虚拟存储器管理中 TLB 可以提高命中率

不能。TLB 应该是能提高页表的访问效率，是页表的 Cache。和虚存的命中率根本正交。

7. 某 128 字节、块大小为 16 字节的全相连 CACHE 和另一个 128 字节、块大小为 16 字节的 8 路组相连 CACHE 完全相同

对的。算一下，128 字节、16 字节一块就是一组，根本就和全相连没有什么两样

8. 八位教学计算机 TEC-2000 使用 8 位地址总线

错的。是 16 位的，据说原因是 8 位的内存地址空间就没多少地方了，不够施展拳脚。

9. 目前常用的 RAID 技术可以提高磁盘系列的性能和可用性

大概对的，这个是讲义上的原话。具体原因我也说不清，个人觉得 RAID 就是一堆盘而已，能不能提高性能和可用性还要看组织……

A. DVD 存储密度比 CD-ROM 高

对的，这个是常识：他们一边大小，但是一个比一个能多装几倍的东西。

三、(20pts)同 2004.1 第 2 题

四、(20pts)存储器参数如下：

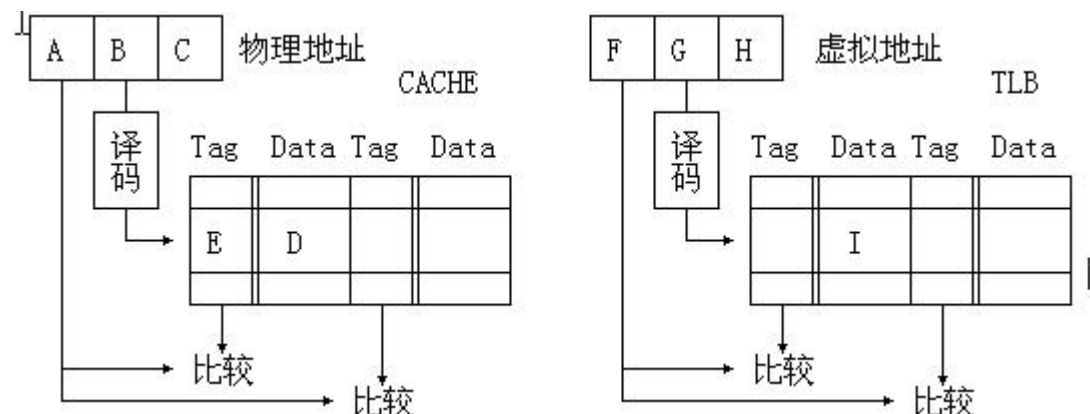
1. TLB 共 256 项，两路组相连

2. CACHE 64KB，每块 64 字节，两路组相连

3. 虚地址 32 位，实地址 24 位

4. 页大小 8KB

求下面图中 A~I 的每个的位数



TLB256 项，2 路组相连，故一共有 128 组。也就是说译码部分是 128 的，所以 $G = 7$ 。
CACHE64KB，每块 64 字节，一共就有 1024 块了。两路组相连，所以有 512 组。所以说，对应的 Cache 译码部分 $B = 9$ 。

每块 64 字节，所以 $C = 6$ ，表示的是块内偏移。Cache 里面的 $D = 64 \times 8 = 512$ ，就是那 64 个字节，总计 512 位。

虚地址 32 位 $F + G + H = 32$ ， $F + H = 25$

实地址 24 位 $A + B + C = 24$ ，从而 $A = 9$

页大小 8KB，13 位，所以 $H = 13$ 。从而 $F = 12$ 。I 和 H 应该共同组成物理地址，从而 $I + H = 24$ ，随意 $I = 11$ 。

由于比较关系，当有 $E = A = 9$ 。

综上有 $A=9$ $B=9$ $C=6$ $D=512$ $E=9$ $F=12$ $G=7$ $H=13$ $I=11$

五、(10pts)计算机常用的输入输出方式有哪几种？各自的优缺点是什么？

计算机常用的输入输出方式有：程序直接控制，中断，DMA，通道，外围处理机
直接输入输出

优点：成本低

缺点：效率低，严重占用 CPU 资源（because of busy waiting）

中断

优点：没有 busy waiting 了

缺点：传输速度不高，传输量不大，对 CPU 干扰（interrupt）比较大

DMA

优点：对 CPU 打扰适中

缺点：无法适用大量高速设备的管理，需要考虑 Cache 一致性问题

通道

优点：适应不同的速度、不同种类的外部设备，可并行工作
（再后面的不详了……）

六、(10pts)计算机总线的功能是什么？从功能上来说，计算机一般包含哪 3 类总线？
总线起到在各部件之间传输信息的公共通路的作用。

计算机的总线按功能包括控制总线，数据总线，地址总线三种类型

（都是书上的原话，orz）