

EA006 - Trabalho de Fim de Curso (TFC)

Estudo Comparativo de transistores MOSFET de Silício (Si) e Carbeto de Silício (SiC)

Aluna:

Isabella Keresztes Bigatto
RA 138537
bella.bigatto@gmail.com
(11)97355-0663

Orientador:

José Antenor Pomilio
antenor@dsce.fee.unicamp.br
(19) 3521-3708

Co-orientadores:

Joel Filipe Guerreiro
joel.engeletrica@gmail.com
(19) 99182-1504

Hildo Guillardi Júnior
hildogjr@gmail.com
(16) 98128-7604

1. Introdução

O silício é um dos principais materiais utilizados na construção de dispositivos eletrônicos de potência e o seu uso já está muito consolidado na indústria. No entanto, as suas capacidades tanto elétricas quanto térmicas já foram completamente exploradas, saturando as possibilidades de desenvolvimento de novas tecnologias e melhorias dos dispositivos eletrônicos já existentes. Neste contexto temos o Carbeto de Silício (SiC), que vêm sido muito estudado nos últimos anos e com o qual já foram desenvolvidos alguns dispositivos de potência (como diodos Schottky, por exemplo) que estão disponíveis no mercado. O SiC apresenta características térmicas e elétricas muito favoráveis e têm grandes promessas quanto a evolução das tecnologias que constroem a eletrônica de potência [4].

Este trabalho visa o estudo comparativo da performance de um transistor MOSFET feito com Silício e outro com Carbeto de Silício.

Conceitos básicos:

Materiais semicondutores

Dispositivos eletrônicos tem como base a utilização de semicondutores, materiais capazes de conduzir corrente elétrica e que apresentam uma queda de resistência com o aumento da temperatura. Esta capacidade pode ser manipulada e controlada através da aplicação de impurezas, a chamada dopagem, em que elementos que possuem mais ou menos que 4 elétrons na sua camada de valência são inseridos na estrutura cristalina do material semicondutor, propiciando a formação de portadores livres (elétrons ou lacunas) para a condução de corrente. Exemplos clássicos de componentes utilizados para formulação de soluções dopantes são o Boro e o Fósforo. O boro, por possuir 3 elétrons em sua última camada, ao ser inserido na estrutura cristalina do silício, permite a formação de lacunas (portadores de carga positiva). Já o Fósforo, que possui 5 elétrons, propicia a formação de elétrons livres (portadores de

carga negativa).

Os materiais semicondutores mais típicos são elementos d Grupo IV da tabela periódica, como o Silício e o Germânio, que por possuírem 4 elétrons na sua camada de valência, são capazes de perder ou doar elétrons igual e simultaneamente. [1]

Bandgap e wide bandgap

Cada elemento possui três níveis básicos de energia: Banda de valência, Banda de condução e Banda proibida.

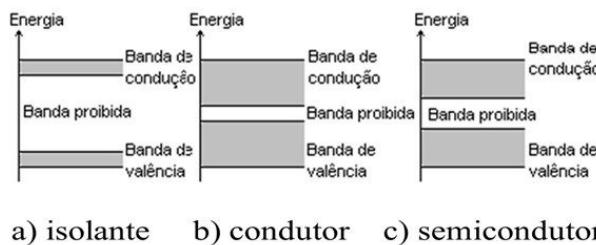


Figura 1 - representação de níveis de energia para cada tipo de material [11]

A condução de corrente elétrica em um semicondutor se dá quando elétrons que estão presentes na banda de valência (nível mais baixo de energia) recebem energia o suficiente para que consigam chegar à banda de condução. Nos materiais isolantes, a energia correspondente para superar a banda proibida é alta demais o que não permite que haja condução de corrente, ao tempo em que nos metais as bandas são tão próximas ou até mesmo se sobrepõem, fazendo com que os elétrons necessitem de bem pouca energia para mudança de estado. Semicondutores possuem um bandgap grande o suficiente para que não haja condução espontânea de corrente, sem necessidade de alguma excitação externa, mas também pequena o suficiente para que seja possível a condução quando desejável.

O carbeto de silício possui uma banda proibida (Bandgap) cerca de 3 vezes maior que a do silício (1.1 eV) [4], o que significa que os elétrons precisam de mais energia para

que a barreira de potencial seja quebrada e haja condução de corrente. Essa banda proibida maior é conhecida como “Wide bandgap” e é o que permite que dispositivos feitos com carbeto de silício aguentem maiores campos elétricos. Isso significa que estes dispositivos aguentam maiores tensões de polarização, apresentam menos perdas e portanto suportam uma maior frequência de chaveamento - ou ainda um aumento significativo da sua eficiência enquanto operam sob uma mesma frequência que um dispositivo feito com silício. Menos perdas implicam também na possibilidade de desenvolver componentes com tamanhos muito menores.

Outra vantagem do seu menor tamanho e com mesma tensão de ruptura, é que a resistência do dispositivo também é menor, comparativamente. Uma menor resistência implica que para mesmas condições de operação, as perdas de energia são menores devido à dissipação térmica, influenciando diretamente na temperatura de junção e permitindo que o dispositivo tenha condições de operar sob maiores temperaturas, tornando-o muito atrativo para sua utilização em ambientes mais hostis. [4]

Funcionamento dos MOSFETs

Os MOSFETs de potência de Si são dispositivos eletrônicos muito utilizados para aplicações de tensões não tão altas (até algumas centenas de Volts) mas para grandes frequências chaveamento, e sua estrutura segue como na Figura 2.

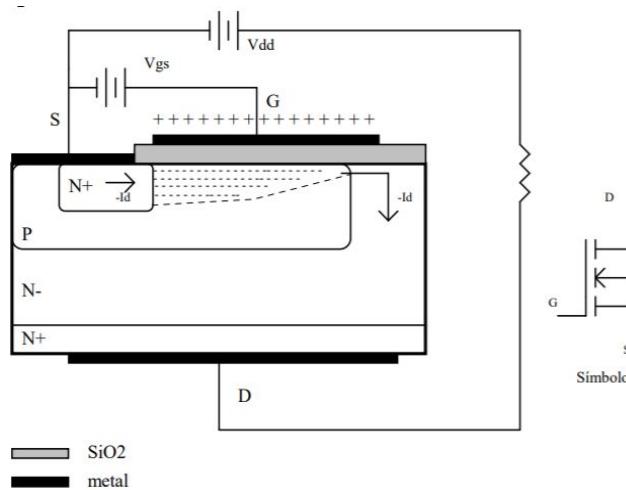


Figura 2 - Estrutura interna de um MOSFET [2]

O terminal de Gate (G) é isolado do semicondutor por uma camada de SiO₂ e a condução de corrente pelo MOSFET é controlado pela chamada tensão de gate (V_{gs}). A tensão V_{gs} é limitada a algumas dezenas de Volts, por conta da capacidade de isolação da camada de SiO₂, e uma pequena corrente de gate é necessária apenas para carregar e descarregar as capacitâncias de entrada do transistor [2].

Quando aplicada tensão no gate, observa-se um acúmulo de cargas negativas próximo à camada de SiO₂, uma vez que as lacunas são repelidas pela tensão positiva. No momento em que tensão V_{gs} aplicada atinge um limiar (V_{th}), começam a surgir portadores livres (elétrons) na camada P por efeito térmico, permitindo a condução da corrente entre Dreno (D) e Fonte (S). Quanto maior V_{gs} (até um certo limite) maior a largura do canal formado pelos portadores livres e, portanto, maior será corrente I_d (corrente de dreno).

Observa-se ainda na estrutura que há uma junção PN entre Fonte e Dreno formada pela camada P, N- e N+. Isso caracteriza o chamado diodo reverso intrínseco do MOSFET, que conduzirá uma corrente no sentido contrário quando o MOSFET estiver reversamente polarizado (polarização Fonte-Dreno). O MOSFET portanto não é capaz de bloquear tensão reversa, e sim somente quando ele estiver diretamente polarizado (tensão positiva entre Dreno-Fonte) e a tensão V_{gs} não for maior ou igual à V_{th} [1].

Esse diodo intrínseco funciona como um diodo de roda livre (ou freewheeling), sem que seja necessário conectar um em paralelo ao transistor em um circuito [1], como por exemplo para um IGBT (Transistor Bipolar de Porta Isolada). No entanto o seu comportamento no desligamento é bastante lento, sendo bem inferior e menos efetivo que um diodo rápido de potência [1].

2. Objetivos

Este trabalho tem como objetivo analisar as diferenças de performance de MOSFETs de Silício e de Carbeto de Silício sob mesmas condições de potência, primeiro através de simulações e posteriormente através de testes de bancada.

A comparação inclui a performance de cada dispositivo quanto à temperatura e eficiência de chaveamento (tempo de acionamento e desligamento, energia dissipada correspondente e oscilações).

3. Metodologia

O Software escolhido para a realização das simulações foi o OrCAD (PSpice) e foram utilizados modelos SPICE de MOSFETs fornecidos pelos próprios fabricantes e que já estão no mercado para comércio. Posteriormente foi feito um estudo semelhante experimental para comparação com os resultados obtidos nas simulações. As análises térmicas foram feitas a partir das definições a seguir.

Modelo térmico equivalente para análise de potência e temperatura

O modelo térmico para estudo do comportamento térmico de semicondutores pode ser desenhado como o equivalente de um circuito elétrico, em que tem-se a Temperatura no lugar da Tensão, Potência dissipada no lugar da Corrente e as Resistências térmicas no lugar de Resistências Elétricas. O modelo simplificado segue como na Figura 3.

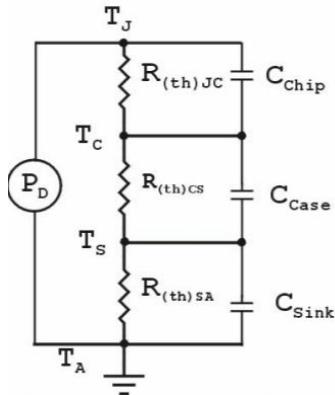


Figura 3 - Modelo térmico simplificado [10]

Onde:

P_D [W] é a potência máxima dissipada na junção

R_{th jc}, R_{th cs}, R_{th SA} [K/W] são, respectivamente, as resistência térmicas entre chip semicondutor (junção) e encapsulamento (case), entre encapsulamento e dissipador (heatsink), e entre dissipador e ambiente

T_j, T_c, Tamb [K ou °C] → Temperatura de junção, do encapsulamento e ambiente, respectivamente

O modelo acima leva em conta a potência média dissipada pelo componente, uma vez que a resistência térmica de um semicondutor é variável com a temperatura (resistência R_{th jc}). Dessa forma o modelo permite que, conhecida a resistência térmica R_{thjc} para uma dada temperatura, a potência média dissipada e temperaturas de case e ambiente, é possível projetar as dimensões e parâmetros de um dissipador que seja adequado e garanta que a T_{jmax} será respeitada nas dadas condições.

Quando falamos no entanto, em prever o comportamento térmico do semicondutor, devemos considerar os picos de potência visto nos momentos de chaveamento dos transistores, que fazem com que, mesmo que momentaneamente, o componente esquente possivelmente além do valor permitido de T_{jmax}. Dessa forma temos a Impedância térmica, que reflete a variação da resistência térmica do componente em função da largura de pulso de potência, ou seja, tempo de duração da potência instantânea [3].

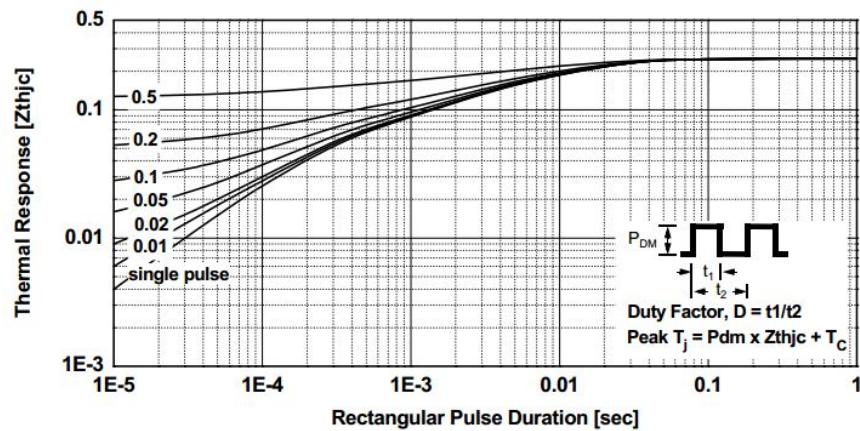


Figura 4 - Imagem representativa do formato da curva de impedância térmica [3]

O exemplo da Figura 4 mostra a impedância térmica para diferentes durações de pulsos de potência (diferentes duty cycles). Observe que para um tempo mais prolongado, todos tendem ao valor da resistência térmica $R_{th\ jc}$.

Circuito Gate-Driver

Um parâmetro bastante importante a ser considerado é a existência da capacitância parasita de gate formada pela camada de metal do gate, camada de óxido do gate e pelo restante do corpo do transistor (Si dopado) [3]. Essa capacitância de gate significa que não se pode acionar e desligar um MOSFET através de uma saída de um CI (circuito integrado). A corrente de saída de um circuito lógico é muito pequena, o que significa que a capacitância de gate seria carregada muito lentamente, provavelmente mais lento do que o tempo de período de chaveamento do dispositivo.

Para que possa ser fornecido ao circuito uma corrente suficientemente grande e ao mesmo tempo rápido, é necessário a utilização de um circuito de gate-driver para realizar o chaveamento do MOSFET [3].

4. Resultados e Discussão

Simulações

Para a realização das simulações, os seguintes MOSFETs foram utilizados, ambos da fabricante ST:

- MOSFET: STW30N80K5
- MOSFET SiC: SCT30N120

O primeiro MOSFET possui uma tecnologia bastante avançada, explorando quase ao máximo as características que um transistor de Silício tem a oferecer.

Já o segundo, o MOSFET de SiC, apresenta características muito semelhantes e com uma maior capacidade de tensão de polarização Dreno-Fonte (1200 V).

Com isso em mente, é possível que a diferença de performance de um para outro não seja tão discrepante ou ainda que o de Si supere o SiC em alguns aspectos devido à sua construção um pouco diferenciada. No entanto é válido comparar suas velocidades e perdas de chaveamento, bem como sua variação na temperatura de junção, e assim obtermos um parâmetro de como um material ainda em fase de descoberta e desenvolvimento pode performar de maneira semelhante ao de um produto já consolidado.

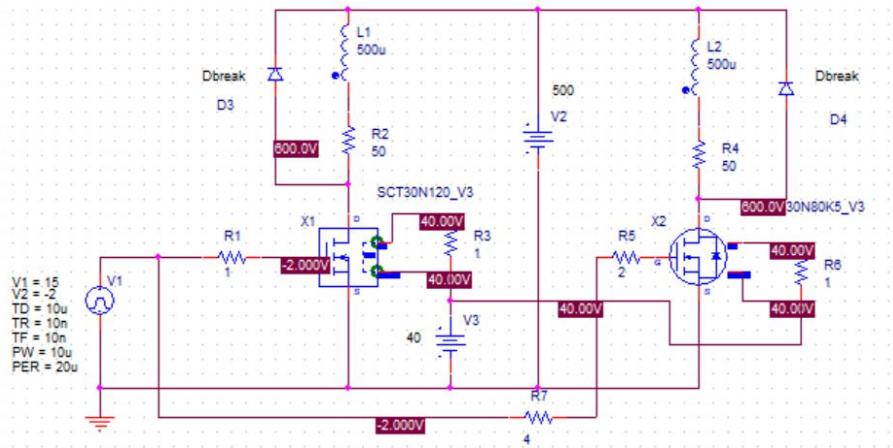


Figura 5 - Circuito simulado considerando uma carga indutiva

As configurações da simulação foram determinados de acordo com as recomendações presentes no Tutorial da ST [7] sobre como utilizar os modelos SPICE dos seus produtos em um simulador e quais parâmetros devem ser ajustados.

Comparações:

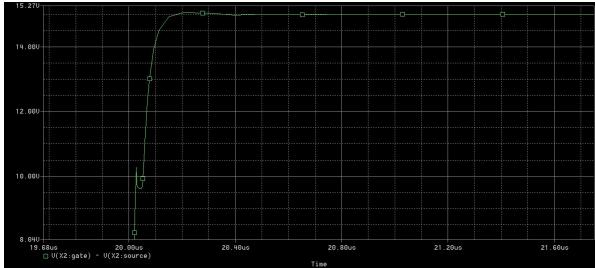


Figura 6 - Borda de subida da tensão Vgs

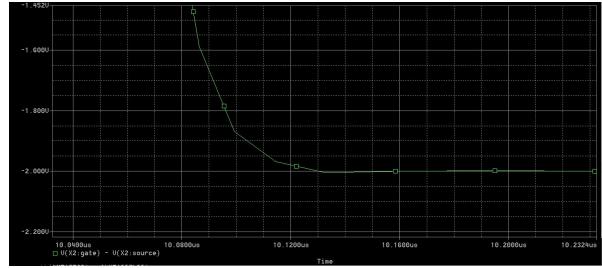


Figura 7 - Borda de descida da tensão Vgs

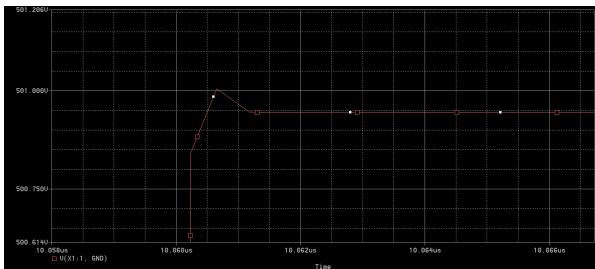


Figura 8 - Tensão de Vds no desligamento do MOSFET (SiC)

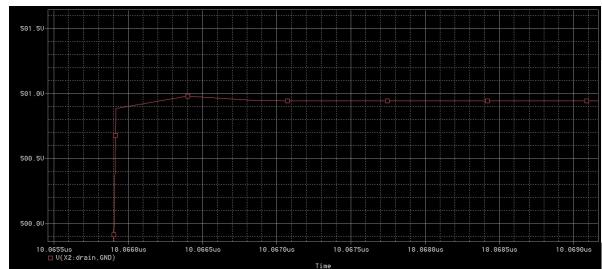


Figura 9 - Tensão de Vds no desligamento do MOSFET (Si)

Não são vistas transientes de tensão em Vgs e Vds, como seria o esperado. Isso implica que os modelos fornecidos pelos fabricantes não incluem as indutâncias intrínsecas presentes nos MOSFETs, responsáveis pelas oscilações vistas no momento do chaveamento. Além disso não estão sendo consideradas as indutâncias parasitas do circuito (indutâncias de trilha de uma PCB, da própria carga e dos cabos conectados na carga e no circuito). O comportamento dessas oscilações têm uma influência direta no estudo da performance de um dispositivo, pois eventuais limites de tensão podem ser ultrapassados por picos de tensão provenientes da oscilação e que podem levar o transistor à sua destruição.

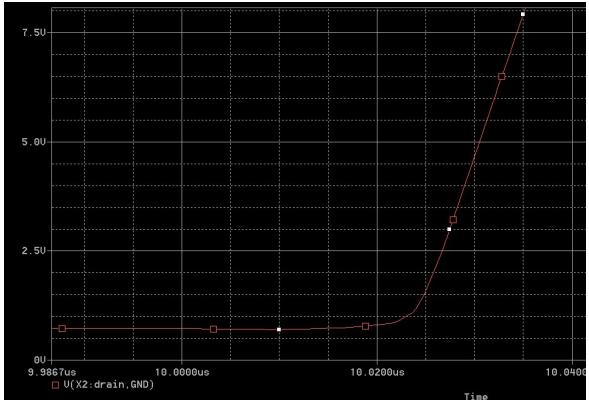


Figura 10 - início borda de subida (desligamento) MOSFET Si

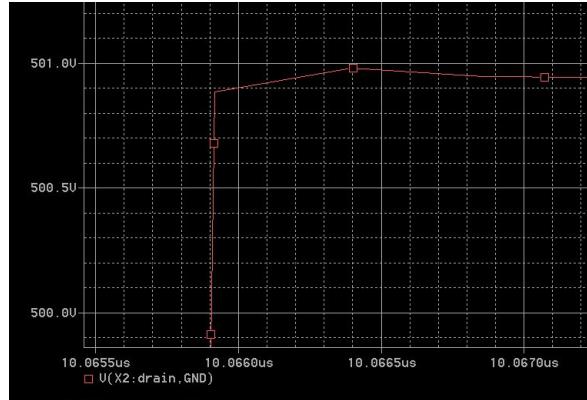


Figura 11 - fim borda de subida (desligamento) MOSFET Si

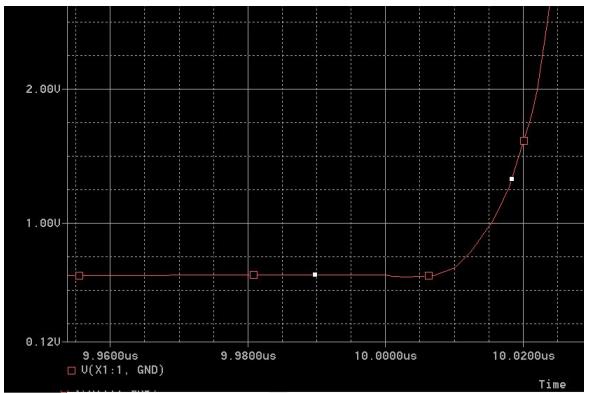


Figura 12 - início borda de subida (desligamento) MOSFET SiC

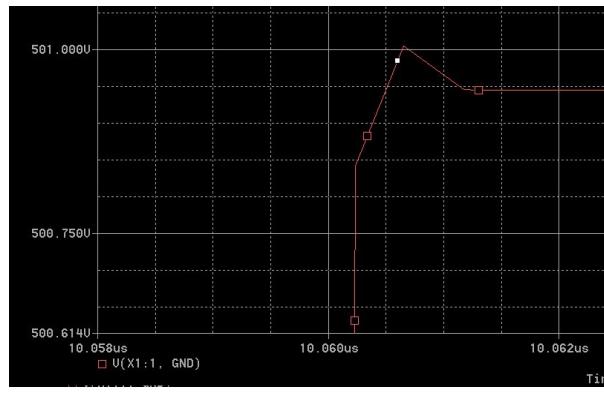


Figura 13 - fim borda de subida (desligamento) MOSFET SiC

Os tempo de subida e descida no momento de acionar e desligar MOSFET são muito semelhantes. Olhando as Figuras 10-13 acima, vemos que o tempo de desligamento do MOSFET SiC está em torno de 50 ns, enquanto que para o MOSFET Si está em 46 ns. Como dito anteriormente, o MOSFET de silício analisado é um transistor de última geração com uma construção diferenciada e que tem um alto nível de performance, provável motivo pelo qual não se pôde observar um desempenho significativamente melhor do MOSFET SiC.

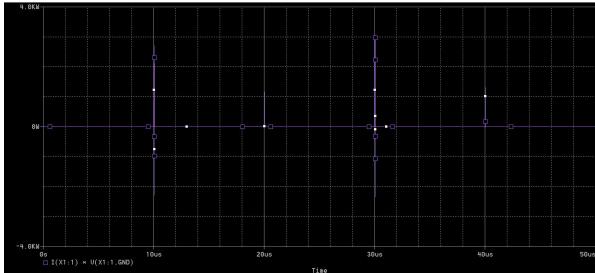


Figura 14 - Perdas no MOSFET SiC

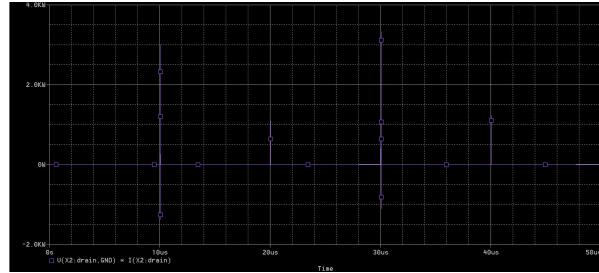


Figura 15 - Perdas no MOSFET Si

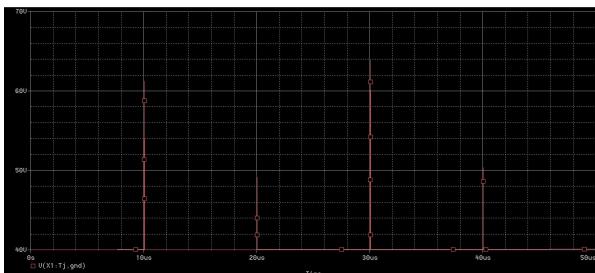


Figura 16 - Comportamento de T_j para MOSFET SiC

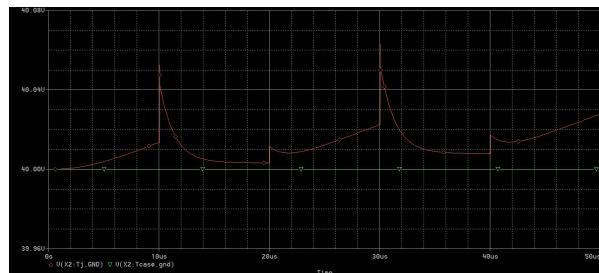


Figura 17 - Comportamento de T_j para MOSFET Si

O modelo do MOSFET SiC não mostrou um comportamento térmico satisfatório, com uma curva que não contempla as oscilações esperadas de temperatura. A cada pico de potência no acionamento e desligamento, há um grande aumento da temperatura de junção, que esquenta rapidamente. No período em que o MOSFET permanece desligado, a junção começa a esfriar lentamente, até que ela receba outro pulso de potência e volte a esquentar. O quanto ela esfria e o quanto rapidamente depende do valor da resistência térmica e do dimensionamento adequado do dissipador, isto é, se ele está dissipando a quantidade de calor e no tempo necessário para garantir que a temperatura de junção não ultrapassará a sua temperatura máxima.

Já a simulação térmica do MOSFET Si apresentou um comportamento da temperatura de junção mais coerente, porém com uma variação muito abaixo do esperado. A curva mostra que T_j esquenta muito poucos graus a cada pulso de potência. Isso deve ocorrer por conta de não estarem sendo consideradas as grandes oscilações de tensão e corrente no momento do chaveamento. Como $P = V * I$, se não forem consideradas

os picos de tensão muito superiores à tensão do circuito, então a temperatura de junção também não irá ter seu valor real representado.

Experimento prático - Teste de bancada

Os materiais foram fornecidos pelo Laboratório de Condicionamento de Energia Elétrica (LCEE) da Faculdade de Engenharia Elétrica e Computação (FEEC). O circuito utilizado na montagem segue como abaixo, com carga resistiva e depois indutiva:

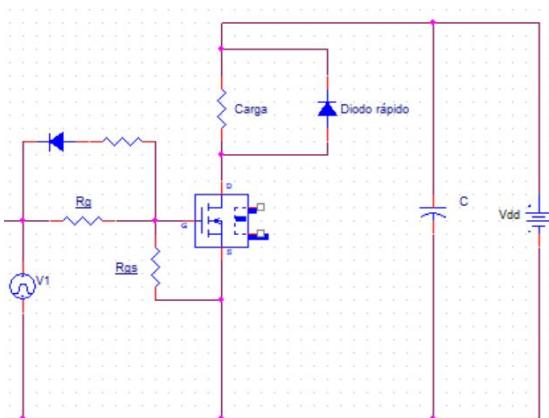


Figura 18 - Circuito esquemático do teste de bancada com carga resistiva

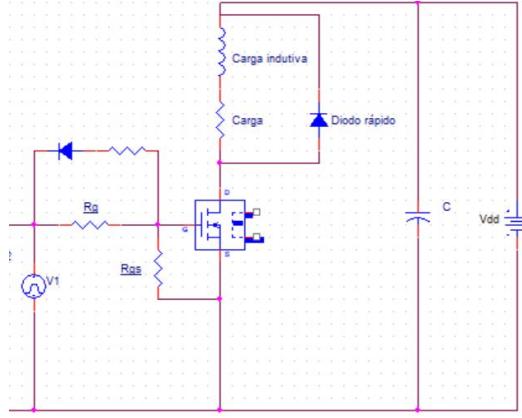
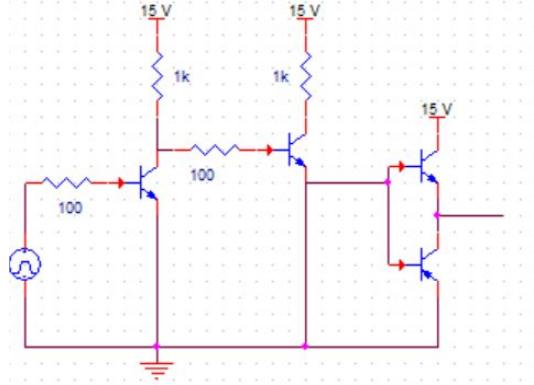


Figura 19 - Circuito esquemático do teste de bancada com carga indutiva

Não é possível chavear o MOSFET com exatamente a mesma construção do circuito utilizado na simulação. Quando chaveado, o MOSFET de potência exige uma corrente relativamente alta do circuito de driver e que o gerador de funções não é capaz de suprir, portanto é necessário um circuito de driver que não tenha somente a resistência de gate. Foram utilizados circuitos de buffer para melhor chaveamento do MOSFET, e, um responsável por elevar o nível da tensão de saída do gerador de funções e um segundo que funciona como um buffer de corrente.



Representação do circuito de buffer utilizado para chavear os MOSFETs

Foi configurado uma onda quadrada com amplitude V_{pp} de 5 V e Offset em 2,5 V (nível alto em 5 V e baixo em 0 V) para a entrada do circuito de driver e assim obtermos uma tensão V_{gs} de 0 - 15 V. Os circuitos de driver são alimentados por um fonte externa de 15V.

A resistência R_{gs} colocada entre Gate e Fonte exerce a função de impedir que algum sinal de ruído proveniente do circuito de potência gere uma tensão em V_{gs} e acione o MOSFET indesejadamente (acionamento parasita).

Paralelamente à resistência de gate, foi colocado um diodo e uma resistência menor, com a finalidade fornecer um caminho mais rápido e de menor resistência para a corrente do circuito de driver no momento que o transistor for desligado. Com isso espera-se que a oscilação de tensão que aparece (como mostrado mais a frente) diminua.

Também com o objetivo de aumentar o amortecimento da oscilação de tensão, foi colocado em paralelo com a alimentação do circuito de potência um banco de capacitores.

O transistor SiC analisado é um semelhante ao modelo spice utilizado na simulação, porém com uma capacidade um pouco menor de potência (10 A e 1200V ao invés de 30 A). No caso do MOSFET Si, foi utilizado um modelo disponível no laboratório que não suporta uma tensão tão alta (650 V e 20 A) quanto o MOSFET SiC.

Inicialmente foi planejado a utilização de uma fonte de 300 V, mas como ela apresentou problemas no momento do chaveamento do MOSFET, foi necessário utilizar uma segunda fonte com capacidade menor.

Condições de teste:

- 50 V de alimentação na carga
- Carga resistiva de $33\ \Omega$
- Carga indutiva de $174\ \mu H$
- Onda quadrada de 0 - 15 V com frequência de chaveamento de 20 kHz

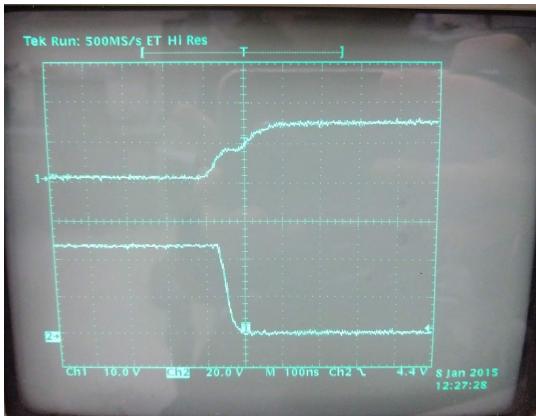


Figura 20 - V_{gs} (CH1) e V_{ds}(CH2) no acionamento do MOSFET SiC

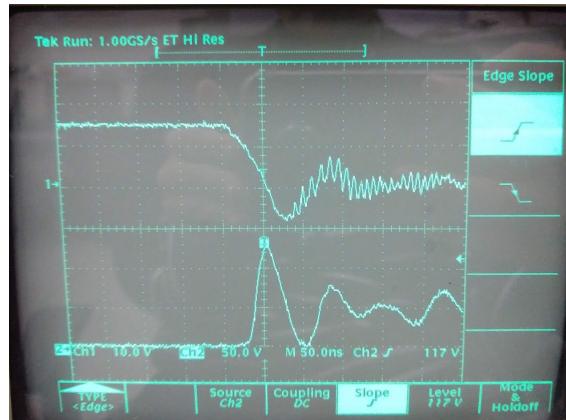


Figura 21 - V_{gs} (CH1) e V_{ds}(CH2) no desligamento do MOSFET SiC

No momento do desligamento, observa-se um transiente de tensão em V_{ds} e V_{gs}. Isso ocorre devido à interação das capacitâncias intrínsecas do transistor com indutâncias parasitas que estão presentes no circuito, nos fios de ligação e na própria carga. Como as capacitâncias de dreno-gate-fonte estão acopladas, essa oscilação também se reflete na tensão de V_{gs}. Uma otimização do circuito de driver e de suas conexões (trilhas e fios menores e mais próximos, por exemplo) devem contribuir para melhora das oscilações vistas em V_{gs}.

A frequência de chaveamento foi variada entre 20 kHz e 100 kHz, no entanto, não foi observada mudança nas oscilações. Para este ponto de operação com tensão e

corrente muito abaixo da capacidade do MOSFET, ele é capaz de operar sem maiores dificuldades com um chaveamento mais rápido. O esperado é que quanto maior a tensão, maior a influência da frequência de chaveamento.

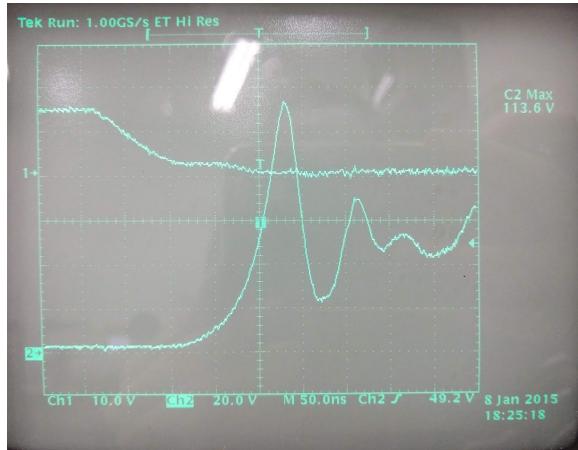


Figura 22 - Vgs (CH1) e Vds(CH2) no desligamento do MOSFET Si

No MOSFET Si vemos que Vgs apresenta uma menor oscilação do que o MOSFET SiC. Por se tratar de um MOSFET com uma construção interna bastante otimizada e com baixa carga de gate, há uma menor ressonância na tensão Vgs. [datasheet]. Vds no entanto sofre uma oscilação semelhante à vista no SiC.

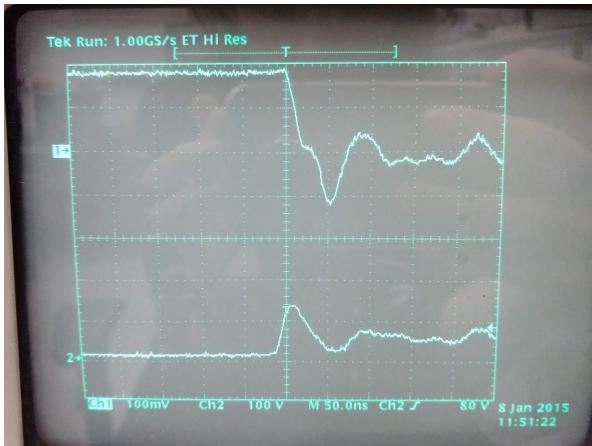


Figura 23 - Id (CH1) e Vds (CH2). Transiente com diodo paralelo à carga - MOSFET SiC

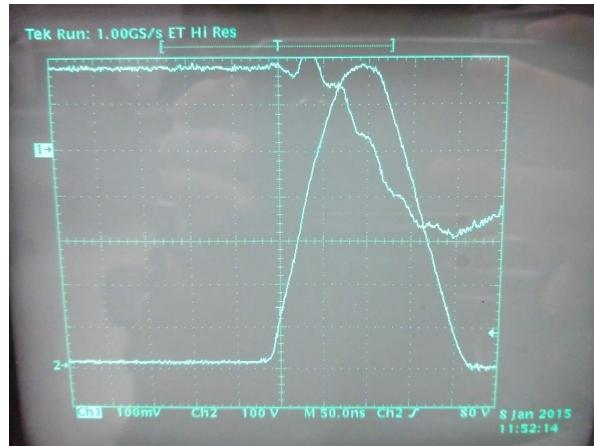


Figura 24 - Id (CH1) e Vds (CH2). Transiente sem o diodo paralelo à carga - MOSFET SiC

O diodo em paralelo com a carga conduz no sentido reverso ao da corrente Id (portanto não conduz quando transistor está acionado). Quando o MOSFET desliga, há ainda armazenamento de energia do circuito devido às indutâncias e capacitâncias ali presentes e que precisa ser dissipada de alguma forma. O diodo mantém a condução de corrente no circuito num mesmo sentido, limitando o efeito $\frac{di}{dt}$ causado pelas indutâncias parasitas e consequentemente, diminuindo o pico de tensão observado na oscilação de Vds, como mostram as Figuras 23 e 24. Ao retirarmos o diodo do circuito, esse pico inicial de tensão fica muito maior, acima de 500 V para uma alimentação de 50 V. Analisando a frequência de ressonância com o diodo desconectado é possível estimar o valor da indutância parasita presente no circuito.

Pela curva da tensão, temos o período da oscilação próximo à

$$\frac{T}{2} = 150 \text{ ns} \Rightarrow f_{\text{ressonância}} = 3,33 \text{ MHz}$$

Pelo datasheet do MOSFET STC10N120, temos que a capacitância de saída é aproximadamente $C_{oss} = 75 \text{ pF}$ para $V_{DS} = 50 \text{ V}$ e $f = 1 \text{ MHz}$.

Como:

$$f_{\text{ressonância}} = \frac{1}{2\pi\sqrt{LC}} \Rightarrow \frac{1}{L} = (3,33 * 10^6 * 2\pi)^2 * 75 * 10^{-12} \Rightarrow L = 30,45 \mu\text{H}, \text{ sendo } L \text{ a indutância parasita presente no circuito, aproximadamente.}$$

A corrente é limitada pelo valor da carga e alimentação $I_d = \frac{50}{33} = 1,51 \text{ A}$. Pela Figura, vemos que no período de 150 ns, a corrente vai de 1,51 até -1,5, aproximadamente. Portanto pode-se calcular um valor aproximado da tensão de pico uma vez conhecida as indutâncias do circuito: $V = L * \frac{di}{dt} = 30,45 * \frac{3,33 \text{ A}}{150 \text{ ns}} = 609 \text{ V}$, que chega próximo ao valor observado na Figura 24. A diferença está provavelmente associada a aproximações feitas para valores de capacitância de saída, variação de corrente e período.

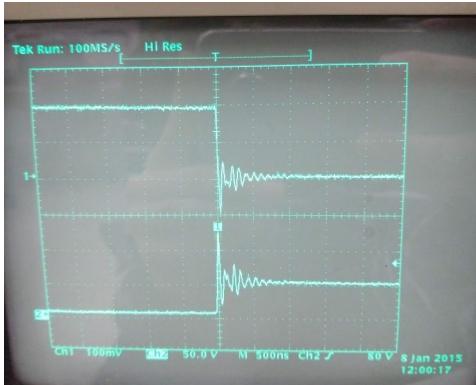


Figura 25 - Id (CH1) e Vds(CH2) no desligamento_SiC

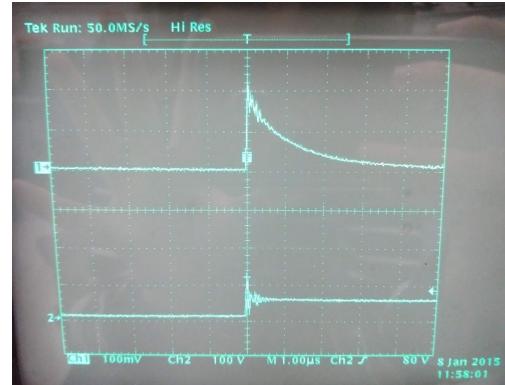


Figura 26 - Corrente no diodo (CH1) e Vds (CH2) no desligamento_SiC



Figura 27 - Id (CH1) e Vds (CH2) no acionamento_SiC

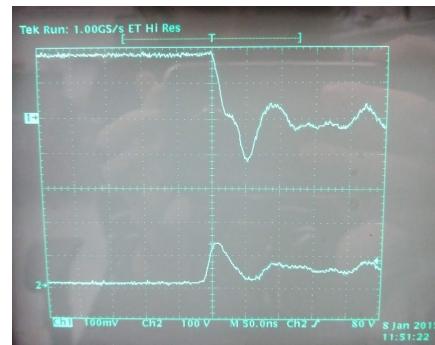


Figura 28 - Id (CH1) e Vds (CH2) no desligamento_SiC



Figura 29 - Id (CH1) e Vds (CH2) no acionamento_Si



Figura 30 - Id (CH1) e Vds (Ch2) no desligamento_Si

Nota-se que para o dado ponto de operação (Vdd em 50 V e corrente em 1,5 A), ambos os transistores performam de maneira semelhante. As oscilações não diferem muito, chegando a um pico de cerca de 130 V para o MOSFET SiC e cerca de 110 V

para o Si. De toda maneira, isso mostra que a tensão alcança mais que o dobro do seu valor durante o desligamento, o efeito chamado de “Ringing” que não pôde ser observado nas simulações. É por conta deste efeito que deve-se dar atenção aos elementos utilizados nos circuitos de driver e de potência que possam reduzir esse efeito, aumentando o amortecimento.

O efeito de “ringing” também têm bastante influência no tempo de desligamento.

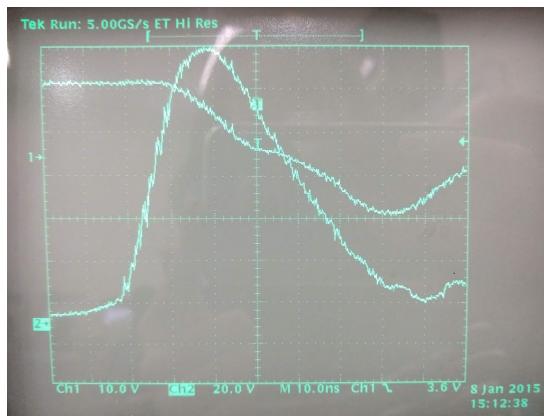


Figura 31 - Tempo de desligamento para MOSFET SiC

A tensão V_{ds} chega ao valor de 50 V rapidamente, com um tempo de subida (t_{rise}) bem pequeno. No entanto, devido à grande oscilação, antes de se estabilizar a tensão volta a ter um valor muito próximo ao valor de threshold, podendo ligar o mosfet novamente. Só é possível considerar o transistor como estando efetivamente desligado quando a oscilação começa a se estabilizar com valor mais próximo ao da tensão de polarização, fazendo com que o tempo de desligamento acabe sendo muito mais lento que o proposto no datasheet do componente. Diminuir a amplitude e frequência de ressonância são elementos chaves para acelerar o tempo de acionamento e desligamento dos MOSFETs e permitir que os mesmos operem em maiores frequências.

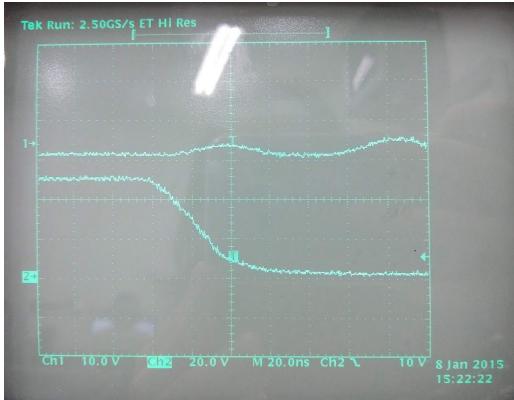


Figura 32- Id (CH1) e Vds (CH2)_Tempo de acionamento do MOSFET SiC

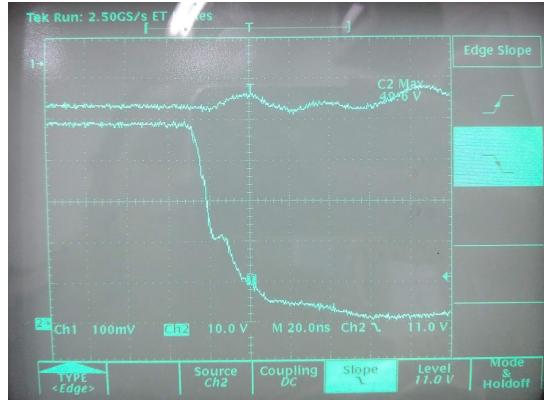


Figura 33 - Id (CH1) e Vds (CH2)_Tempo de acionamento MOSFET Si

Nas Figuras 32 e 33, observa-se o tempo de acionamento dos MOSFETs, isto é, o tempo que eles levam para que Vds passe do valor de Vdd para o valor de threshold, tensão no transistor quando está em condução. Em ambos os transistores, o seu tempo de acionamento está muito acima (mais lento) do que os valores indicados em seus datasheets, com o MOSFET SiC chegando a levar cerca de 50-60 ns e o MOSFET Si próximo a 80 ns. Uma hipótese é de que o circuito de driver montado para realização do teste não está adequado para otimizar a performance do MOSFET. Como foi mencionado anteriormente, sem um circuito de driver ou para um circuito mal dimensionado, o tempo para carregar e descarregar as capacitâncias de gate pode ser maior que o tempo de chaveamento do próprio MOSFET. Ainda assim, aqui vemos que o tempo de acionamento para ambos não difere muito, com comportamento e tempo muito semelhantes.

Uma carga indutiva de $174 \mu\text{H}$ foi adicionada e o valor da carga resistiva foi variada para que possamos analisar seus efeitos. Isso permitiu uma melhor análise dos tempos de desligamento para cada MOSFET.

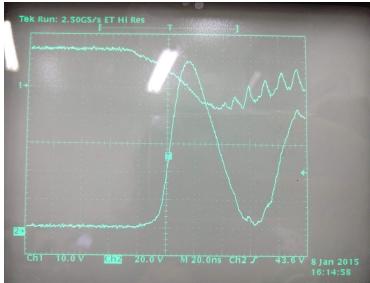


Figura 34- Vgs (CH1) e Vds (CH2) com carga 33Ω _SiC

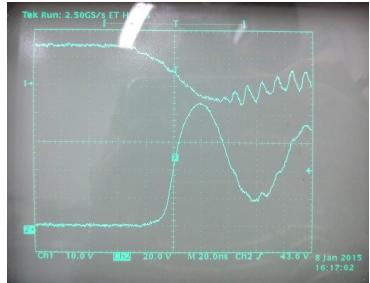


Figura 35 - Vgs (CH1) e Vds (CH2) com carga 50Ω _SiC

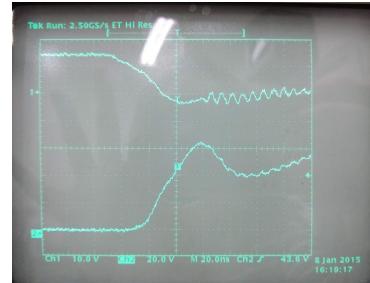


Figura 36- Vgs (CH1) e Vds (CH2) com carga 100Ω _SiC

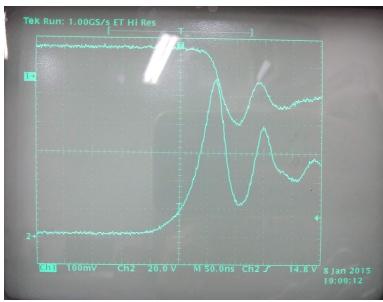


Figura 37 - Id (CH1) e Vds (CH2) com carga 33Ω _Si

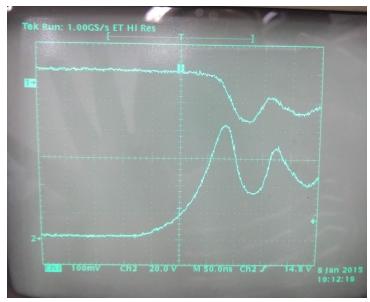


Figura 38 - Id (CH1) e Vds (CH2) com carga 50Ω _Si

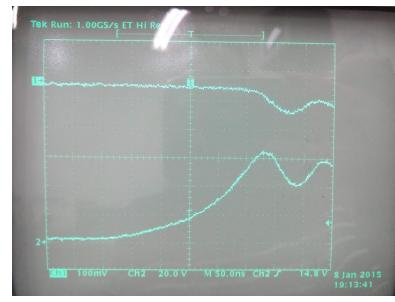


Figura 39 - Id (CH1) e Vds (CH2) com carga 100Ω _Si

Variando a carga resistiva, podemos ver a influência no transiente de tensão Vds e Vgs e na corrente Id. Quanto maior a parte resistiva, mais o valor da corrente será limitada, diminuindo o efeito de $\frac{di}{dt}$. Vemos que todos os três parâmetros têm suas oscilações diminuídas conforme aumentamos a carga resistiva. Contudo, vemos que o MOSFET Si desliga muito mais lentamente em relação ao MOSFET SiC e podemos notar um $\frac{di}{dt}$ bem menor ao compararmos as curvas da tensão Vds nas figuras acima. Nas figuras 36 e 39, em que foi utilizada maior carga resistiva, temos que o MOSFET SiC alcança os 50 V de polarização em cerca de 20-30 ns, ao tempo que o MOSFET Si demora cerca de 150ns - 180ns. É essa velocidade muito superior que faz com que o $\frac{di}{dt}$ do MOSFET SiC seja muito maior e responsável por maiores valores nos transientes de tensão, o que seria ainda mais evidente caso o transistor estivesse operando sob maiores condições de potência.



Figura 40 - Id e Pdissipada_MOSFET SiC

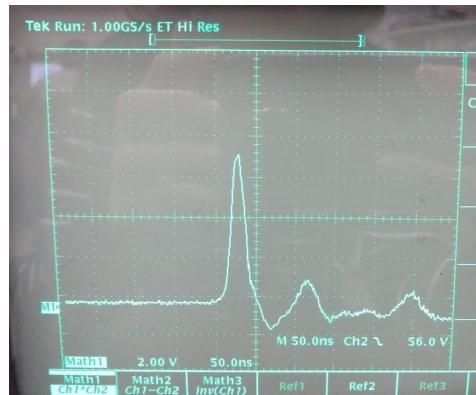


Figura 41 - Pdissipada no desligamento_MOSFET SiC

A potência dissipada pelo MOSFET é muito maior no momento do desligamento, como foi também observado nas simulações. Como o ponto de operação em que foi possível a realização do trabalho resultam em valores muito baixos de potência, a temperatura de junção do componente não irá sofrer uma variação muito grande.

Podemos no entanto utilizar os valores encontrados para fazer um estudo teórico para prever o comportamento da temperatura durante o chaveamento. Na Figura 41, pode-se calcular a área aproximada do pico de potência durante cerca de 40 ns, obtendo assim a energia equivalente aproximada durante o desligamento. Pode-se então substituir o pulso de potência por um equivalente de menor valor, porém durante o mesmo período de tempo e com um valor constante.

Não foi possível ajustar a escala da ponta de prova de medição de corrente do osciloscópio, porém, conhecida os valores de carga, sabemos que a corrente estava limitada em cerca de 1,5 A. Temos então que cerca de 0,75 A por divisão. Sabemos pela Figura 28 que o pico máximo do transiente de tensão foi de cerca 130 V. Consideremos então que o ponto máximo do pico de potência tem um valor aproximado de $P = V * I = 130 * 1,5 = 195 W$.

Aproximando a curva na Figura 41 para um triângulo, a área equivalente durante os 40ns será $E = \frac{P * \Delta t}{2} = \frac{195 * 40 \text{ ns}}{2} = 3,9 \mu\text{J}$.

$$\text{Dessa forma: } P_{\text{instantânea}} = \frac{E}{\Delta t} = \frac{3,9 \mu}{40 \text{ ns}} = 97,5 \text{ W}$$

Podemos dizer que durante os 40 ns, foi aplicado um pulso constante de potência de 97,5 W. No datasheet dos MOSFETs não há um valor de impedância térmica para um pulso menor do que da ordem de μs , sendo Z_{th} muito pequena, próxima a zero. Consideremos um valor bem baixo para cálculo de Z_{th-jc}

$$= 0,001 * R_{th-jc} = 0,001 * 1,17 = 0,00117 \text{ K/W}.$$

Considerando $T_{case} = 25^\circ\text{C}$, a temperatura de junção seria então determinada por:

$$(T_j - T_{case}) = P_{\text{instantânea}} * Z_{th-jc} = 97,5 * 0,00117 \Rightarrow T_j = 25,11^\circ\text{C}.$$

Devido à baixa potência aplicada e boa dissipação térmica do componente e do dissipador utilizado, a temperatura de junção não esquentou significativamente.

Analogamente para o MOSFET Si:

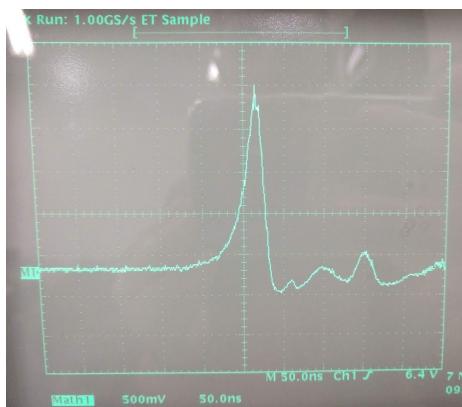


Figura 42 - Pdissipada_MOSFET Si

Pela Figura 30, temos um pico de tensão de aproximadamente 110 V e uma corrente limitada pela carga em até cerca de 1,5 A. Com isso o pico da potência dissipada no desligamento é estimada em: $P = V * I = 110 * 1,5 = 165 \text{ W}$.

Novamente aproximando o cálculo da área do pico de potência na Figura 42 para o cálculo da área de um triângulo no período de 60 ns, podemos estimar a energia

dissipada em: $E = \frac{P * \Delta t}{2} = \frac{165 * 60 \text{ ns}}{2} = 4,95 \mu\text{J}$, nos dando assim o equivalente a um pulso constante de $P_{instantânea} = \frac{E}{\Delta t} = \frac{4,95 \mu\text{J}}{60 \text{ ns}} = 82,5 \text{ W}$ no período de 60 ns.

Pelo datasheet do componente temos uma impedância térmica aproximadamente de:

$$Z_{th-jc} = 0,02 * R_{th-jc} = 0,02 * 0,74 = 0,0148 \text{ K/W}.$$

$$(T_j - T_{case}) = P_{instantânea} * Z_{th-jc} = 82,5 * 0,0148 \Rightarrow T_j = 26,22^\circ\text{C}, \quad \text{considerando}$$

$T_{case} = 25^\circ\text{C}$. A temperatura de junção não sofreu grandes mudanças também, pelos mesmos motivos já descritos, no entanto o fato de a impedância térmica ter um valor um pouco maior fez com que ele esquentasse um pouco mais em comparação com MOSFET Si.

5. Conclusão

Dadas as condições de teste e limitações dos equipamentos utilizados, infelizmente não foi possível a realização do experimento explorando as capacidades máximas de cada um dos MOSFETs e assim evidenciar ainda mais as suas principais diferenças e comparar suas performances. No entanto o estudo permitiu a visualização das diferenças encontradas na simulação do funcionamento de um componente e no teste prático de bancada. As desconsiderações dos modelos fornecidos para simulação e da interação de componentes elétricos do circuito de potência não permitem a observação e análise completa do comportamento dos MOSFETs. Importante, portanto que seja feito primeiro uma análise dos valores de indutâncias intrínsecas dos transistores e indutâncias parasitas da própria montagem do circuito para que possam ser incluídas na simulação e assim obter resultados mais próximos da realidade.

Nos testes de bancada, foi possível estudar melhor o comportamento real dos transistores ainda que com uma baixa potência. Através dos resultados expostos, têm-se uma base do que esperar no comportamento dos MOSFETs de Si e SiC e quais efeitos devem ser cuidadosamente considerados.

A velocidade de chaveamento de um MOSFET SiC é a vantagem que permite a sua operação em maiores frequências, no entanto pode ser um problema quanto ao controle dos transientes de tensão observados. Por serem muito grandes (devido ao

alto $\frac{di}{dt}$) o seu controle e melhor amortecimento são um dos desafios encontrados para melhoria da performance destes dispositivos.

Referências e bibliografia

- [1]Josef Lutz, Heinrich Schlangenotto, Uwe Scheuermann e Rik De Doncker - “*Semiconductor Power Devices*”, 2011.
- [2] José Antenor Pomilio, “Módulo 4 - COMPONENTES SEMICONDUTORES RÁPIDOS DE POTÊNCIA”. Disponível em:
[<http://www.dsce.fee.unicamp.br/~antenor/pdffiles/ee833/Modulo4.pdf>](http://www.dsce.fee.unicamp.br/~antenor/pdffiles/ee833/Modulo4.pdf)
- [3] Thermal Analysis. Disponível em <<http://onetesla.com/tutorials/thermal-analysis>>
- [4]Alvin Ong, Joseph Carr, Juan Balda, Alan Mantooth - “*A Comparison of Silicon and Silicon Carbide MOSFET Switching Characteristics*”, 2007
- [5] Bob Callanan, Cree Inc., Research Triangle Park, USA - “*Application Considerations for Silicon Carbide MOSFETs*”, 2010
- [6]Laszlo Balogh - “*Design And Application Guide For High Speed MOSFET Gate Drive Circuits*”
- [7]Spice model tutorial for Power MOSFETs. Disponível em:
[<http://www.st.com/content/ccc/resource/technical/document/user_manual/04/4d/16/0d/d9/49/46/29/DM00064632.pdf/files/DM00064632.pdf/jcr:content/translations/en.DM00064632.pdf>](http://www.st.com/content/ccc/resource/technical/document/user_manual/04/4d/16/0d/d9/49/46/29/DM00064632.pdf/files/DM00064632.pdf/jcr:content/translations/en.DM00064632.pdf)
- [8]Technical Article TA0349. Disponível em:
[<http://www.st.com/content/ccc/resource/technical/document/technical_article/10/a7/d8/5c/12/63/4e/d6/DM00087447.pdf/files/DM00087447.pdf/jcr:content/translations/en.DM00087447.pdf>](http://www.st.com/content/ccc/resource/technical/document/technical_article/10/a7/d8/5c/12/63/4e/d6/DM00087447.pdf/files/DM00087447.pdf/jcr:content/translations/en.DM00087447.pdf)
- [9]FlowCad Application Note. Disponível em:
[<http://www.flowcad.de/AN/FlowCAD_AN_PSpice_Create_HierPart.pdf>](http://www.flowcad.de/AN/FlowCAD_AN_PSpice_Create_HierPart.pdf)
- [10] Abdus Sattar, IXYS Corporation - “Power MOSFET Basics”. Disponível em:
[<https://www.ixys.com/Documents/AppNotes/IXAN0061.pdf>](https://www.ixys.com/Documents/AppNotes/IXAN0061.pdf)
- [11] “Condutores, isolantes e semicondutores”. Disponível em:
<https://www.resumoescolar.com.br/fisica/condutores-isolantes-e-semicondutores/>
- [12]Yang Xue, Zhiqiang Wang, Leon M. Tolbert, Benjamin J. Blalock - “*Analysis and Optimization of Buffer Circuits in High Current Gate Drives*”
- [13] STW30N80K5. Disponível em:

<<http://www.st.com/content/ccc/resource/technical/document/datasheet/group1/b9/a2/c4/b2/3a/4d/49/ec/DM00246893/files/DM00246893.pdf/jcr:content/translations/en.DM00246893.pdf>>

[14] SCT30N120. Disponível em:

<<http://www.st.com/content/ccc/resource/technical/document/datasheet/group3/6f/96/4f/95/a0/02/42/56/DM00053079/files/DM00053079.pdf/jcr:content/translations/en.DM00053079.pdf>>

[15] SCT30N120. Disponível em:

<<http://www.st.com/content/ccc/resource/technical/document/datasheet/group3/5e/ac/d2/a0/5d/48/4e/a3/DM00170798/files/DM00170798.pdf/jcr:content/translations/en.DM00170798.pdf>>

[16] STW28N65M2. Disponível em:

<<http://www.st.com/content/ccc/resource/technical/document/datasheet/a5/9f/eb/4a/66/42/4b/23/DM00150353.pdf/files/DM00150353.pdf/jcr:content/translations/en.DM00150353.pdf>>

[17] STW28N65M2. Disponível em:

<<https://www.mouser.com/ds/2/149/RURG3060-1012172.pdf>>

