

話の展開が悪い。前章の課題に対応した要求分析をゼロンして、最後におとめた解決策をしめす。  
(とつとつに、「こうやって対応は」と書かれても読者は不明)

## 第3章 アナログ基板の設計と試作

本章では、要求分析に基づいた仕様策定を行い、アナログ基板を設計する。また、市販のアナログ基板と比較した改良点についても整理し、試作したアナログ基板の概要をまとめる。

この3つの課題それぞれについて要求分析と解決方法をゼロンす。

### 3.1 要求分析

前章で述べたように、市販のアナログ基板には三つの解決すべき課題があった。ひとつ目はローパスフィルタによる帯域の制限、ふたつ目は消費電力の過大、最後にユーザビリティの毀損である。

これらの三つの課題に対する解決方法は、次の通りである：  
以上のように すべてを満足する

1. DAC の出力部分にあるローパスフィルタを排除する。
2. 位相同期回路 (PLL) の代わりにクロック・ファンアウト・バッファを用いる。
3. 水晶発振器を整数倍の周波数のものに変更する。MMCX コネクタから SMA コネクタに変更する。

1. は単純である。高周波をカットしているローパスフィルタを排除することで、ADC のサンプリング周波数の 1/2 まで帯域を使用可能にする。

2. は市販のアナログ基板に搭載されている IC の中で最も消費電力が大きい部品である PLL (Typ. 2.9 W) の代わりに、クロック・ファンアウト・バッファ (Typ. 0.29 W) を使うことで 2.5 W 以上消費電力を抑制する。このクロック・ファンアウト・バッファは、PLL と異なり FPGA による制御が不要であることも、利点のひとつである。また、ADC を同等の性能でより省電力なパッケージを選択した。

3. は周波数分解能を非直感的にする原因である水晶発振器を、ユーザーが使いやすい整数倍のクロックに変更する。これにより、ユーザーはある数 (共振周波数) に 12.288 を掛けたり、割ったりするような認知的負荷から開放される。コネクタの統一も作業効率に改善をもたらす。