

図 4.9: RHEA Ver. 1.0 (裏面)

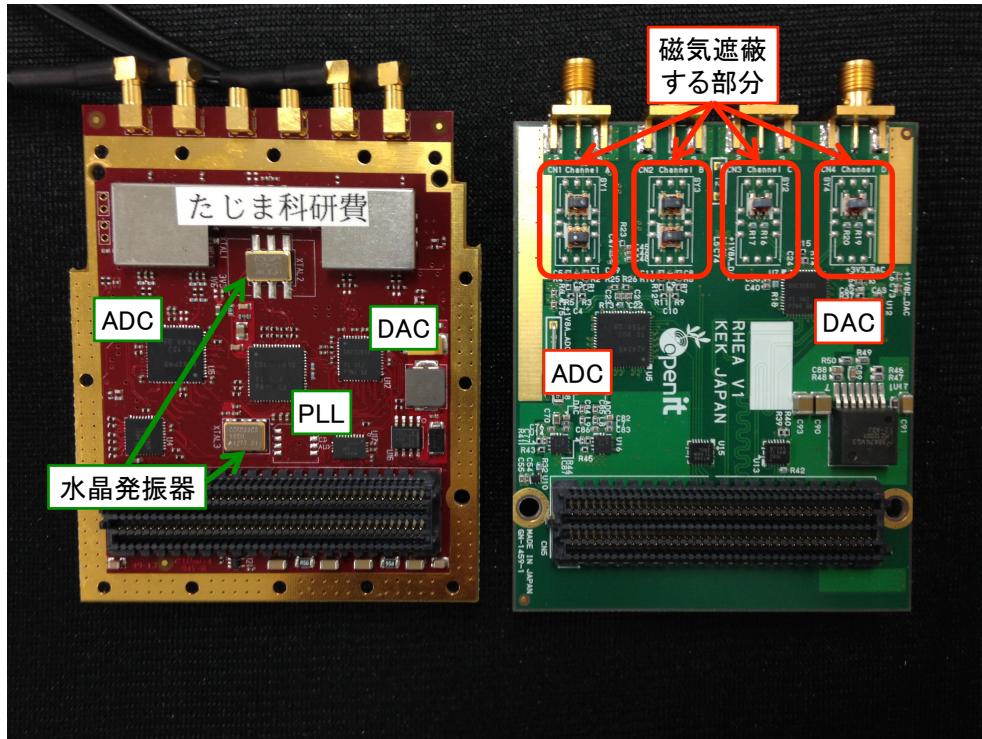


図 4.10: RHEA (本研究) と FMC150 (既存の市販品) の表面の比較。FMC150 のアナログ入出力の手前についている金属の囲いは、トランジスタがつくる磁場を遮蔽するためのシールドである。RHEAにおいても、トランジスタ部分は磁気遮蔽シールドを取り付けられる。

## 第6章 まとめ

次世代のCMB偏光観測において、検出器の多素子化とその多重読み出しは重要な要素である。MKIDは多素子化、多重読み出しに優れた検出器であり、その特性を最大化する読み出し系の開発が急務である。

日本国内において、既存の読み出し系は、汎用通信機用の市販品を組み合わせて構成しており、実際にそれを使ってMKIDの開発研究を行っている。しかしながら、その構成要素であるアナログ基板(FMC150)には、以下の解決すべき課題が存在する：

1. LPF(ローパス・フィルター)による帯域の制限
2. 消費電力・発熱の過大
3. ユーザビリティの毀損

これらの課題を解決するために、MKIDの読み出しに最適化した新しいアナログ基板「RHEA」の開発を行った。RHEAは、次のような方法で課題の解決を図った：

- ・❶ 帯域を制限しているLPFの排除
- ・❷ クロック分配方式の簡素化(PLLからクロック・ファンアウト・バッファへの変更)
- ・❸ 水晶発振器の周波数の変更
- ・❹ コネクター規格の統一

そして、これらの解決方法を実装したRHEAはを試作した。その特性を評価し、以下のことを確認した：

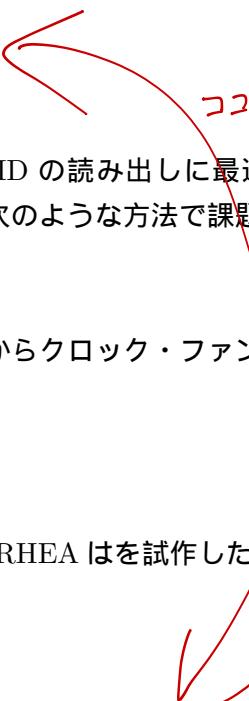
1. 帯域  $\pm 100$  MHz
2. 消費電力 7.9 W(読み出し多密度32での使用時)
3. 外部冷却装置不要に代表される、高いユーザビリティの実現

帯域は、従来のアナログ基板と比較しておよそ30%拡大した。消費電力は、従来のおよそ半分になり、必須であったUSB扇風機も不要となった。ユーザビリティの向上は、今後のユーザーからの反応が待たれるが、一ユーザーとして、このフロントエンド回路の定性的な評価を述べると、読み出し系の状態制御や装置構成の変更等、従来のフロントエンド回路と比べると使いやすくなったといえる。

以上より、MKIDの読み出しに最適化した試作アナログ基板RHEAは、策定した仕様通りに完成した。今後、実際のMKIDを使っての使用実績を積み重ねるという課題は残るもの

この対比は数字の方があまり多い

タタの点がえ



# 第5章 試作アナログ基板の評価

RHEA は従来のアナログ基板に対して三つの改善を行った。ひとつ目は広帯域化、ふたつ目は消費電力の低減、そしてユーザビリティの向上である。本章ではこれらの要求を満たしているか否かの評価を行う。

## 5.1 クロック信号の確認

試作基板の動作確認として、クロック信号の確認を行った。4章で議論したように、信号は矩形波で伝送する。クロック信号が矩形波としてみなせるか、また仕様どおりの振幅や周波数をもつか、オシロスコープを用いて確認する。なお、クロックの分配は図 3.2 のブロック図を参照。

### 5.1.1 基板納品時のトラブルとその解決

納品された試作基板のクロック信号を確認するために、カウンター回路をデジタル基板上の FPGA に実装し、カウンターの上位ビットを LED に出力することで、クロック信号の有無と大雑把な周波数を調べた（図 5.1）。

調べたクロック信号は、ADC のサンプリング・クロックとクロック・ファンアウト・バッファからのクロック（システム・クロック）で、ともに 200 MHz のクロック信号である。しかし、LED の明滅は、仕様のクロック信号から予想されるものと大きく異なった。実装したカウンター回路は、一定周期でカウントアップしておらず、ADC のサンプリング・クロックとシステム・クロックも同期していなかった。

そこで、オシロスコープを用いてクロック信号の波形を確認した。まず、クロック信号を生成している水晶発振器の出力をプローブすると、200 MHz 周期のクロック信号が確認できた。次に、クロック・ファンアウト・バッファの出力をプローブしてみると、グラウンドのノイズを増幅したような信号が見えるだけで、クロック信号とは異なることが判明した（図 5.2）。

クロック・ファンアウト・バッファは、信号規格によって、配線方法が異なる。たとえば、RHEA で使用する ADC と DAC の入力クロックの信号規格は、LV-PECL であるため、クロック・ファンアウト・バッファは、LV-PECL のクロック信号を入力し、同規格の信号を 3 つに分配して出力する設計になっている。データシートを確認したところ、基板上のクロック・ファンアウト・バッファの配線方法は、LV-PECL になっており、この部分に問題がないことがわかった。

クロック・ファンアウト・バッファが正しく動作していることがわかったため、消去法で、水晶発振器をもう一度目視精査した。すると、水晶発振器の型番が回路図のものと異なっていることが判明した。納品時に実装されていた水晶発振器の信号規格が、LVDS という信号規格であったため、正規の信号が出力されていなかった。（つまり、製作会社のケアレス・ミスであった。）



図 5.1: クロック信号の確認に使ったデジタル基板に実装されている LED。28-bit のカウンターを用意し、その最上位ビットを出力することで、200 MHz のクロックであれば、およそ 1 秒 (0.75 sec) の周期で LED が明滅する。

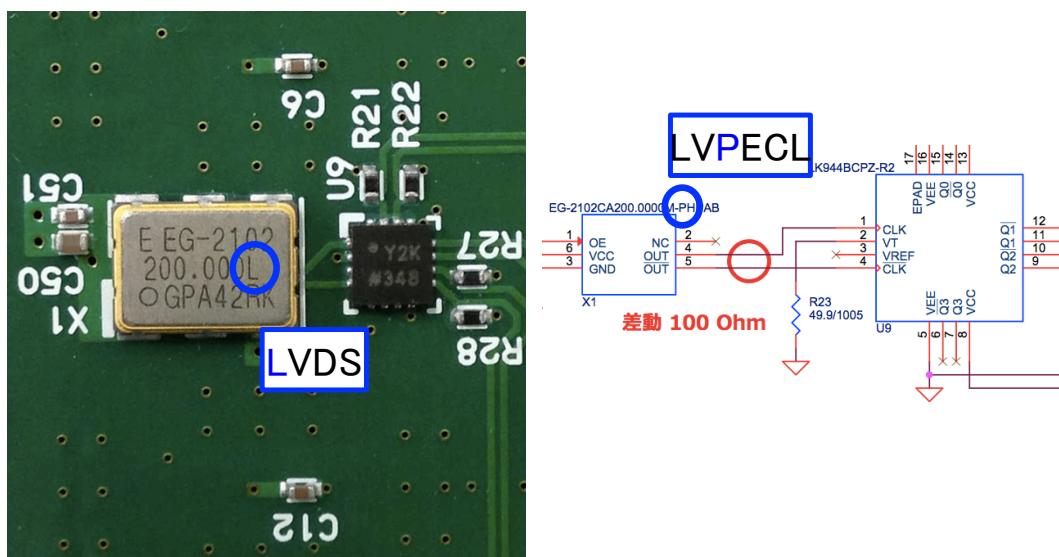


図 5.2: 納品時の水晶発振器（左）と回路図の該当箇所（右）  
赤字で「へき事に、回路図に記述された規格の発振器が実装されていた。」

### 5.2.2 評価結果

表 5.1 にデジタル基板の電力消費を差し引いた、それぞれのアナログ基板の消費電力の比較をまとめます。「状態」は読み出し系の現在の動作状態を表す。

~~改訂なし~~ 表 5.1 より、仕様策定の目標値である「従来の消費電力の半分」が概ね達成されていることがわかる。また、消費電力が大きく、最も発熱していた PLL がなくなったことにより、必須であった USB 扇風機（図 2.13）が不要になった。これは読み出し系の簡素化の点からも大きな進展である。

表 5.1: RHEA (本研究) と FMC150 (既存の市販品) の消費電力の比較

状態	消費電力 [W]		電力比 (RHEA/FMC150)
	RHEA	FMC150	
待機状態	1.8	5.9	0.31
読み出し多重度 1	4.7	11.4	0.41
読み出し多重度 32	7.9	15.1	0.52

### 5.3 帯域の評価

図 4.1 で示したように、RHEA には帯域を制限する LPF (ローパス・フィルター) が存在しない。100 MHz まで DAC の信号強度が減衰しないことをオシロスコープを用いて測定し、帯域の拡大を確認する。

#### 5.3.1 評価方法

信号強度の測定は、図 5.7 のようにして行う。デジタル基板上にある FPGA で MHz 帯の周波数をもつ正弦波と余弦波のデジタル信号を生成する。生成したデジタル信号は、FMC を介してアナログ基板上の DAC に送られ、DAC でデジタル信号をアナログ信号に変換する。そして、そのアナログ信号強度をオシロスコープで測定する。実際に測定している様子を図 5.8 に示す。

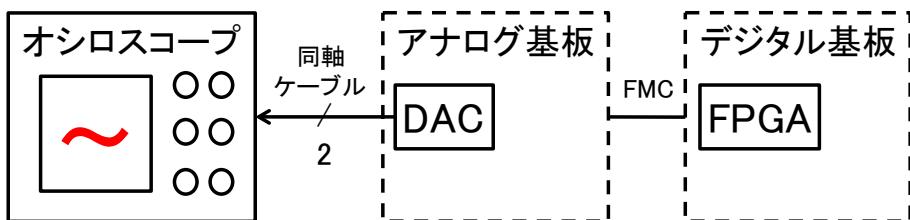


図 5.7: DAC の信号強度を評価するための測定方法。デジタル基板とアナログ基板は FMC で接続する。DAC からの信号は同軸ケーブルを伝ってオシロスコープに入力する。