

第3章 アナログ基板の仕様策定

本章では、要求分析に基づいた仕様策定を行う。従来のアナログ基板と比較した改良点について整理し、試作したアナログ基板の概要をまとめる。

3.1 要求分析

前章で述べたように、市販のアナログ基板には三つの解決すべき課題があった: 1) LPF による帯域の制限、2) 消費電力の過大、3) ユーザビリティの毀損である。

3.1.1 帯域に対する要求

1) の最も簡単な解決案は、問題となる LPF を外すことである。これにより、原理的には DAC の最大出力周波数（サンプリング周波数/2）まで、帯域を広げることができる。LPF を外すことにより、高周波ノイズの漏れ込みが懸念されるが、これは DAC の出力後、コネクタの先で新たに LPF を取り付けることで対応する。
（手書き注釈） 変更しない、ユーザー定義の帯域を拡張することが可能。

3.1.2 消費電力に対する要求

2) は市販のアナログ基板に搭載されている IC の中で最も消費電力が大きい部品である PLL (Typ. 2.9 W) の代わりに、クロック・ファンアウト・バッファ (Typ. 0.29 W) を用いることで消費電力を抑制する。このクロック・ファンアウト・バッファは、PLL と異なり FPGA による制御が不要であることも、利点のひとつである。その他に、ADC を同等の性能でより省電力なパッケージを選択することで、より消費電力の低減を図る。
（手書き注釈） 省電力化を目標とする。ファームウェアコーディングも容易になる。

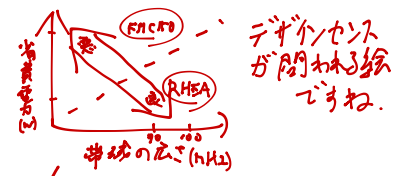
3.1.3 ユーザビリティに対する要求

3) はユーザビリティを損なう原因である水晶発振器を、ユーザーが直感的に使うことができる周波数分解能にするために整数倍の周波数をもつ水晶発振器に変更する。これにより、ユーザーはある数（MKID の共振周波数）に 12.288 を掛けたり、割ったりするような認知的負荷から開放される。ADC/DAC の入出力先のコネクタの規格も SMA に統一することで作業効率に改善をもたらす。

3.1.4 要求分析を反映した解決方法

以上、三つの課題に対する解決方法をまとめると、次のようになる:

1. DAC の出力部分にある LPF を排除する。
2. 位相同期回路 (PLL) の代わりにクロック・ファンアウト・バッファを用いる。



3. 水晶発振器を整数倍の周波数のものに変更する。~~また~~ コネクタの規格を MMCX から SMA に変更する。

4.
 ↑のようした方が
 ちゃんと数値化
 できる。

3.2 仕様

要求分析に基づいて、新しいアナログ基板 RHEA¹の仕様を策定する。読み出し系の性能を決める上で、広帯域性（高速化・高周波化）と省電力性（低電圧化・低電流化）をどう両立させるかが重要な点となる。

一般に回路の高速化・高周波化と低電力化はトレードオフの関係にある（図 3.1）。回路は高速化・高周波化するほど、不要電磁波が増加し、他の電子機器に影響を与える。また、低電圧化や低電流化、動作マージンの減少により、ノイズ・マージンが低下することで、不要電磁波を受けて誤作動する蓋然性も高くなる。

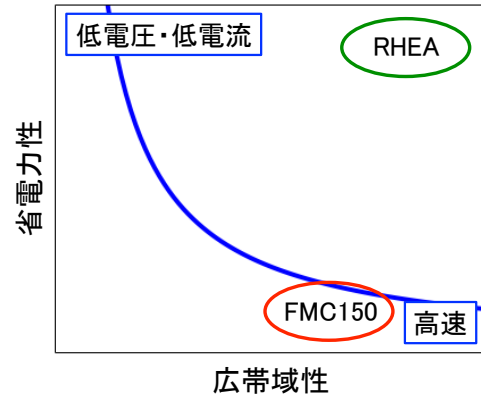


図 3.1: 回路における広帯域性と省電力性の関係

3.2.1 アナログ基板のブロック図

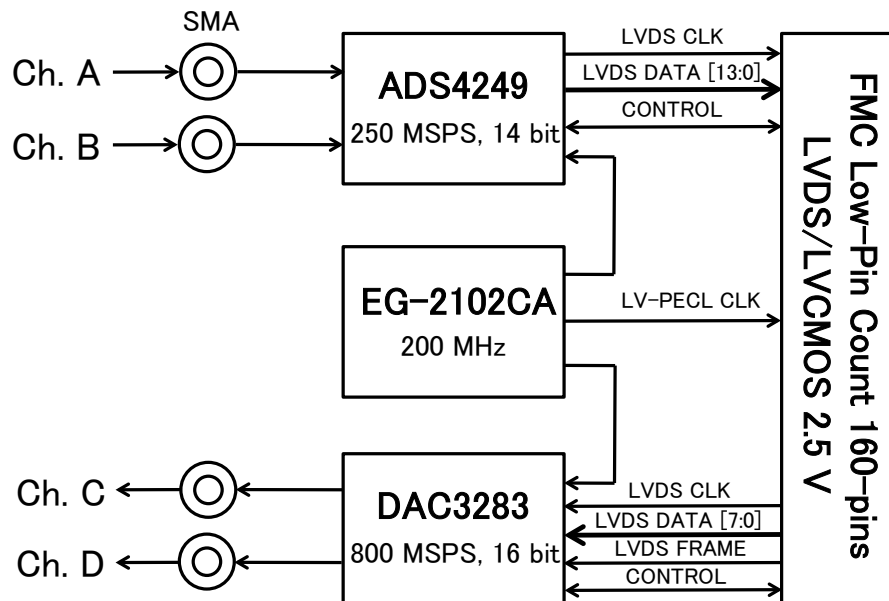


図 3.2: RHEA のブロック図

図 3.2 に RHEA のブロック図を示す。RHEA は 2 チャンネル 14-bit の ADC と 2 チャンネル 16-bit の DAC を搭載し、それぞれに水晶発振器から分配した 200 MHz のクロックを入力する²。デジタル基板との接続は FMC LPC (Fpga Mezanine Card Low-Pin Count 160-pins) で行い、電源

¹RHEA は、「Rhea is a High spEed Analog board」の略で、南米に生息する陸鳥（ground bird）からその名を付けた。

²このクロックは FMC LPC を介して FPGA にも入力しており、これをシステム・クロックとして使うことを想定している。

(12 V・3.3 V・2.5 V)はこのコネクタを介してデジタル基板から供給される。ADC と DAC の入出力ポートは SMA コネクタを採用し、差動 50 Ω で AC 結合する。

デジタル基板からアナログ基板への ADC と DAC へのデータの搬送は、200 MHz の差動信号 (LVDS) で行う。データ幅はそれぞれ 14-bit と 16-bit で、DDR (Double Data Rate) でデータを読み書きする。

ADC と DAC のレジスタの読み書きは SPI (Serial Peripheral Interface) で制御する。SPI には書き込みと読み込みを一本の線で行う SPI 3-wire と書き込みと読み込みを別の線で行う SPI 4-wire とがあり、ADC (ADS4249) は SPI 4-wire が実装されている。DAC はレジスタ (Register Config 23) を書き換えることでどちらかをユーザーが選ぶことができるが (デフォルトでは SPI 3-wire³)、RHEA は ADC と DAC 共に SPI 4-wire で制御する。

³ただし、DAC のレジスタ初期設定はデフォルトとは限らない。実際、RHEA に搭載した DAC のレジスタはデフォルト値とはいくつか異なり、SPI 制御は 4-wire に設定されていた。

3.2.2 アナログ基板の特性

表 3.1 に RHEA と FMC150 の主な特性を示す。基本的な性能は、FMC150 と同等である。注目すべき点は最終行の消費電力の比較である。RHEA では、消費電力がおよそ 60%削減されている。ここで、主要 IC は ADC と DAC、水晶発振器、クロック・ファンアウト・バッファ (RHEA)、PLL (FMC150) である。

表 3.1: RHEA と FMC150 の主な特性

	RHEA	FMC150
ADC アナログ入力		
コネクタ規格	SMA	MMCX
チャンネル数	2	2
分解能	14-bit	14-bit
入力電圧	2 V _{pp}	2 V _{pp}
入力インピーダンス	50 Ω (AC 結合)	50 Ω (AC 結合)
バンド幅	100 MHz	82 MHz
SNR	72.8 dBFS @ $f_{in} = 20$ MHz	73.4 dBFS @ $f_{in} = 20$ MHz
SFDR	80 dBc @ $f_{in} = 20$ MHz	89 dBc @ $f_{in} = 20$ MHz
DAC アナログ出力		
コネクタ規格	SMA	MMCX
チャンネル数	2	2
分解能	16-bit	16-bit
出力電圧	1 V _{pp}	1 V _{pp}
入力インピーダンス	50 Ω (AC 結合)	50 Ω (AC 結合)
NSD	162 dBc/Hz @ $f_{out} = 10.1$ MHz	162 dBc/Hz @ $f_{out} = 10.1$ MHz
SFDR	85 dBc @ $f_{out} = 20.1$ MHz	85 dBc @ $f_{out} = 20.1$ MHz
オンボード・クロック		
信号規格	LV-PECL	LV-PECL
周波数	200.000 MHz	245.76 MHz
位相ジッター	0.3 ps	0.19 ps
ADC 出力		
データ幅	LVDS 7-pairs DDR/channel	LVDS 7-pairs DDR/channel
サンプリング周波数	200 MHz	245.76 MHz
DAC 出力		
データ幅	LVDS 8-pairs DDR	LVDS 8-pairs DDR
サンプリング周波数	200 MHz	491.52 MHz
消費電力		
主要 IC の電力	Typ. 2.18 W	Typ. 5.4 W

(注) クロック部の内装も同様。