

超伝導検出器多重読み出し用 フロントエンド回路の開発

総合研究大学院大学
高エネルギー加速器科学研究所
素粒子原子核専攻

学籍番号: 20111451
石塚 光

平成 27 年 1 月 9 日

概要

宇宙マイクロ波背景放射（Cosmic Microwave Background; CMB）の温度異方性の精密測定により、ビッグバン宇宙模型は宇宙の標準模型として今日定着している。しかし、この模型には「地平線問題」・「平坦性問題」・「残存粒子問題」などの未解決な問題がある。これらを解決する有力な理論のが、インフレーション宇宙論である。インフレーション宇宙論は、宇宙初期の時空の指數関数的な膨張によって、これらの問題を一挙に解決する。この急激な膨張は、原始重力波を生成し、その痕跡は CMB の偏光地図上の非対称パターン「B モード」として観測できる。

GroundBIRD 実験はこの原始重力波による B モードの検出を目的とした地上実験である。一般に、観測領域を制限するのは検出器の $1/f$ ノイズである。GroundBIRD はこのノイズの影響を受けない観測を行うために、望遠鏡自身が高速で回転（20 RPM）しながら測定を行う。超伝導検出器 MKID（Microwave Kinetic Inductance Detector）は、時間応答性が比較的良好く、この高速回転観測に適した検出器である。

CMB 観測用の MKID は、極低温（< 250 mK）で動作するため、冷却光学系への熱流入を抑えることが肝要である。MKID は一本のフィードラインから多数の素子を読み出すことが容易なため、読み出し系への配線数を減らすことができる。現在、市販のアナログ基板（ADC/DAC ドーターボード）と FPGA（Field-Programmable Gate Array）評価基板を組み合わせて、比較的簡単に読み出し系を構成できている。しかしながら、この市販品にはローパスフィルターが実装されている。そのため透過特性が悪く、使用帯域が制限されている。また、クロック生成器の周辺が必要以上に複雑であり、かつ、消費電力が大きく動作が不安定という致命的な問題がある。これら三つの問題を解決するために、広帯域かつシンプル・省電力な構成のアナログ基板の開発を行った。

帯域を制限していた原因であるローパスフィルターを排除して、帯域をおよそ 30% 広げることに成功した。次に消費電力が大きく、現在の用途に不釣合いな位相同期回路（PLL）の代わりに、消費電力が小さく、必要最低限の機能をもったクロック・ファンアウト・バッファを搭載した。PLL をはじめ、種々の IC を選定しなおし、さらに電源回路を見直すことで、フロントエンド回路全体の消費電力は従来の回路の半分に抑えることができた。これらの改善は、同時に回路全体の簡素化を実現し、ユーザーによる制御ファームウェアのコーディングの容易さをももたらす。

目 次

第1章 序論	3
1.1 インフレーション宇宙論と宇宙マイクロ波背景放射	3
1.2 CMB 偏光観測とその現状	3
1.3 GroundBIRD 実験	3
第2章 超伝導検出器 MKID とその読み出し	4
2.1 動作原理	4
2.2 周波数多重読み出し	6
2.3 読み出し系	6
2.3.1 読み出し系の構成と大まかな流れ	6
2.3.2 DDC 方式による読み出し原理	7
2.4 既存の読み出し系	7
2.4.1 デジタル基板	10
2.4.2 アナログ基板	12
2.4.3 解決すべき課題	13
第3章 アナログ基板の仕様策定	16
3.1 要求分析	16
3.1.1 帯域に対する要求	16
3.1.2 消費電力・発熱に対する要求	16
3.1.3 ユーザビリティに対する要求	16
3.1.4 要求分析を反映した解決方法	17
3.2 仕様	18
3.2.1 アナログ基板のブロック図	18
3.2.2 アナログ基板の仕様	20
第4章 アナログ基板の設計と試作	21
4.1 回路図設計—論理的に無矛盾かつシンプルな回路	21
4.1.1 新旧回路図の比較	21
4.2 基板図設計—論理記号を現実世界に落とし込む	24
4.2.1 伝搬速度	25
4.2.2 特性インピーダンスと反射ノイズ	25
4.2.3 実際の基板の配線	27
4.3 試作	27

第 5 章 試作アナログ基板の評価	31
5.1 クロック信号の確認	31
5.1.1 基板納品時のトラブルとその解決	31
5.2 消費電力の評価	35
5.2.1 評価方法	35
5.2.2 評価結果	37
5.3 帯域の評価	37
5.3.1 評価方法	37
5.3.2 評価結果	39
5.4 評価結果まとめ	40
5.5 さらなる高みを目指した改造案の検討	40
5.5.1 水晶発振器を交換して ADC/DAC のサンプリング周波数をあげる	40
5.5.2 DAC のサンプリング周波数を大幅に上げる	41
第 6 章 まとめ	42

第1章 序論

- 1.1 インフレーション宇宙論と宇宙マイクロ波背景放射**
- 1.2 CMB 偏光観測とその現状**
- 1.3 GroundBIRD 実験**

第2章 超伝導検出器MKIDとその読み出し

本章では、MKIDの動作原理の概要とその読み出し方法について述べる。MKIDの利点のひとつである周波数多重読み出しについて述べたあとに、市販のアナログ基板を用いた読み出し系の概要とその不満点を挙げる。本論文の主旨は、この不満を解消するものである。

2.1 動作原理

Microwave Kinetic Inductance Detectors (MKID) は、2003年に発明された超伝導検出器である [1]。図 2.1(a) に示すように、MKID は電波を受信するアンテナと超伝導共振器、フィードラインから構成される。

図 2.1(b) に示すように、MKID は LC 回路のひとつとみなせる。共振器はそれぞれ固有の共振周波数 $\omega = 1/\sqrt{LC}$ をもつ。ここで、 L は共振器のインダクタンス、 C は共振器とフィードラインの AC 結合するときのキャパシタンスを表す。

アンテナで受信した電波のエネルギーが共振器内のクーパー対のギャップエネルギーより大きいと、それを解離する (図 2.1(c))。このとき、共振器のインダクタンスが変化する。MKID はその変化を共振状態の変化として検出する (図 2.1(d)、(e))。共振周波数は 4–6 GHz に設定されることが多い。

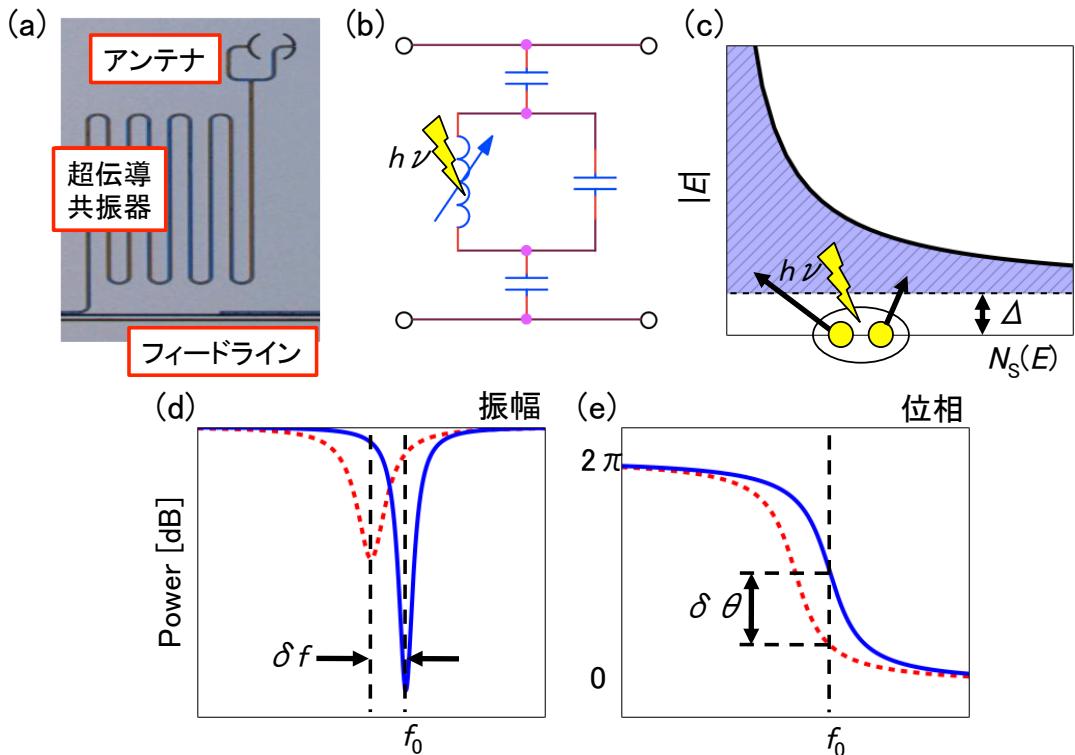


図 2.1: MKID の検出原理。(a) MKID の基板図。MKID はアンテナと超伝導共振器、フィードラインからなり、超伝導共振器とフィードラインは AC 結合している。(b) MKID の等価回路。準粒子数の変化は系インダクタンスを変化させる。これにより、共振周波数が変化する。(c) 受信した電波のエネルギー $h\nu$ が 2Δ より大きいとき、超伝導状態の共振器内のクーパー対が解離し、 $N_{qp} = \eta h\nu / \Delta$ 個の準粒子が生成する。(d), (e) MKID (LC 回路) が電波を受信すると、実線から破線へと共振周波数が変化する。振幅と位相の読み出し例。

2.2 周波数多重読み出し

次世代の CMB 偏光観測にとって、検出器の多素子化は重要な課題である。前章で述べたように、GroundBIRD は 783 個の MKID を搭載する。室温系と冷却系をつなぐ読み出し線からの熱流入の抑制が肝要となる。この鍵を握るのが信号の多重化である。

信号の多重化には、周波数分割多重と時間分割多重、空間分割多重、符号分割多重など、様々な技術が存在する。MKID は共振器の長さによって、個々の共振周波数を調整することができる。図 2.2 に示すように、共振周波数の異なる MKID をフィードライン上に並べれば、周波数空間に信号を多重化できる。つまり、MKID は周波数分割多重読み出しに最適な検出器である。

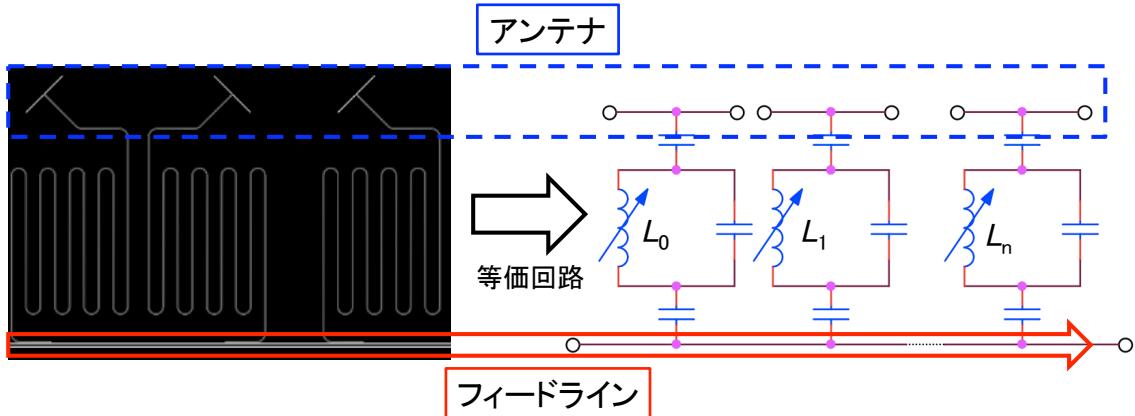


図 2.2: 異なる共振周波数をもつ、多素子化した MKID (MKID アレイ) の基板図とその等価回路。MKID は周波数空間に信号を多重化し、それを一本のフィードラインで読み出す。

2.3 読み出し系

読み出し系は MKID の共振ピークの振幅と位相の変化を測定する。MKID の読み出し方法には、DDC (Direct Down-Conversion) 方式 [2] と FFT (Fast Fourier Transform) 方式 [3] の二種類が存在し、本論文では共振周波数をより高い精度で設定できる DDC 方式による読み出しについて述べる。

2.3.1 読み出し系の構成と大まかな流れ

読み出し系の構成を図 2.3(a) に示す。読み出し系は大きく 4 つの要素に分けられる。

冷却回路

MKID と LNA (Low Noise Amplifier) を含めたクライオスタット内にある読み出し部分。

MHz/GHz コンバーター

MKID に入力するフィード信号 (読み出し用変調信号) を高周波 (4–8 GHz) に変換 (アップ・コンバード)、また、MKID を通った後に outputされるフィード信号を低周波 (< 100 MHz) に変換 (ダウン・コンバート) する部分。

アナログ基板

デジタル変調信号をアナログ信号に変換して送信し、入力したアナログ信号を受信してデジタル信号に変換する部分。

デジタル基板

アナログ基板に渡すデジタル信号を生成し、またデジタル信号を受け取り情報を処理する部分。

本論文では、アナログ基板とデジタル基板をまとめてフロントエンド回路と呼ぶ。
読み出しの大まかな流れは次のようになる：

1. デジタル基板でデジタル変調信号を生成し、アナログ基板の DAC (Digital to Analog Converter) でアナログ変調して出力する。変調信号とは、複数の周波数（本研究の場合は、100 MHz 以下の MHz 帯）を重ね合わせた信号である。
2. 局所発振器 (LO) で出力した基準信号（通常、数 GHz 程度）と DAC から出力したアナログ変調信号 (MHz 帯) を I/Q (In-phase/Quadrature-phase) ミキサーで GHz 帯にアップ・コンバートしてフィード信号とする。
3. フィード信号を MKID に入力する。MKID の共振器の共振によってフィード信号が変化する。アンテナ入力信号を共振状態（振幅と位相）の変化として計測する。
4. MKID の共振情報を含むフィード信号を LNA で増幅する。
5. 増幅した信号と 2. の基準信号を I/Q ミキサーでダウン・コンバードする。
6. アナログ基板の ADC (Analog to Digital Converter) で MKID により変調された信号をデジタル変換し、デジタル基板で復調し、それぞれの MKID の共振ピークの振幅と位相の変化を測定する。

2.3.2 DDC 方式による読み出し原理

N 個の DDC 方式による MKID の多重読み出しを考える。個々の MKID の共振周波数を f_i ($= \omega_i/2\pi$) とし、LO の周波数を f_j ($= \omega_j/2\pi$) とする。

DAC の出力信号の振幅を 1 に規格する。

理想的な素子であるとして、 $Div(E)$ 、 $Mixer(\alpha, \beta)$ 、 $Hyb(\alpha, \beta)$ を次のように定義する。

2.4 既存の読み出し系

既存の市販品のみで構成したフロントエンド回路を図 2.3(b) に示す。デジタル基板とアナログ基板の概要についてまとめた後、その解決すべき課題について議論する。

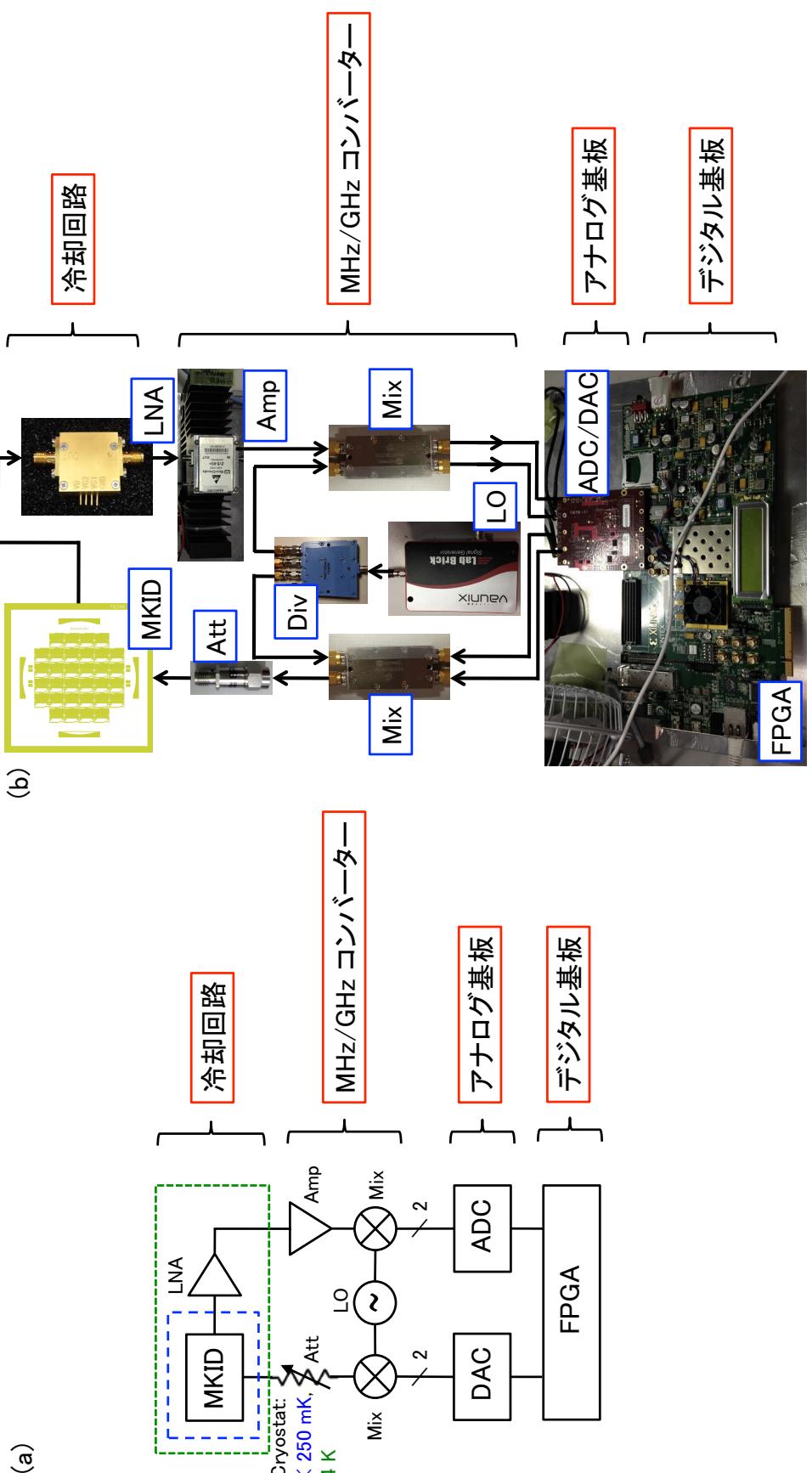


図 2.3: (a) MKID の読み出し系の概念図。 (b) 既存の読み出し系の各構成要素の写真。

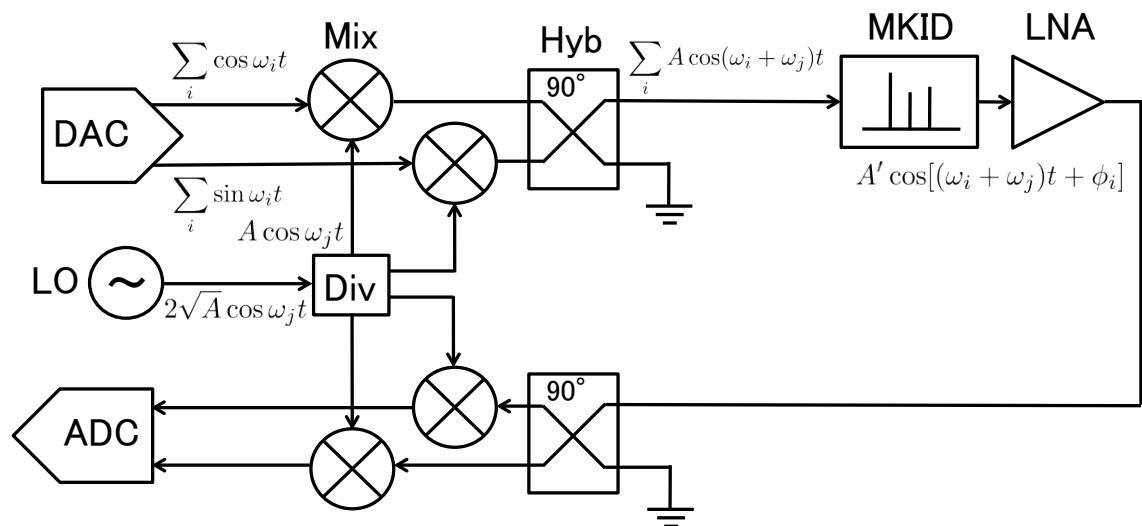


図 2.4:

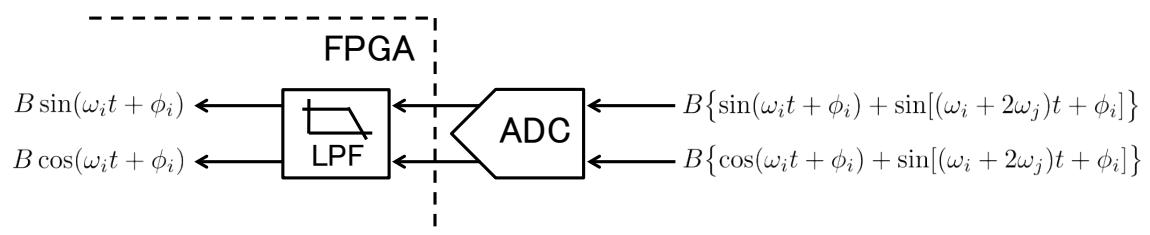


図 2.5:

2.4.1 デジタル基板

Kintex-7 FPGA 評価キッド

デジタル基板は、Xilinx 社¹のKintex-7 FPGA 評価キッド (KC705) [4] を用いる (図 2.6 の緑色の基板)。FPGA とは Field Programmable Gate Array の略で、文字通りフィールド (ユーザー側) でプログラム可能な論理ゲートをアレイ化したデバイスである。FPGA は、ユーザーが設計から実装まで行うことができ、仕様や設計を開発途中で変更しやすいという特徴がある。これにより、ASIC (Application Specific Integrated Circuit) 等と比べて、開発費・開発期間などの開発コストを大幅に削減することができる。

KC705 は、Kintex-7 FPGA (表 2.1) を搭載し、アナログ基板と接続するために用いる FMC (Fpga Mezzanine Card) インターフェースが実装されている。また、このデジタル基板で処理したデータは、イーサネットを用いて、PC 等のオンラインに転送する。

ハードウェアのコーディングや論理合成、実装、FPGA へのダウンロードは、統合開発環境 Vivado[?] を用いて行った。

表 2.1: Kintex-7 FPGA (XC7K325T) の主な特性

Logic Cells		326,080
CLBs	Slices	50,950
	Max Distributed RAM [Kb]	4,000
DSP Slices		840
	18 Kb	890
Block RAM Blocks	36 Kb	445
	Max [Kb]	160,020
CMTs		10
PCIe		1
GTXs		16
XADC Blocks		1
Total I/O Banks		10
Max User I/O		500

¹<http://xilinx.com/>

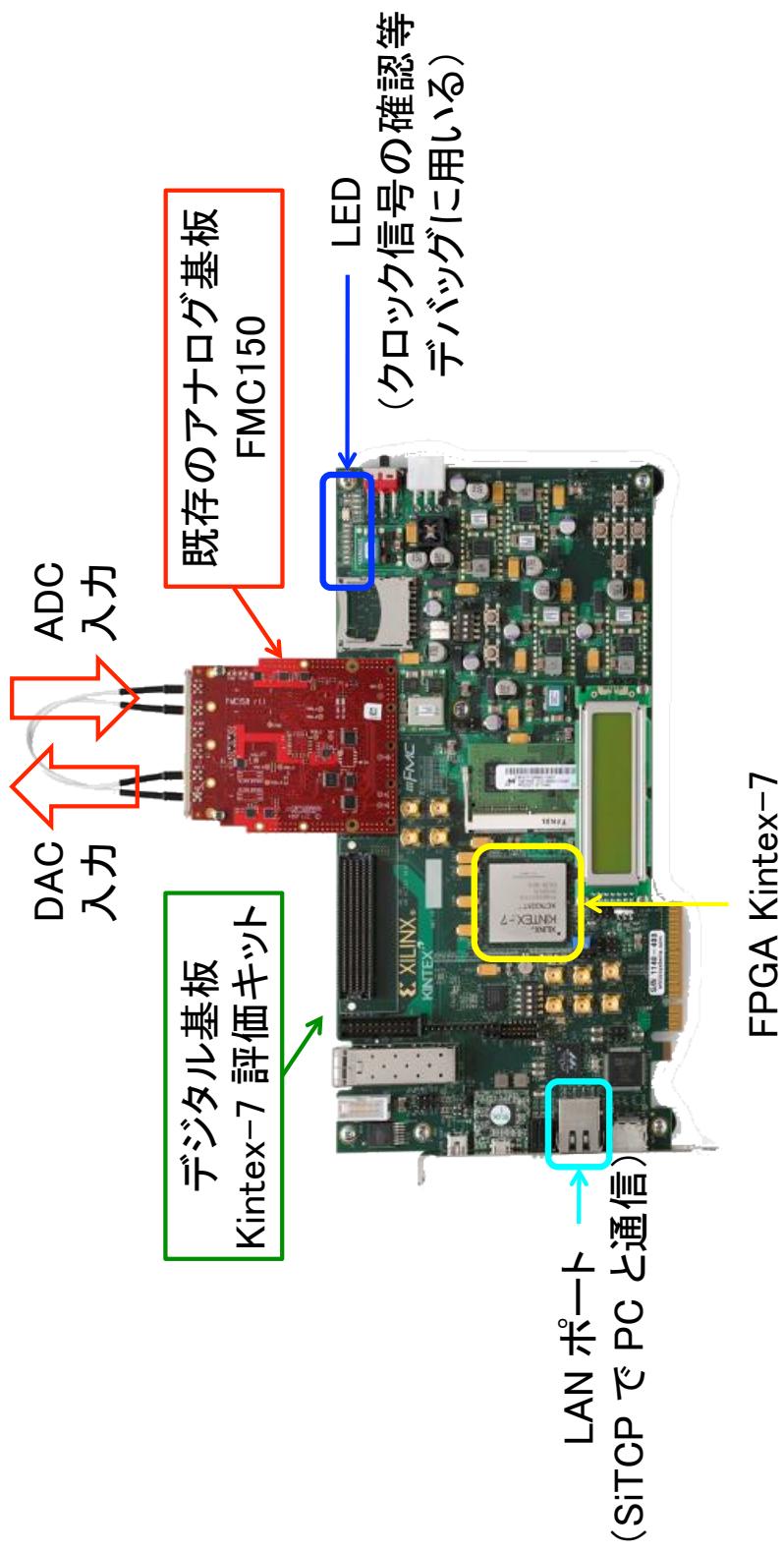


図 2.6: Kintex-7 FPGA 評価キット (KC705) と FMC150 で構成したフロントエンド回路。KC705 は、micro-USB や LAN、HDMI などのインターフェースが実装されている。また、FMC (Fpga Mezzanine Card) と呼ばれる拡張スロットがある。アナログ基板とはこの FMC で接続する。

2.4.2 アナログ基板

FMC150

既存の読み出し系で用いているアナログ基板は、4DSP 社²の FMC150[5] という基板である（図 2.6 の赤い基板）。図 2.7、2.8 にそれぞれ FMC150 のブロック図と基板図を示す。

このアナログ基板の仕様は、次章の「アナログ基板の仕様策定」の最後にまとめる。

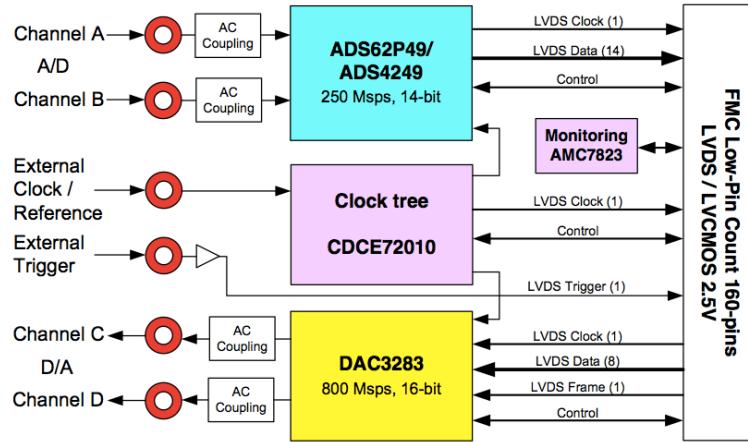


図 2.7: FMC150 のブロック図。FMC150 は汎用通信機を対象として開発されているため、基板上でつくるクロックの他に、外部クロックを入力するポートやトリガーポートが実装されている。また、基板上にある IC が大きく発熱するため、基板温度をモニターする IC が搭載されている。しかしながら、冷却装置は実装されていない（後述 2.4.3 を参照）。

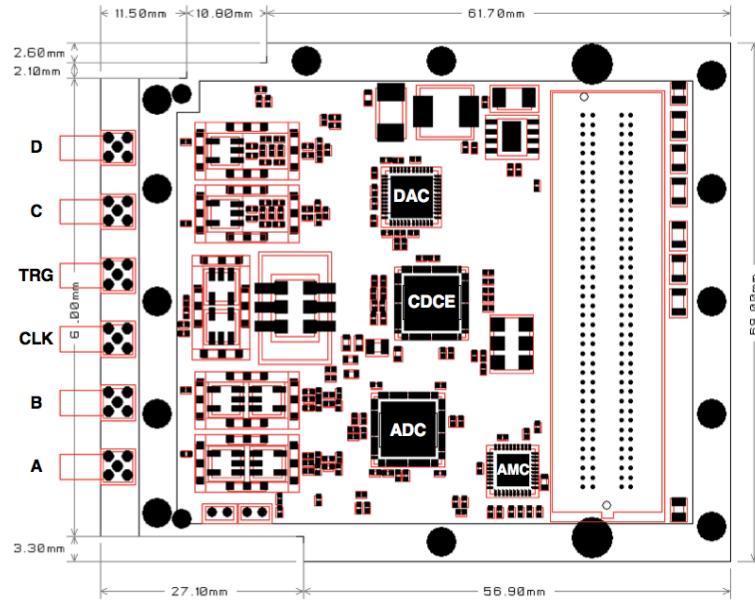


図 2.8: FMC150 の基板図の表面（第 1 層）。表面に主要 IC である ADC と DAC、PLL が実装されている。FMC150 は大きな電力を要するが、電源を供給する電源回路は裏面に実装されている。

²<http://www.4dsp.com/>

2.4.3 解決すべき課題

FMC150 は ADC や DAC の性能は MKID の読み出し系として利用可能である。しかし、読み出し系には不必要的機能が実装されているために、その性能を十分に活かせていない。また、性能以外にもユーザーの利便性を阻害する仕様が解決すべき課題として存在する。

LPF による帯域の制限

読み出しの多重度は帯域の広さに比例する。MKID の利点を最大化するためには、もっとも重要な要素である。

多重読み出しへためには、なるべく広い帯域を確保する必要がある。FMC150 は図 2.9(a)のようなローパス・フィルター (LPF) が実装されているため、70 MHz 以上で出力強度が急激に下がる (図 2.9(b))。

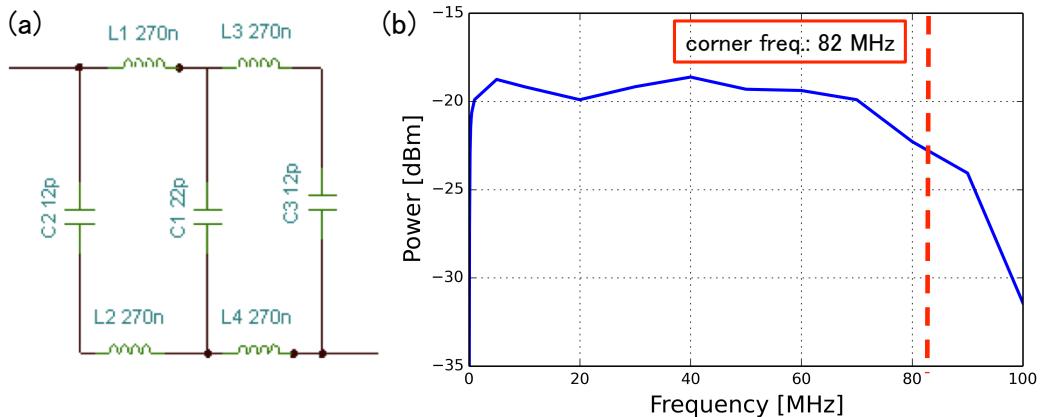


図 2.9: 第5次チェビシェフフィルター。コーナー周波数は 82 MHz に設計され、高周波は -124.9 dB/decade で減衰する。

消費電力・発熱の過大

消費電力の問題は、主に IC の発熱の問題として表れる。IC は動作温度以上になると、意図せぬ誤動作をする。また、電源を供給しているデジタル基板が電力供給過多で、頻繁に強制シャットダウンすることが確認されている。つまり、安定動作が保証されていないという決定的な欠点がある。

また、図 2.10 のような、冷却ファンによる排熱処理を怠ると基板上の IC が熱破損する。CMB 偏光観測は空気の薄い高地で行うため、排熱に対する安全マージン大きくとらなければならぬ。これも解決すべき重要な過大である。



図 2.10: FMC150 のエアフローを向上させるために取り付けた USB 扇風機。IC の排熱処理は必須である。

ユーザビリティの毀損

FMC150 は元来、汎用通信機を対象として開発されているため、クロックを分周して使うことを前提に設計されている。そのため、水晶発振器の周波数は 245.76 MHz のものが搭載されている。しかし、MKID の読み出しに関しては、クロックを様々な周波数に分周して使うことはない。

クロックの周波数は ADC と DAC のサンプリング・レートを決めるため、できるだけ高い周波数のものが好ましいが、周波数分解能の値も重要である。実際に MKID の測定を行う際は、まず帯域全体をスイープして、どの周波数にそれぞれの MKID の共振ピークがあるか測定する。次に、それぞれの共振についてを共振状態を定常測定する。このとき、ユーザーはある MKID の共振周ピーク付近に周波数を設定する必要がある。その際、指定する周波数は分解能の倍数に設定しなければならない。たとえば、FMC150 で読み出し系を構築した場合、12.288 kHz の倍数にする必要がある。これは、ユーザーにとって非常に使いづらく誤った測定を誘発する。

また、読み出し系は冷却回路や MHz/GHz コンバーターで数 GHz の信号を扱うため、同軸ケーブルのコネクターは SMA (Sub-Miniature version A) コネクターを用いている。一方で、FMC150 は MMCX (Micro-Miniature CoaXial) を採用している。コネクターの規格が不揃いであると、ユーザーの生産性を下げる。また、ユーザー側に規格変換のための余計なコネクター等の接続部品が増えることは、潜在的なバグを発生させる。

第3章 アナログ基板の仕様策定

本章では、要求分析に基づいた仕様策定を行う。従来のアナログ基板と比較した改良点について整理し、試作したアナログ基板の概要をまとめる。

3.1 要求分析

前章で述べたように、市販のアナログ基板には三つの解決すべき課題があった: 1) LPFによる帯域の制限、2) 消費電力の過大、3) ユーザビリティの毀損である。

3.1.1 帯域に対する要求

1) の最も簡単な解決案は、問題となる LPF を実装しないことである。これにより、原理的には DAC の最大出力周波数 (サンプリング周波数/2) まで、帯域を広げることができる。LPF を外すことにより、高周波ノイズの漏れ込みが懸念されるが、これは DAC の出力後、コネクターの先にユーザー定義の LPF を取り付けることで、帯域を制限することなく容易に対応できる。

3.1.2 消費電力・発熱に対する要求

2) は市販のアナログ基板に搭載されている IC の中で最も消費電力が大きい部品である PLL (Typ. 2.9 W) の代わりに、クロック・ファンアウト・バッファ (Typ. 0.29 W) を用いて消費電力を抑制する。このクロック・ファンアウト・バッファは、PLL と異なり FPGA による制御が必要であるためファームウェアのコーディングするコストことも小さくする。その他に、ADC を同等の性能でより省電力なパッケージを選択することで、より消費電力の低減を図る。具体的には、アナログ基板全体で、従来の消費電力の 50%を目指す。電力消費の削減は、発熱に対する課題も同時に解決する。

3.1.3 ユーザビリティに対する要求

3) はユーザビリティを損なう原因である水晶発振器を、ユーザーが直感的に使うことができる周波数分解能にするために整数倍の周波数をもつ水晶発振器に変更する。これにより、ユーザーはある数 (MKID の共振周波数) に 12.288 を掛けたり、割ったりするような認知的負荷から開放される。ADC/DAC の入出力先のコネクターの規格も SMA に統一することで作業効率に改善をもたらす。

3.1.4 要求分析を反映した解決方法

以上、三つの課題に対する解決方法をまとめると、次のようになる：

1. DAC の出力部分にある LPF を排除する。
2. 位相同期回路（PLL）の代わりにクロック・ファンアウト・バッファを用いる。
3. 水晶発振器を整数倍の周波数のものに変更する。
4. コネクターの規格を MMCX から SMA に変更する。

3.2 仕様

要求分析に基いて、新しいアナログ基板 RHEA¹の仕様を策定する。読み出し系の性能を決め上で、広帯域性（高速化・高周波化）と省電力性（低電圧化・低電流化）をどう両立させるかが重要な点となる。

一般に回路の高速化・高周波化と低電力化はトレードオフの関係にある（図 3.1）。回路は高速化・高周波化するほど、不要電磁波が増加し、他の電子機器に影響を与える。また、低電圧化や低電流化、動作マージンの減少により、ノイズ・マージンが低下することで、不要電磁波を受けて誤作動する蓋然性も高くなる。そのため、今回は大きな冒険は避け、帯域の拡大は 30%程度を目指し、消費電力の低減と安定性・ユーザビリティの向上に重きをおいて仕様を策定した。

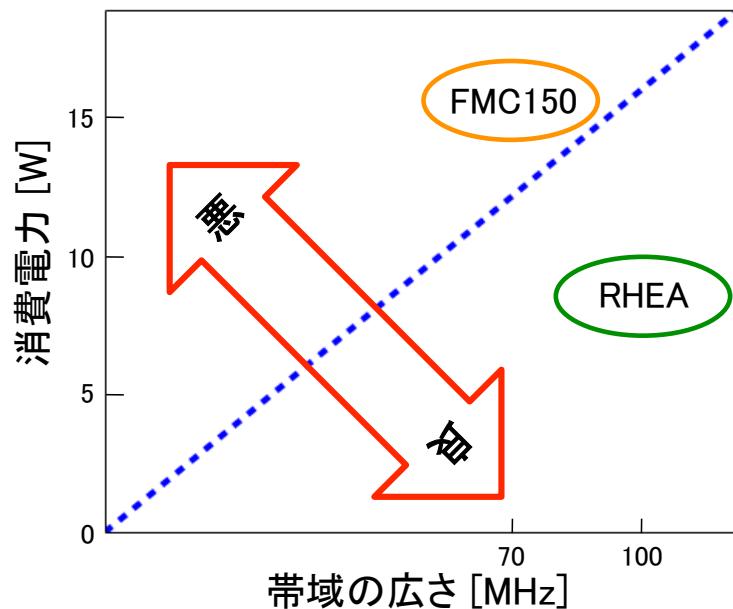


図 3.1: 回路における帯域の広さ（周波の高さ）と消費電力の関係

3.2.1 アナログ基板のブロック図

図 3.2 に RHEA のブロック図を示す。RHEA は 2 チャンネル 14-bit の ADC と 2 チャンネル 16-bit の DAC を搭載し、それぞれに水晶発振器から分配した 200 MHz のクロックを入力する。また、このクロックは FMC LPC を介して FPGA にも入力しており、これをシステム・クロックとして使うことを想定している。デジタル基板との接続は FMC LPC (Fpga Mezzanine Card Low-Pin Count 160-pins) で行い、電源 (12 V・3.3 V・2.5 V) はこのコネクターを介してデジタル基板から供給される。ADC と DAC の入出力ポートは SMA コネクターを採用し、差動 50Ω で AC 結合する。

デジタル基板からアナログ基板への ADC と DAC へのデータの伝送は、200 MHz の差動信号 (LVDS) で行う。データ幅はそれぞれ 14-bit と 16-bit で、DDR (Double Data Rate) でデータを読み書きする。

¹RHEA は、「Rhea is a High spEed Analog board」の略で、南米に生息する陸鳥 (ground bird) からその名を付けた。

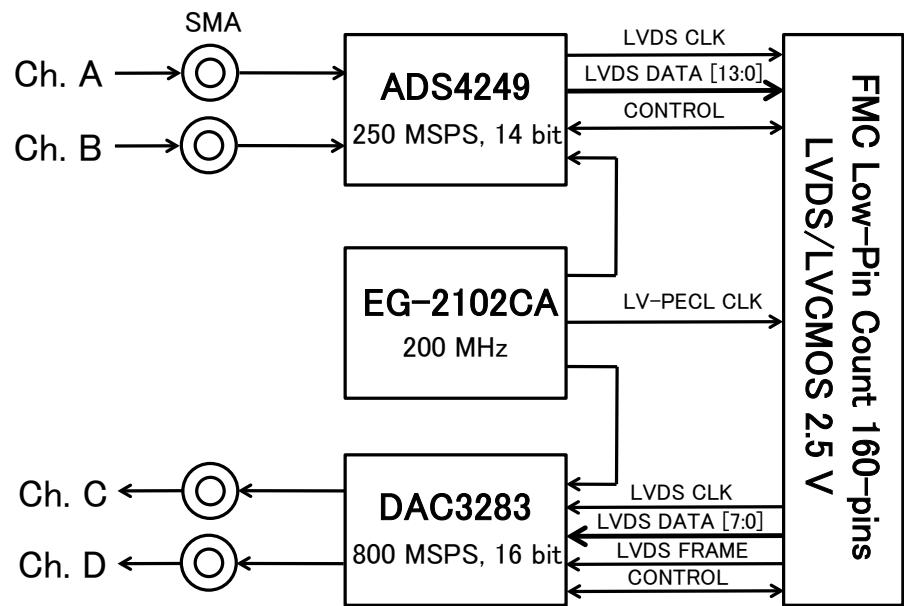


図 3.2: RHEA のブロック図

ADC と DAC のレジスターの設定・制御を行うための読み書きは SPI (Serial Peripheral Interface) で制御する。SPI には書き込みと読み込みを一本の線で行う SPI 3-wire と書き込みと読み込みを別の線で行う SPI 4-wire とがあり、ADC (ADS4249) は SPI 4-wire が実装されている。DAC はレジスター (Register Config 23) を書き換えることでどちらかをユーザーが選ぶことができるが (デフォルトでは SPI 3-wire²)、RHEA は ADC と DAC 共に SPI 4-wire で制御する。これにより、ADC と DAC を統一的に制御することが可能となり、FPGA の資源を節約できる。

²ただし、DAC のレジスターの初期設定はデフォルトとは限らない。実際、RHEA に搭載した DAC のレジスターのデフォルト値は、いくつか異なっており、SPI 制御は 4-wire に設定されていた。ファームウェアの開発者は、このような初期設定の確認を必ず行うべきである。

3.2.2 アナログ基板の仕様

表 3.1 に RHEA と FMC150 の主な仕様比較を示す。FMC150 と比べて帯域の広さ・省電力性・ユーザビリティを改善した。特に注目すべき点は、消費電力の比較である。消費電力でおよそ 60% 削減する。ここで、主要 IC は ADC と DAC、水晶発振器、クロック・ファンアウト・バッファ (RHEA)、PLL (FMC150) である。

表 3.1: RHEA (本研究) と FMC150 (既存の市販品) の主な特性

	RHEA	FMC150
ADC アナログ入力		
コネクター規格	SMA	MMCX
チャンネル数	2	2
分解能	14-bit	14-bit
入力電圧	2 V_{pp}	2 V_{pp}
入力インピーダンス	50Ω (AC 結合)	50Ω (AC 結合)
バンド幅	100 MHz	82 MHz
SNR	72.8 dBFS @ $f_{in} = 20 \text{ MHz}$	73.4 dBFS @ $f_{in} = 20 \text{ MHz}$
SFDR	80 dBc @ $f_{in} = 20 \text{ MHz}$	89 dBc @ $f_{in} = 20 \text{ MHz}$
DAC アナログ出力		
コネクター規格	SMA	MMCX
チャンネル数	2	2
分解能	16-bit	16-bit
出力電圧	1 V_{pp}	1 V_{pp}
入力インピーダンス	50Ω (AC 結合)	50Ω (AC 結合)
NSD	162 dBc/Hz @ $f_{out} = 10.1 \text{ MHz}$	162 dBc/Hz @ $f_{out} = 10.1 \text{ MHz}$
SFDR	85 dBc @ $f_{out} = 20.1 \text{ MHz}$	85 dBc @ $f_{out} = 20.1 \text{ MHz}$
オンボード・クロック		
信号規格	LV-PECL	LV-PECL
周波数	200.00 MHz	245.76 MHz
位相ジッター	0.3 ps	0.19 ps
ADC デジタル出力		
データ幅	LVDS 7-pairs DDR/channel	LVDS 7-pairs DDR/channel
サンプリング周波数	200 MHz	245.76 MHz
DAC デジタル出力		
データ幅	LVDS 8-pairs DDR	LVDS 8-pairs DDR
サンプリング周波数	200 MHz	491.52 MHz
消費電力		
基板全体	2.18 W	5.69 W
ADC/DAC	1.56 W	2.25 W
クロック生成部	0.62 W	3.44 W

第4章 アナログ基板の設計と試作

本章では前章の仕様に基づいた RHEA の設計について述べる。設計は回路図設計と基板図設計に分けられ、前者は論理的に矛盾のないシンプルな構成を目指して設計を行った。後者は回路図で表現される論理記号をいかに現実に落としこむか注力し、主に電気的特性を考察して設計を行った。最後に試作したアナログ基板を紹介する。

4.1 回路図設計—論理的に無矛盾かつシンプルな回路

前章の要求分析で挙げた三つの解決方法に着目し、FMC150（既存の市販品）と RHEA（本研究）の回路図を比較しながら、RHEA の回路図設計について述べる。ここで述べる以外の部分は、基本的に FMC150 を踏襲している。詳細な回路図は付録に集録する。

4.1.1 新旧回路図の比較

LPF (ローパス・フィルター)

図 4.1 に示すように、DAC の出口にあったキャパシターとインダクターからなる LPF を排除した。もうひとつのチャンネルも同様である。

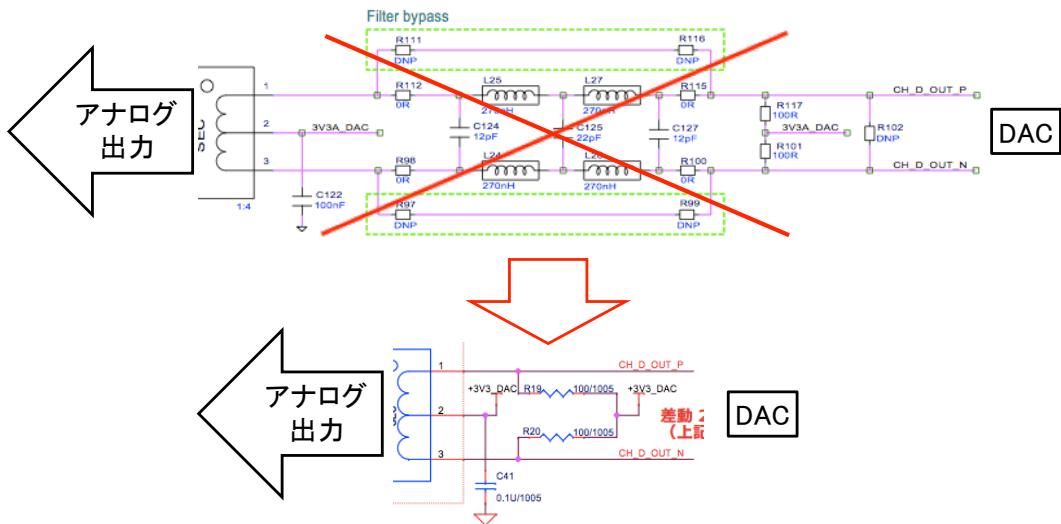


図 4.1: FMC150 (既存の市販品、上) と RHEA (本研究、下) における DAC の出力部分の比較。LPF の排除と共に回路図の簡素化を図った。

クロック生成器周辺

図4.1.1のように、消費電力を減らすため、PLL (CDCE72010; Texas Instruments) の代わりにクロック・ファンアウト・バッファ (ADCLK944; Analog Device) を搭載した。水晶発振器は、周波数が 245.76 MHz のもの (VS-705; Vectron) から 200.00 MHz のもの (EG-2102CA; Epson) に変更した。

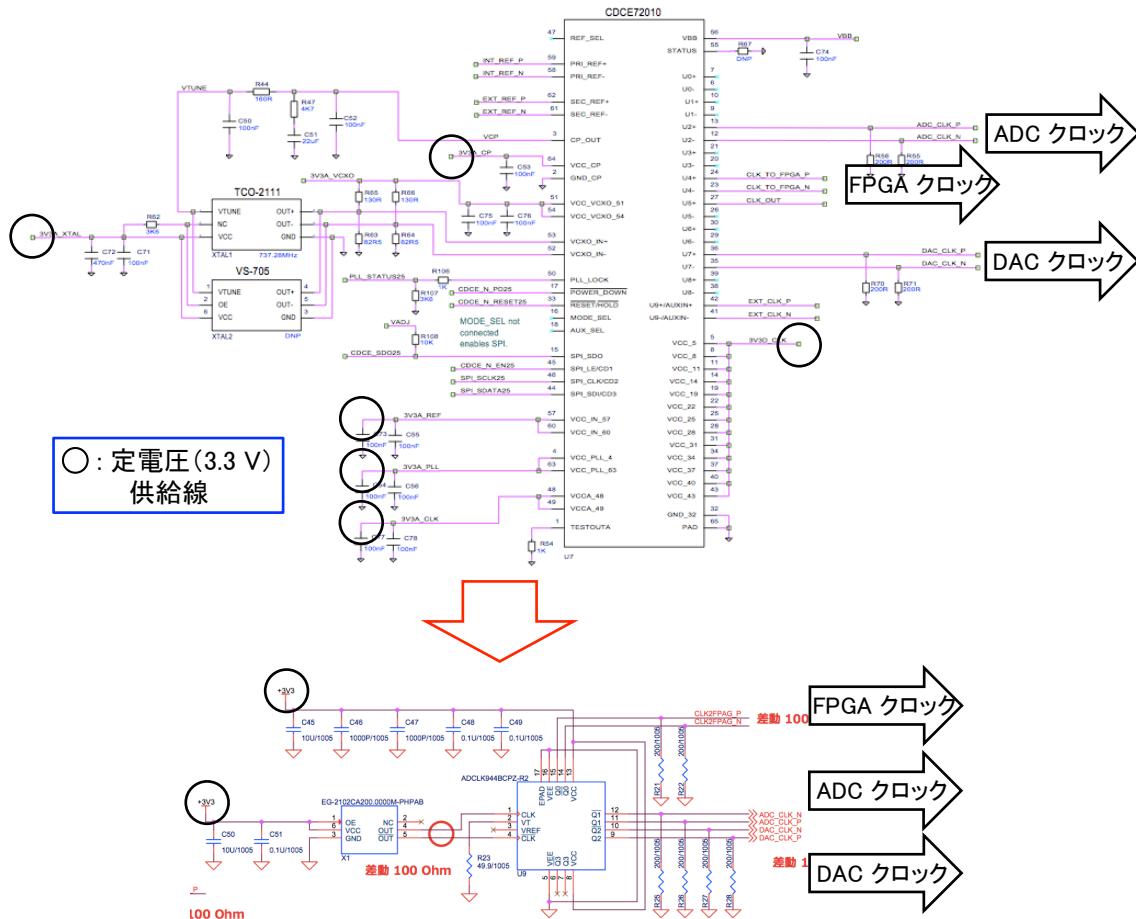


図 4.2: FMC150 (既存の市販品、上) と RHEA (本研究、下) におけるクロック生成器周辺の比較。ここでつくったクロックを ADC と DAC、FPGA へ入力する。クロック生成器周辺に限れば、消費電力はおよそ 80% (FMC150: 2.9 W + 0.29 + 0.25 W = 3.44 W、RHEA: 0.29 W + 0.33 W = 0.62 W) 抑えられ、配線数は 70%以上 (70 本から 20 本) 少なくなる。

電源回路

PLL に供給していた 5 本の電源線 (内 1 本は水晶発振器の電源) がなくなるため、電源回路も縮小される。実際的には、リニア・レギュレーター (3.8 V から 3.3 V に降圧) がひとつ不要になる。

また、その上流にあるスイッチング・レギュレーター (12 V から 3.8 V に降圧) とその受動部品から構成される回路も見直した。ここは、このアナログ基板上で最も高い電圧が生じる部分であり、読み出し系の不安定化の原因のひとつである電力の供給不足に関係していると考え

られる。FMC150 では TPS5430 (Texas Instruments) というスイッチング・レギュレーターを用いていたが、これを他の実験で実績のある LMZ12001 (Texas Instruments) に変えることで、より安定な電源供給を行い、読み出し系全体としての安定化を図る。

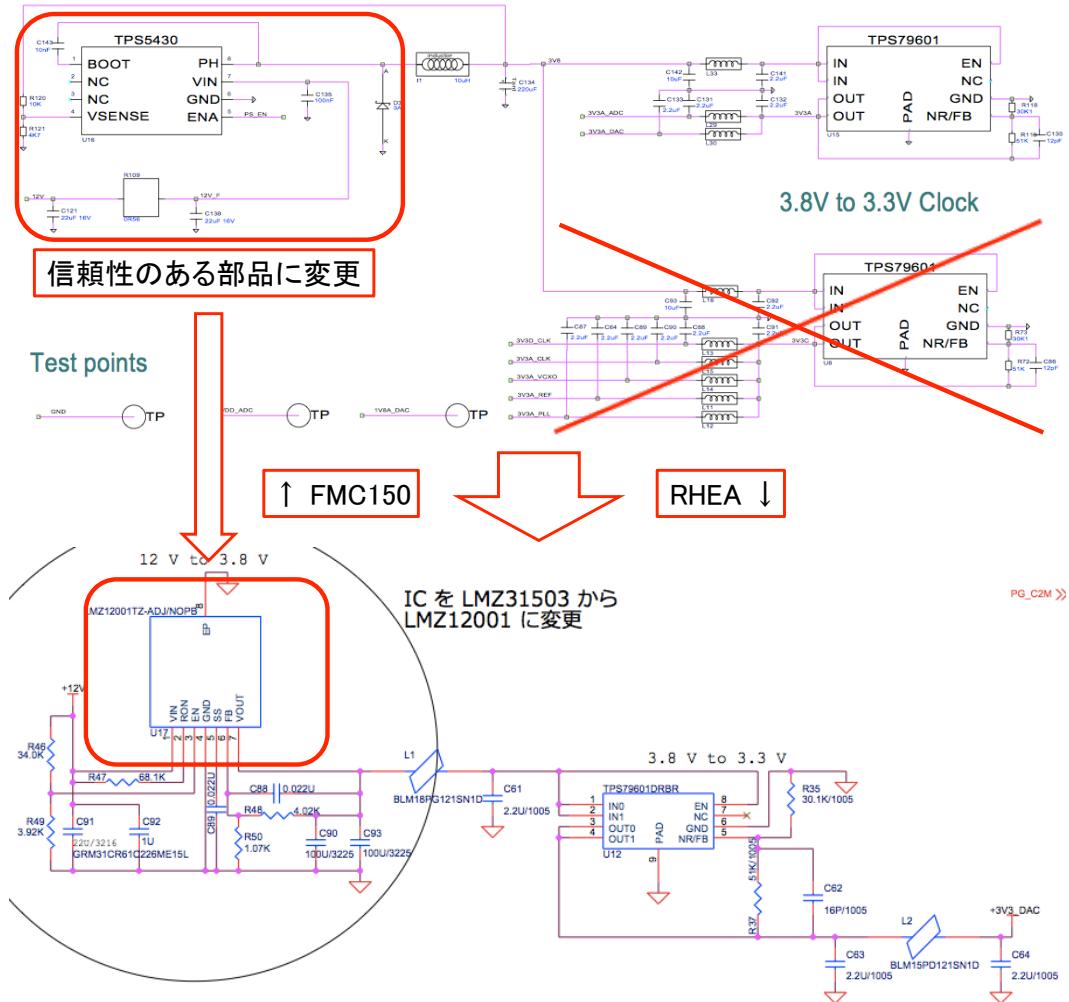


図 4.3: FMC150 (既存の市販品、上) と RHEA (本研究、下) における電源回路の一部の比較。RHEA では PLL へ供給していた 3.3 V の電源がなくなるため、リニア・レギュレーターがひとつ不要になる。また、ADC も省電力タイプに変更したことにより、3.3 V の電源供給は DAC のみとなる (その代わりに ADC へ供給する 1.8 V の電源線がひとつ増えるが、レギュレーターなど IC の数は増えない)。そして、12 V から 3.8 V に降圧しているスイッチング・レギュレーターは TPS5430 から他の実験で信頼性のある LMZ12001 に変更する。

4.2 基板図設計—論理記号を現実世界に落とし込む

図 4.4 は回路図に基づき設計した基板図である。基板の大きさは従来のアナログ基板とほぼ同じ 69×84 mm で、合計 7 つの層からなる。また、アナログ入出力のコネクター規格を SMA にすることで、ユーザビリティの向上を図る。

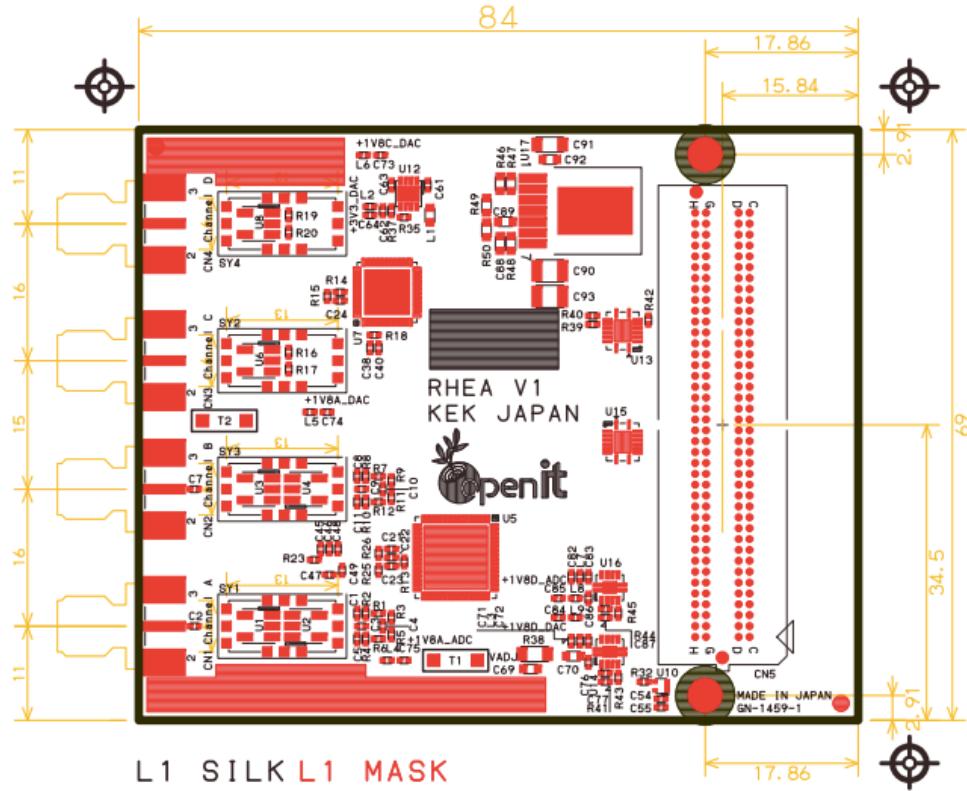


図 4.4: RHEA の基板図。アナログ入出力のコネクター規格を SMA に統一した。また、アナログ基板とデジタル基板を固定するためのネジ穴を用意した。これは、ユーザビリティの向上だけでなく実際の CMB 観測時においても安定した接続を保証した設計になっている。

一般に、回路設計は動作周波数によって設計手法が異なる。動作周波数が低い回路では、クロックは完全な矩形波とみなすことができる。また、信号の入出力の遅延時間は一定とみなし、それぞれの IC 間の配線遅延は無視する。グラウンドと電源線の配線による抵抗も無視して構わない。

一方で、動作周波数が高い回路では、インダクタンスとキャパシタンス成分の影響が無視できなくなる。動作周波数が低い回路では矩形波とみなせたクロックは、動作周波数が高くなると高調波成分を考慮する必要がある。また、信号の遅延や反射、クロストークも大きな問題となる。電源線の配線も、高周波の IC になるほど、グラウンド・バウンス・ノイズ [?] が大きくなるため、グラウンドと電源線のインピーダンス整合が重要となる。

4.2.1 伝搬速度

基板上を伝わる信号の伝搬速度 v_p は、

$$v_p = \frac{c}{\sqrt{\epsilon_{eff}}} \quad [\text{m/s}] \quad (4.1)$$

で表される。ここで、 c は真空中の光の速さ、 ϵ_{eff} は実効比誘電率である。(4.1) に、基板の実効比誘電率を 4 と仮定し代入すると、 $v_p \sim 1.5 \times 10^8 \text{ m/s}$ となり、基板上では 1 ns 当たり 15 cm 信号が伝搬する。

信号は矩形波で伝送され、矩形波はフーリエ級数を用いて、式(4.2)に表されるような無限の正弦波に分解される。

$$S(t) = \frac{4}{\pi} \sum_{k=1}^{\infty} \frac{\sin[2\pi(2k-1)ft]}{2k-1} \quad (4.2)$$

図 4.5 のに示すように、矩形波の周期と同じ正弦波（基本正弦波; $k = 1$ ）に 10 倍までの高調波を足し合わせると（10 倍高調波; $k = 10$ ）、ほぼ矩形波が再現される。逆に言えば、信号を正確に伝送するためには、10 倍高調波程度は正確に伝送する必要があるということである。

動作周波数 200 MHz の RHEA の 10 倍高調波は 2 GHz になる。したがって、この高調波の基板上における波長の長さ λ_{RHEA} は

$$\lambda_{\text{RHEA}} = \frac{v_p}{f} = \frac{1.5 \times 10^8 \text{ m/s}}{2 \text{ GHz}} = 75 \quad [\text{mm}] \quad (4.3)$$

となる。一般に、信号線の長さが 10 倍高調波に近い 1/8 波長を超えると信号の遅れなどの問題が発生する。これにより、RHEA に要求される配線精度は、75 mm/8 ~ 9.4 mm になる。

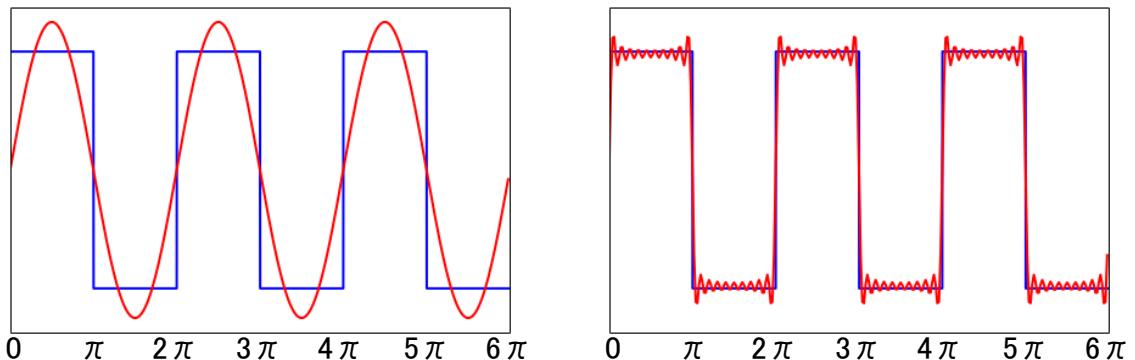


図 4.5: 正弦波と矩形波（左）と 10 倍高調波による矩形波の形成（右）。信号は矩形波で伝送され、矩形波は正弦波に分解される。左図のように基本正弦波の 10 倍までの高調波を足し合わせると、ほぼ矩形波に近い形となる。

4.2.2 特性インピーダンスと反射ノイズ

図 4.6 に示すように、動作周波数が高い回路には、グラウンドと信号線の間にインダクタンスとキャパシタンス、レジスタンス成分が存在する。グラウンドと信号線からなる伝送線の特性インピーダンス Z_0 は、

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad [\Omega/\text{m}] \quad (4.4)$$

で与えられる。ここで、 R 、 L 、 G 、 C はそれぞれ単位長さ当たりのレジスタンス、インダクタンス、コンダクタンス、キャパシタンスである。また、 ω は角周波数を表し、動作周波数 f とは $\omega = 2\pi f$ の関係にある。 j は虚数単位である。

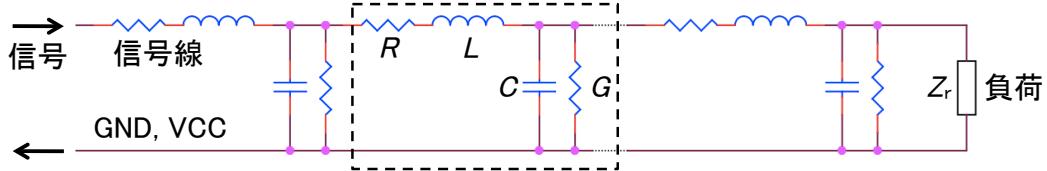


図 4.6: 伝送線の等価回路。 R 、 L 、 G 、 C はそれぞれ単位長さ当たりのレジスタンス、インダクタンス、コンダクタンス、キャパシタンスである。

この特性インピーダンスの値が一定でない場合、(4.5) 式で表される信号の反射が発生する。

$$\Gamma = \frac{Z_r - Z_0}{Z_r + Z_0} \quad (4.5)$$

ここで、 Γ は反射係数、 Z_r は入力インピーダンスである。

動作周波数が高い回路の場合、 Z_0 が一定である必要がある。特性インピーダンスは信号線の導体幅や厚さ、グラウンド間の絶縁間隙、比誘電率で決まるため、高周波の回路になるほど高い工作精度が求められる。

4.2.3 実際の基板の配線

RHEA のいくつかの信号線は 200 MHz で信号を伝搬している。たとえば、ADC と DAC のデータを伝搬している線がそうである。先の考察から、これらの信号線は、9.4 mm 以上の精度で配線する必要がある。

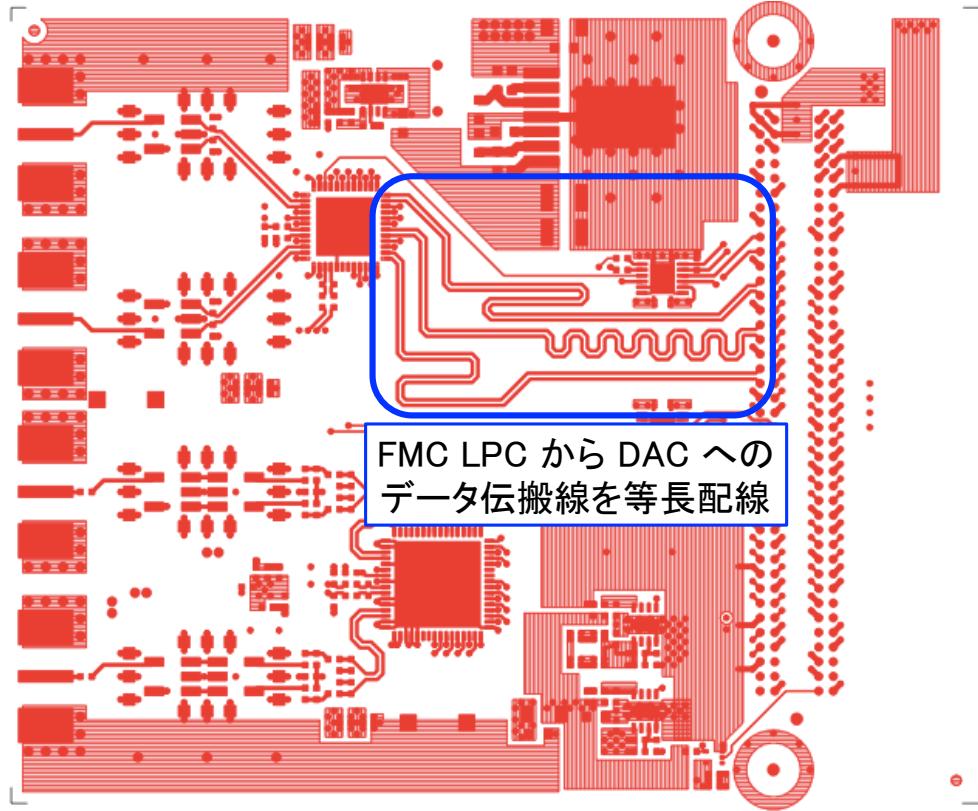


図 4.7: FMC LPC から DAC へのデータ信号の等張配線。この図では 3 つの対が等張に配線されていることが確認できる。残りの 4 対は内層で配線される。

基板内の差動配線の特性インピーダンス（差動インピーダンス）は 100Ω に設計している。ただし、DAC の差動信号は、 200Ω の差動インピーダンスにしている。一般に、差動インピーダンスが大きくなれば、その分だけ導体幅・厚さなどを小さくする必要がある。つまり、高い工作精度を要求する。この部分も工作精度の限界から、実際には差動 100Ω になっている。

これら設計と実物の違いは、どこまで問題になるか事前にシミュレーションするのは難しい。というより、事前にシミュレーションをするよりも、実際にものを作つてそれを評価してしまう方が低コストであると考える。また、この点は FMC150 も同様の実装になっているが、制作精度が原因となって誤動作するような問題は確認されていない。よつて、上述の設計に基いて試作することにした。

4.3 試作

試作したアナログ基板 RHEA の写真を図 4.8、4.9 に、FMC150 との比較を図 4.10、4.11 に示す。また、RHEA による新しいフロントエンド回路を図 4.12 に示す。

アナログ基板の制作はプリント基板制作会社「(有) ジー・エヌ・ディー¹」に依頼した。このアナログ基板 RHEA の評価を次章で行う。

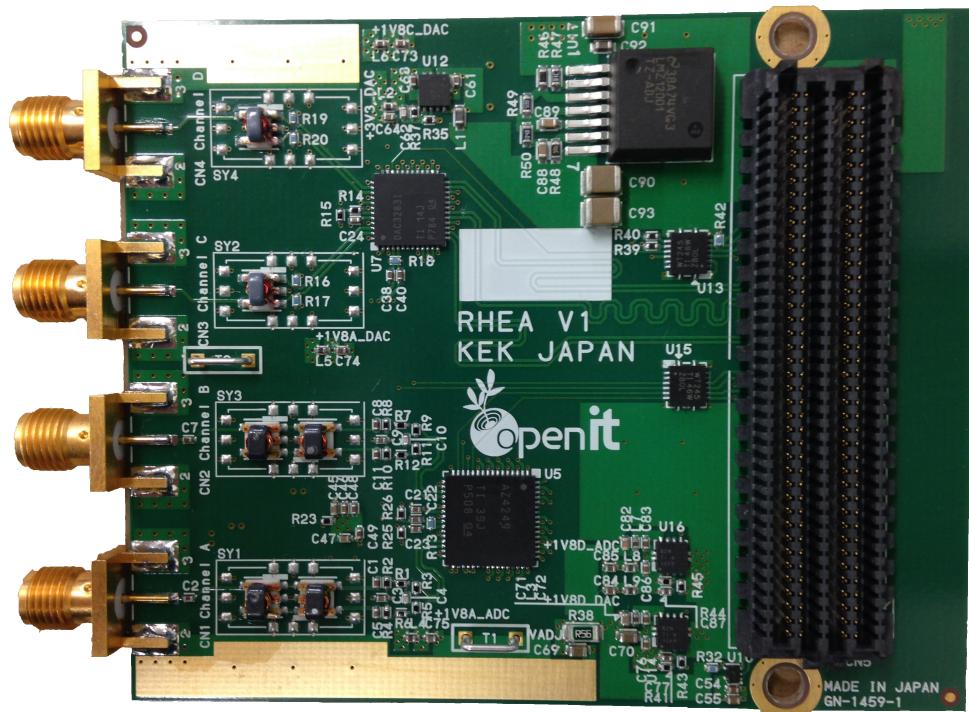


図 4.8: RHEA Ver. 1.0 (表面)

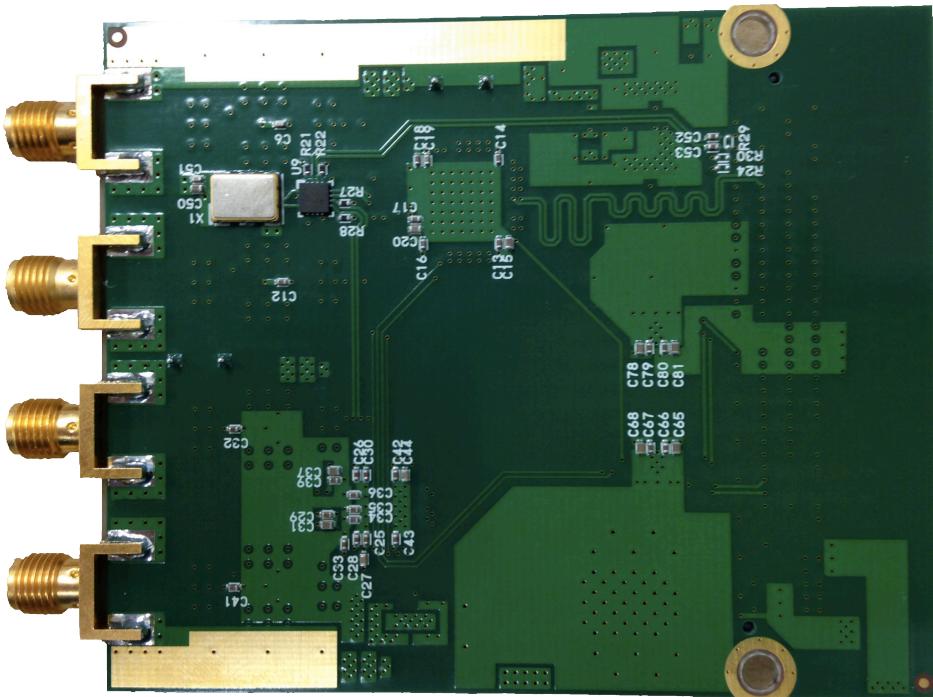


図 4.9: RHEA Ver. 1.0 (裏面)

¹<http://www.gn-d.jp/>

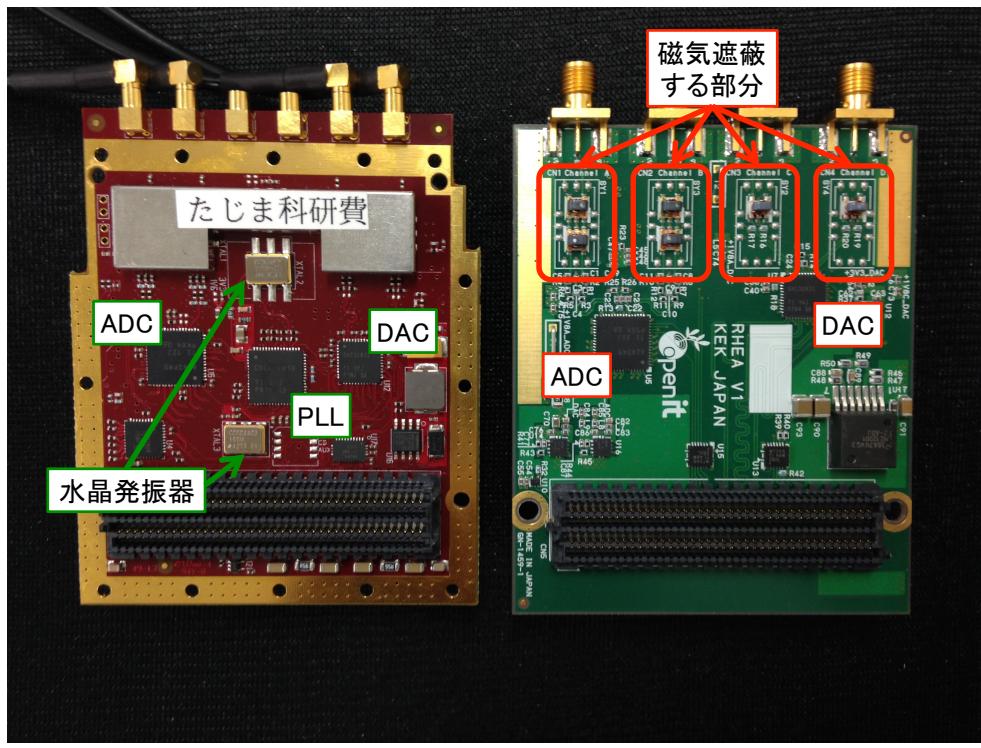


図 4.10: RHEA（本研究）と FMC150（既存の市販品）の表面の比較。RHEAにおいても、アナログ信号の入出力の前にあるトランス部分は磁気遮蔽シールドを取り付けられる。

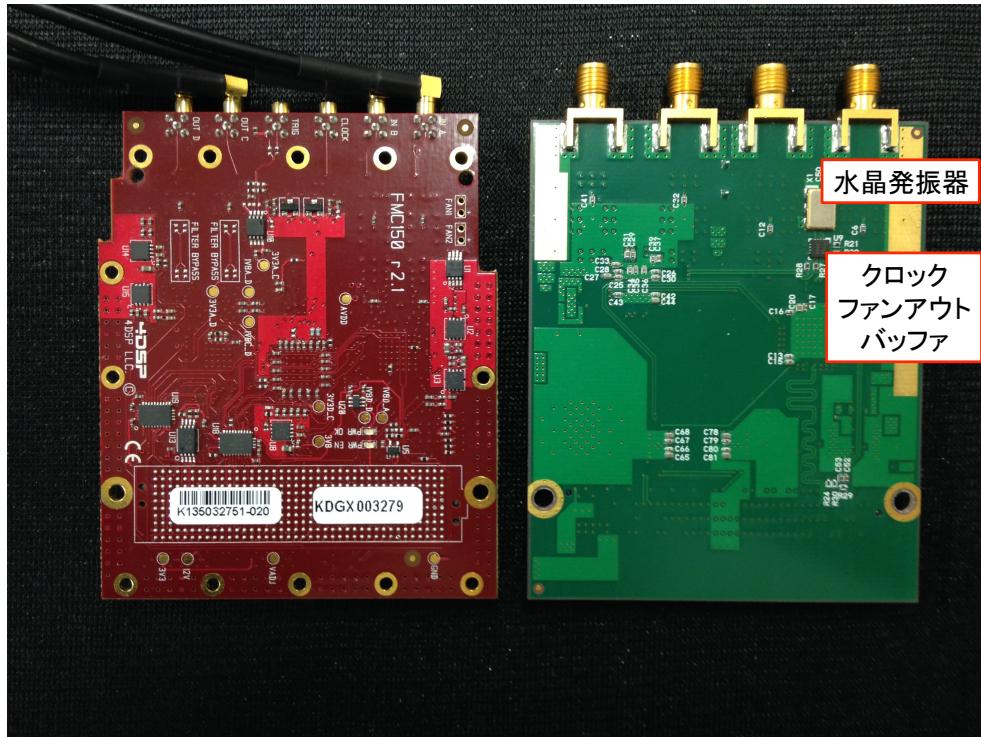


図 4.11: RHEA（本研究）と FMC150（既存の市販品）の裏面。FMC150 と比較すると、部品数の少なさがひと目で確認できる。

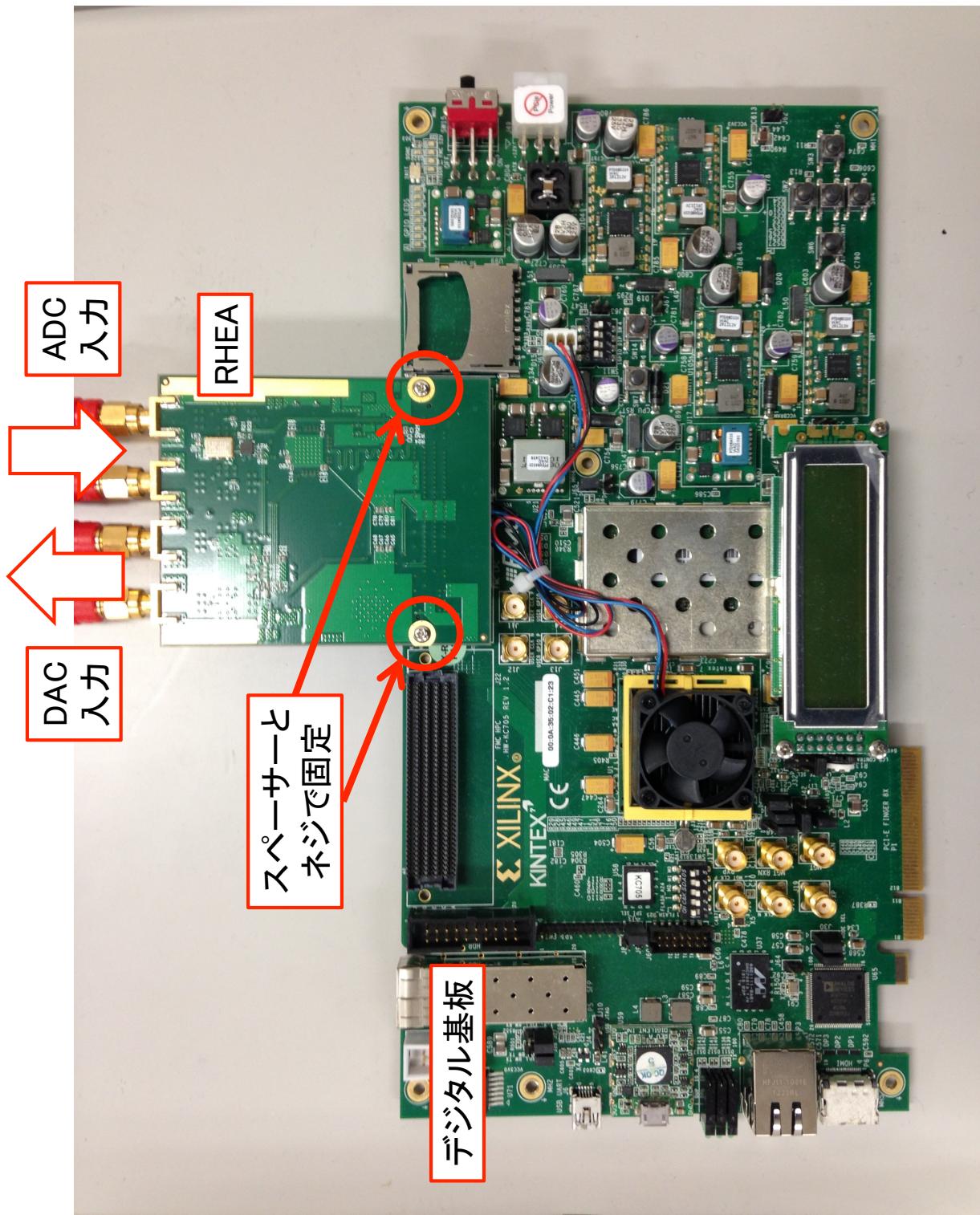


図 4.12: RHEA と Kintex-7 評価キットによる新しいフロントエンド回路。RHEA は FMC コネクターの両端に基板を固定するネジ穴を開けているため、安定した接続を保証する。

第5章 試作アナログ基板の評価

RHEA は従来のアナログ基板に対して三つの改善を行った。ひとつ目は広帯域化、ふたつ目は消費電力の低減、そしてユーザビリティの向上である。本章ではこれらの評価について述べる。

5.1 クロック信号の確認

試作基板の動作確認として、クロック信号の確認を行った。4 章で議論したように、信号は矩形波で伝送する。クロック信号が矩形波としてみなせるか、また仕様どおりの振幅や周波数をもつか、オシロスコープを用いて確認する。

5.1.1 基板納品時のトラブルとその解決

納品された試作基板のクロック信号を確認するために、カウンター回路をデジタル基板上の FPGA に実装し、カウンターの上位ビットを LED に出力することで、クロック信号の有無と大雑把な周波数を調べた（図 5.1）。

調べたクロック信号は、ADC のサンプリング・クロックとクロック・ファンアウト・バッファからのクロック（システム・クロック）で、ともに 200 MHz のクロック信号である。しかし、LED の明滅は、仕様のクロック信号から予想されるものと大きく異なった。実装したカウンター回路は、一定周期でカウントアップしておらず、ADC のサンプリング・クロックとシステム・クロックも同期していなかった。

そこで、オシロスコープを用いてクロック信号の波形を確認した。まず、クロック信号を生成している水晶発振器の出力をプローブすると、200 MHz 周期のクロック信号が確認できた。次に、クロック・ファンアウト・バッファの出力をプローブしてみると、グラウンドのノイズを増幅したような信号が見えるだけで、クロック信号とは異なることが判明した。

クロック・ファンアウト・バッファは、信号規格によって、配線方法が異なる。たとえば、RHEA で使用する ADC と DAC の入力クロックの信号規格は、LV-PECL であるため、クロック・ファンアウト・バッファは、LV-PECL のクロック信号を入力し、同規格の信号を 3 つに分配して出力する設計になっている。データシートを確認したところ、基板上のクロック・ファンアウト・バッファの配線方法は、LV-PECL になっており、この部分に問題がないことがわかった。

クロック・ファンアウト・バッファが正しく動作していることがわかつたため、消去法で、水晶発振器をもう一度目視精査した。すると、水晶発振器の型番が回路図のものと異なっていることが判明した。納品時に実装されていた水晶発振器の信号規格が、LVDS という信号規格であったため、正規の信号が出力されていなかった。（つまり、製作会社のケアレス・ミスであった。）

このトラブルは、水晶発振器を回路図どおりのものに替えることで解決した¹。水晶発振器の IC の足は全部で 6 本あり、半田面は 1.6 mm × 1.5 mm、ピン同士の間隔は最小で 2.54 mm と

¹水晶発振器の取り外しと再実装は KEK の池野正弘氏に行っていただいた。感謝の意を表したい。

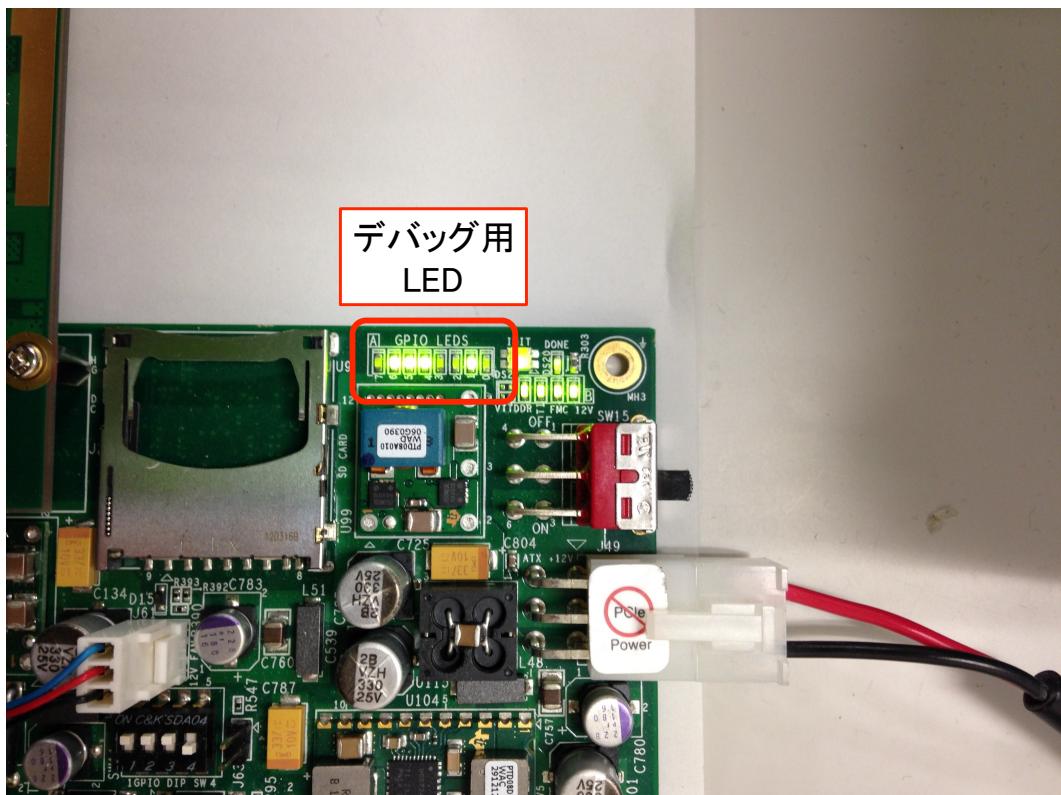


図 5.1: クロック信号の確認に使ったデジタル基板に実装されている LED。28-bit のカウンターを用意し、その最上位ビットを出力することで、200 MHz のクロックであれば、おおよそ 1 秒 (0.75 sec) の周期で LED が明滅する。

ADC や DAC などの他の IC と比較してピン同士の間隔マージン大きいいため、比較的簡単に IC の交換ができる。これについては、本章の「さらなる改善」にも関係する。LED での確認と共に、図 5.2 と図 5.3 に、それぞれ、水晶発振器の交換後にオシロスコープで測定したクロック信号とその測定方法を示す。すべてのクロックが正しく出力されていることが確認できた。

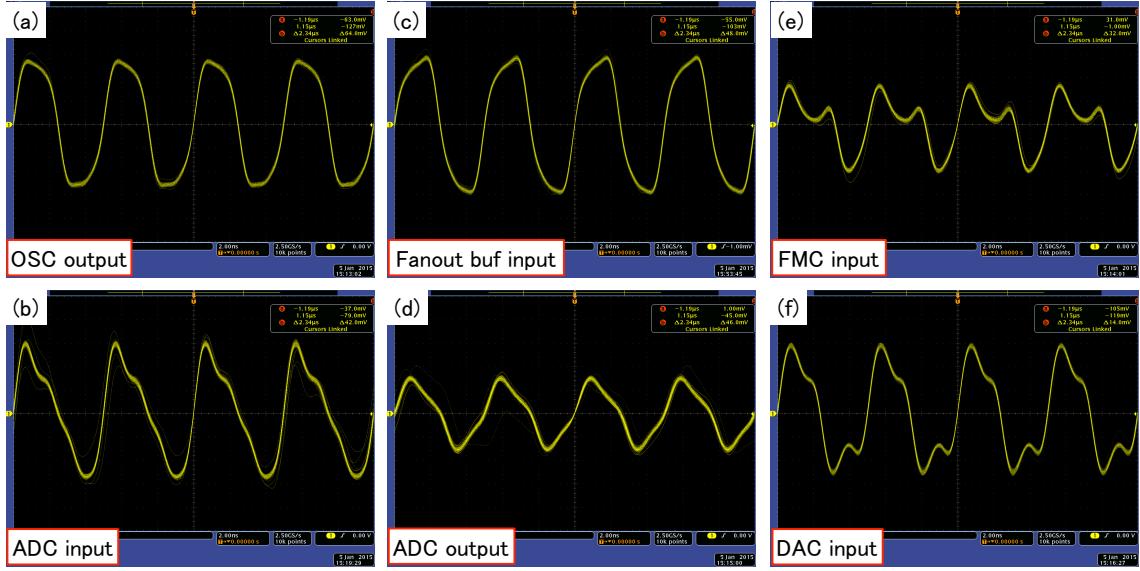


図 5.2: オシロスコープで測定した基板上の各場所におけるクロック信号。(a) 水晶発振器のクロック信号。(b) ADC へ入力しているクロック信号。(c) クロック・ファンアウト・バッファへ入力しているクロック信号。(d) ADC のサンプリング・クロック信号。(e) クロック・ファンアウト・バッファから FMC へのクロック信号（システム・クロック）。(f) DAC へ入力しているクロック信号。波形が歪んでおり矩形波に見えないが、これは差動出力の一端とグラウンドをパッシブ・プローブで測定しているためである。つまり差動信号の一端が開放されているためにコモン・モードが安定せず、反射の影響が見えている。本来、オシロスコープで差動信号を読む際は、差動プローブを用いて測定する。ここでは、水晶発振器を交換したことによるクロック信号の変化を確認することが目的であるため、図 5.3 のような構成で測定を行った。

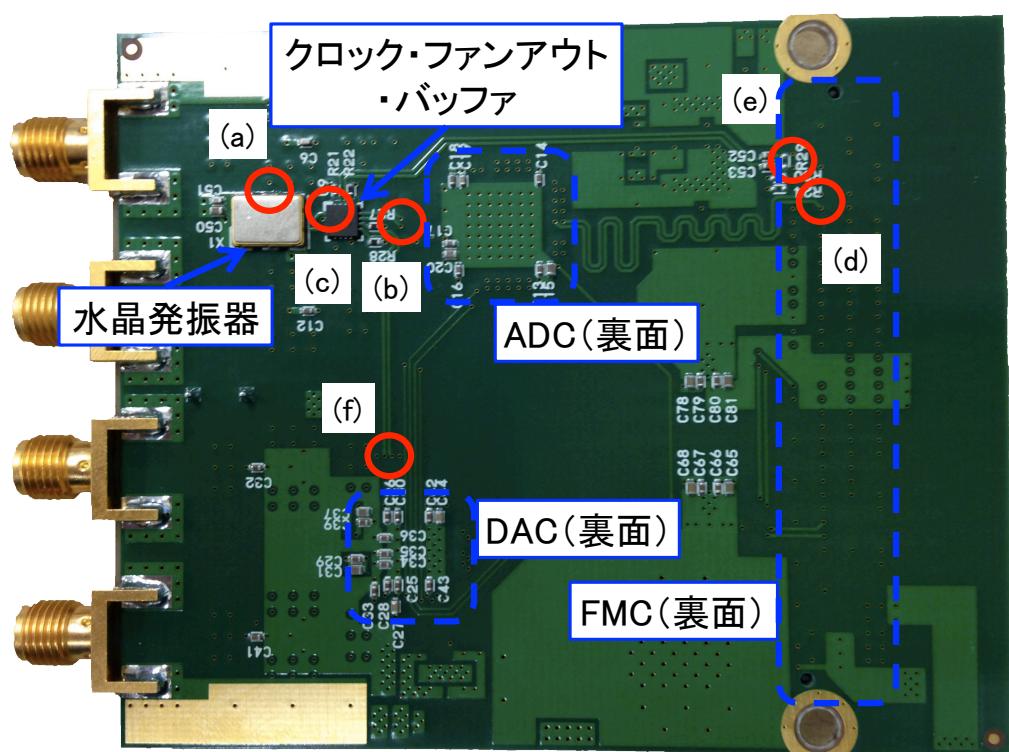


図 5.3: 図 5.2において、オシロスコープでプローブした場所。クロック信号は差動信号であるため、通常は差動プローブを用いて測定する。ここでの目的は、IC を交換したことによる大雑把な信号の確認であるため、一方の差動信号は開放してパッシブ・プローブで測定している。

5.2 消費電力の評価

表 3.1 が示すように、RHEA は PLL の排除や電源回路の見直し、ADC の省電力版への変更により、大幅に消費電力を削減する狙いがある。そこで、直流電源とそれに内蔵する電流計を用いて従来のアナログ基板と RHEA とで消費電力の比較を行う。

5.2.1 評価方法

消費電力の測定は、図 5.4 のようにして行う。アナログ基板の電源は、FMC を介してデジタル基板から供給される。デジタル基板は、通常 AC100 V から、AC アダプターで DC12 V に変換している。この測定では、直流電源で 12 V をつくり、その電流量をモニターして、デジタル基板とアナログ基板の総消費電力を計算する。さらに、その値からデジタル基板（アナログ基板を抜いて測定）の電力消費を差し引いて、アナログ基板の消費電力を推定した。

図 5.4 のテスターは、直流電源とデジタル基板間で発生する電圧降下を較正するために、デジタル基板上の 12 V のピンとグラウンドピンの電圧差をテスターで測定し、すべての測定で 12 V の一定電圧がかかるようにする。図 5.5 に、実際の測定構成の写真を示す。

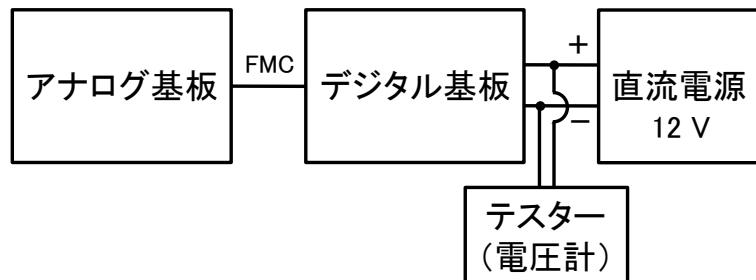


図 5.4: 消費電力を測定するための装置構成。デジタル基板に供給する DC12 V を電流計の付いた直流電源から供給し、デジタル基板に流れた電流量を測定する。直流電源からデジタル基板間で発生する電圧降下を較正するために、デジタル基板上の 12 V のピンとグラウンドピンの電圧差をテスターで測定する。

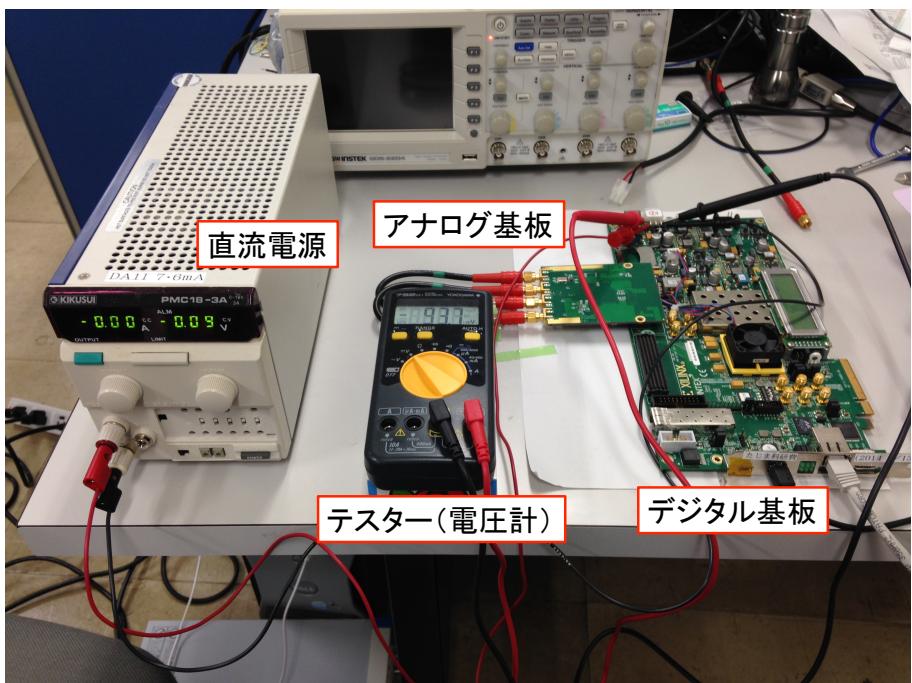


図 5.5: RHEA の消費電力の測定

5.2.2 評価結果

表 5.1 にデジタル基板の電力消費を差し引いた、それぞれのアナログ基板の消費電力の比較をまとめる。「状態」は読み出し系の現在の動作状態を表す。

表 5.1 より、仕様策定の目標値である「従来の消費電力の半分」が概ね達成されていることがわかる。また、消費電力が大きく、最も発熱していた PLL がなくなったことにより、必須であった USB 扇風機（図 2.10）が不要になった。これは読み出し系の簡素化の点からも大きな進展である。

表 5.1: RHEA（本研究）と FMC150（既存の市販品）の消費電力の比較

状態	消費電力 [W]		電力比 (RHEA/FMC150)
	RHEA	FMC150	
待機状態	1.8	5.9	0.31
読み出し多重度 1	4.7	11.4	0.41
読み出し多重度 32	7.9	15.1	0.52

5.3 帯域の評価

図 4.1 で示したように、RHEA には帯域を制限する LPF（ローパス・フィルター）が存在しない。100 MHz まで DAC の信号強度が減衰しないことをオシロスコープを用いて測定し、帯域の拡大を確認する。

5.3.1 評価方法

信号強度の測定は、図 5.6 のようにして行う。デジタル基板上にある FPGA で MHz 帯の周波数をもつ正弦波と余弦波のデジタル信号を生成する。生成したデジタル信号は、FMC を介してアナログ基板上の DAC に送られ、DAC でデジタル信号をアナログ信号に変換する。そして、そのアナログ信号強度をオシロスコープで測定する。実際に測定している様子を図 5.7 に示す。

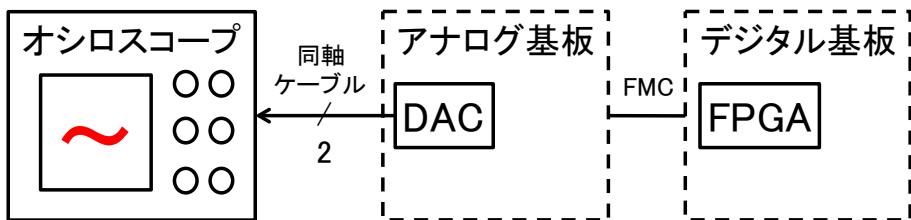


図 5.6: DAC の信号強度を評価するための測定方法。デジタル基板とアナログ基板は FMC で接続する。DAC からの信号は同軸ケーブルを伝ってオシロスコープに入力する。

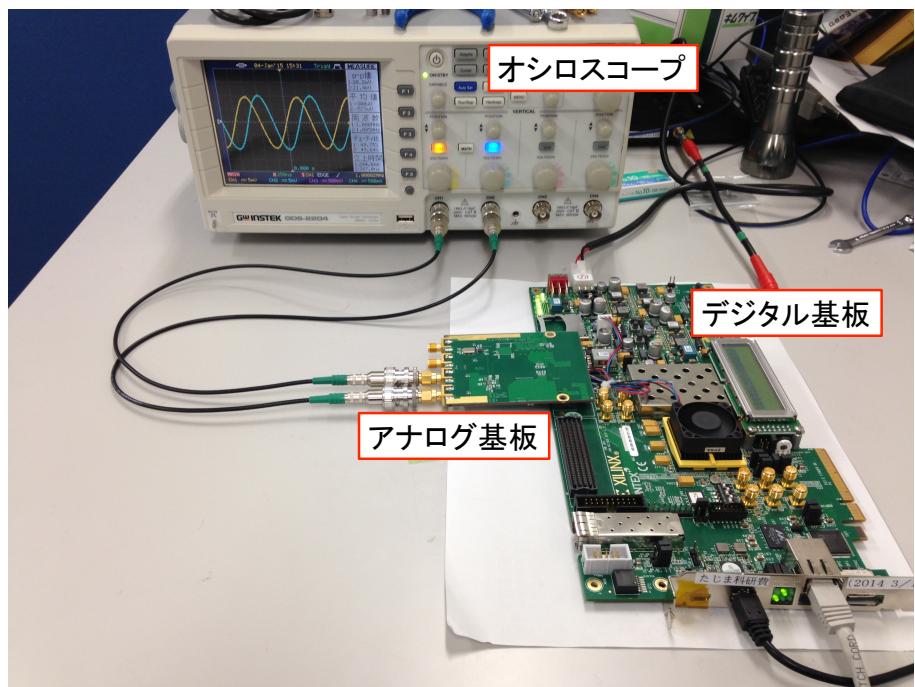


図 5.7: RHEA で 1 MHz の正弦波と余弦波を測定している様子

信号強度 P は、出力した正弦波（余弦波）の最大値と最小値の電圧差 V_{pp} を測定し、次の式でエネルギーに変換する。

$$P = 10 \log_{10} \left(\frac{V_{pp}^2}{R} \times \frac{1}{1000} \right) \quad [\text{dBm}] \quad (5.1)$$

ここで、 R は終端抵抗を表し、 $R = 50 \Omega$ である。

5.3.2 評価結果

図 5.8 に RHEA と FMC150 の DAC からの信号強度の比較を示す。FMC150 では LPF により、高周波数領域において、その信号強度が減衰していた。一方、RHEA では高周波領域においても高い信号強度を維持していることが確認できる。

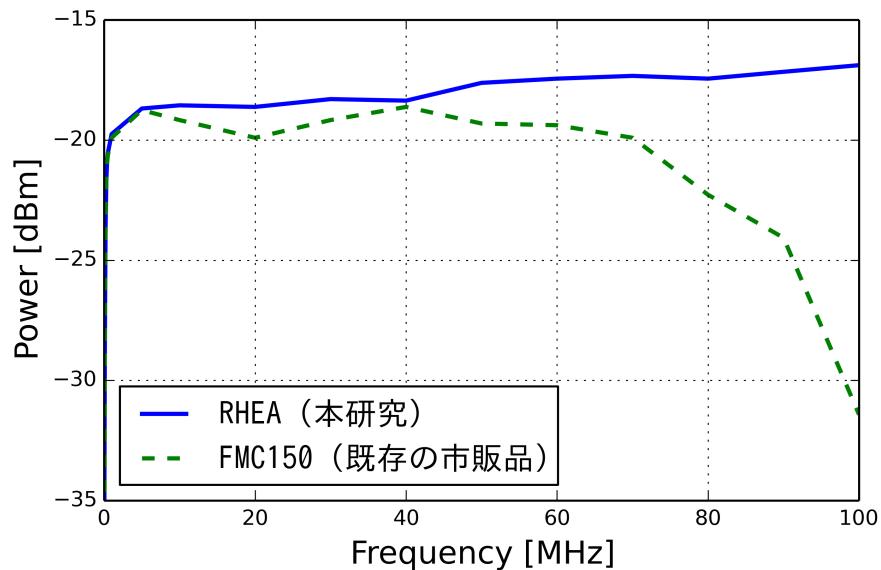


図 5.8: RHEA (本研究) と FMC150 (既存の市販品) における DAC の信号強度の比較。RHEA は高周波領域においても信号強度を維持している。数十 kHz までの直流成分は AC 結合しているため、両者とも信号強度が弱い。AC 結合は信号のベースラインのドリフトを防ぐので、このような高周波回路には必須である。

5.4 評価結果まとめ

以上より、評価結果をまとめると次のようになる:

1. 帯域は ±100 MHz に広がり、従来よりおよそ 30% 広帯域化した。
2. 消費電力は、読み出し多重度 32 の状態で 7.9 W であり、従来のおよそ半分になった。
3. 発熱を抑制し、USB 扇風機が不要になった。また、コネクター規格を SMA に統一したことや基板の固定構造の実装、ユーザーが使用しやすいクロック周波数など、ユーザビリティが飛躍的に向上した。

5.5 さらなる高みを目指した改造案の検討

アナログ基板 RHEA のさらなる改造 (RHEA 改; 図 5.9) として、ADC と DAC のサンプリング周波数をより高くすることが考えられる。RHEA に搭載している ADC (ADS4249) と DAC (DAC3283) の最大サンプル・レートはそれぞれ、250 MSPS と 800 MSPS である。つまり、RHEA にはあと 25 MHz、翼を広げる余地がある。

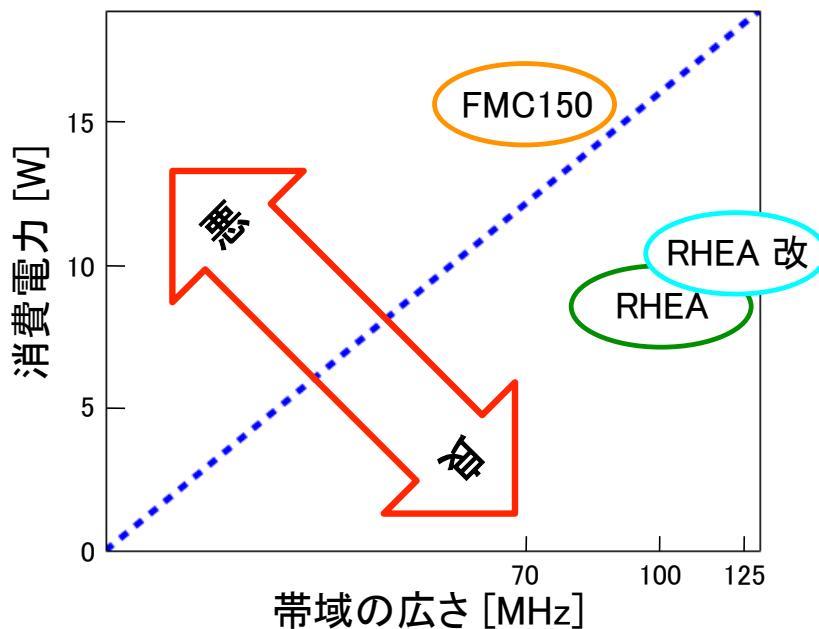


図 5.9: RHEA のさらなる改造により到達する境地

5.5.1 水晶発振器を交換して ADC/DAC のサンプリング周波数をあげる

ADC と DAC のサンプリング周波数は読み出し系の帯域を決定する大きな要素である。そこで、これらのサンプリング周波数を ADC の最大サンプリング・レートである 250 MHz にする。つまり、水晶発振器の周波数を 250 MHz に変更する。これにより、帯域を 125 MHz まで拡大する。

この水晶発振器の変更は、5.1.1「基板納品時のトラブルと解決」で述べたように、半田ごてを使えば、現在の RHEA を使って行うことができるため、比較的簡単に試すことができる。

5.5.2 DAC のサンプリング周波数を大幅に上げる

DAC3283 には出力波形をそれぞれ 2 倍、4 倍に補完する機能が実装されている。RHEA ではこの補完機能は使用していないが、DAC のサンプリング周波数を 200 MHz から 800 MHz にすることによって、4 倍の補完機能を使用することが可能となる。これにより、高周波でもよりなめらかな波を生成することが可能となり、ノイズ耐性を向上できる。

4 倍の補完機能を実装するために必要な変更は次のふたつである：

1. 水晶発振器の周波数を 200 MHz から 800 MHz にする。
2. クロック・ファンアウト・バッファを分周器機能付きのもにすること。

前款で述べたように、1. は比較的簡単に変更することができる。一方、2. は水晶発振器が出力した 800 MHz のクロック信号を DAC にはそのまま入力し、ADC と FPGA には 4 分周（200 MHz）して入力する。たとえば、Texas Instruments の CDCM1804²を使うとこの回路を実現することができる。ただし、この変更は回路図の変更を要し、新しい基板を作りなおすことになる。

²<http://www.ti.com/lit/ds/symlink/cdcm1804.pdf>

第6章 まとめ

次世代のCMB偏光観測において、検出器の多素子化とその多重読み出しは重要な要素である。MKIDは多素子化、多重読み出しに優れた検出器であり、その特性を最大化する読み出し系の開発が急務である。

既存の読み出し系は、市販品を組み合わせて構成しており、実際にMKIDの読み出しに成功している。しかし、既存の読み出し系に用いている市販のアナログ基板には、以下の解決すべき課題が存在する：

1. LPF（ローパス・フィルター）による帯域の制限
2. 消費電力・発熱の過大
3. ユーザビリティの毀損

これらの課題を解決するために、新しいアナログ基板RHEAの開発を行った。RHEAは、次のような方法で課題の解決を図った：

1. 帯域を制限しているLPFの排除
2. PLLからクロック・ファンアウト・バッファへの変更
3. 水晶発振器の周波数の変更
4. コネクター規格の統一

これらの解決方法により誕生したRHEAは：

1. 帯域 $\pm 100\text{ MHz}$
2. 消費電力 7.9 W (読み出し多重度 32)
3. 外部冷却装置不要に代表される、高いユーザビリティの実現

という特徴をもつアナログ基板である。帯域は、従来のアナログ基板と比較しておよそ30%拡大した。消費電力は、従来のおよそ半分になり、必須であったUSB扇風機も不要となった。

ユーザビリティの向上は、今後のユーザーからの反応が待たれるが、一ユーザーとして、このフロントエンド回路の定性的な評価を述べると、読み出し系の状態制御や装置構成の変更等、従来のフロントエンド回路と比べると使いやすくなったといえる。

以上より、試作アナログ基板RHEAは、策定した仕様通りに完成した。今後、このRHEAを量産するか、前章の最後で述べたような改良を行うかは決定していないが、GroundBIRD実験で用いるMKIDの読み出し系として満足するアナログ基板を制作することができた。

参考文献

[1]

[2]

[3]

[4]

[5]