



図 2.5: FMC150 のエアフローを向上させるために取り付けした USB 扇風機。IC の排熱処理は必須である。

ロックを様々な周波数に分周して使うことではない。クロックの周波数は ADC と DAC のサンプリング・レートを決めるため、できるだけ高い周波数のものが好ましいが、周波数分解能の値も重要である。実際に MKID の測定を行う際は、まず帯域全体をスイープして、どの周波数にそれぞれの MKID の共振ピークがあるか測定する。次に、それぞれの MKID についてを定点観測を行う。このとき、ユーザーはある MKID の共振周ピーク付近に周波数を設定する必要がある。その際、指定する周波数は分解能の倍数に設定しなければならない。たとえば、FMC150 で読み出し系を構成した場合、12.288 kHz の倍数にする必要がある。これは、ユーザーにとって非常に使いづらく誤った測定を誘発する。

また、読み出し系は冷却回路や MHz/GHz コンバーターで数 GHz の信号を扱うため、同軸ケーブルのコネクターは SMA ( Sub-Miniature version A ) コネクターを用いている。一方で、FMC150 は MMCX ( Micro-Miniature CoaXial ) を採用している。~~測定を行う上で~~、ユーザーはコネクターの繋ぎ変えを頻繁に行う。そのときに、コネクターの規格が不揃いだとユーザーの生産性を下げる。

コレイナイ  
色々ミスリード

## 第3章 アナログ基板の仕様策定

本章では、要求分析に基づいた仕様策定を行う。従来のアナログ基板と比較した改良点について整理し、試作したアナログ基板の概要をまとめる。

### 3.1 要求分析

前章で述べたように、市販のアナログ基板には三つの解決すべき課題があった: 1) ローパス・フィルタによる帯域の制限、2) 消費電力の過大、3) ユーザビリティの毀損である。  
*← 3.1.1 帯域に関する要求分析*

1) の最も簡単な解決案は、問題となるローパス・フィルタを外すことである。これにより、原理的にはDACの最大出力周波数(サンプリング周波数/2)まで、帯域を広げることができる。ローパス・フィルタを外すことにより、高周波ノイズの漏れ込みが懸念されるが、これにはDACの出力後、コネクタの先で新たにローパス・フィルタを取り付けることで対応する。  
*← 消費電力に関する要求分析 3.1.2*

2) は市販のアナログ基板に搭載されているICの中で最も消費電力が大きい部品であるPLL(Typ. 2.9 W)の代わりに、クロック・ファンアウト・バッファ(Typ. 0.29 W)を用いることで消費電力を抑制する。このクロック・ファンアウト・バッファは、PLLと異なりFPGAによる制御が不要であることも、利点のひとつである。その他に、ADCを同等の性能でより省電力なパッケージを選択することで、より消費電力の低減を図る。  
*← 3.1.3 ユーザビリティに関する要求分析*

3) はユーザビリティを損なう原因である水晶発振器を、ユーザーが直感的に使うことができる周波数分解能にするために整数倍の周波数をもつ水晶発振器に変更する。これにより、ユーザーはある数(MKIDの共振周波数)に12.288を掛けたり、割ったりするような認知的負荷から開放される。ADC/DACの入出力先のコネクタの規格もSMAに統一することで作業効率に改善をもたらす。

#### 3.1.4 要求分析を反映した解決方法まとめ

##### ~~3.1.1 課題の解決方法~~

*以上、*

*まとめると、*

~~先の~~三つの課題に対する解決方法は、次の通りである:

1. DACの出力部分にあるローパス・フィルタを排除する。

2. 位相同期回路 (PLL) の代わりにクロック・ファンアウト・バッファを用いる。
3. 水晶発振器を整数倍の周波数のものに変更する。MMCX コネクタから SMA コネクタに変更する。

## 3.2 仕様

要求分析に基いて、新しいアナログ基板 RHEA<sup>1</sup>の仕様を策定する。読み出し系の性能を決める上で、広帯域性 (高速化・高周波化) と省電力性 (低電圧化・低電流化) をどう両立させるかが重要な点となる。

一般に回路の高速化・高周波化と低電力化はトレードオフの関係にある (図 3.2)。回路は高速化・高周波化するほど、不要電磁波が増加し、他の電子機器に影響を与える。また、低電圧化や低電流化、動作マージンの減少により、ノイズ・マージンが低下することで、不要電磁波を受けて誤作動する蓋然性も高くなる。

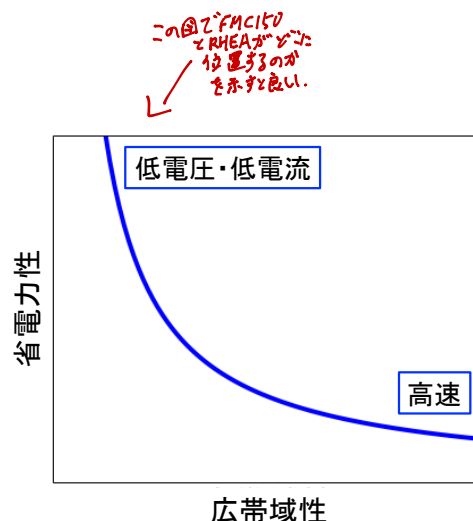


図 3.1: 回路図の広帯域性と省電力性の関係

### 3.2.1 アナログ基板のブロック図

図 3.2.1 に RHEA のブロック図を示す。RHEA は 2 チャンネル 14-bit の ADC と 2 チャンネル 16-bit の DAC を搭載し、それぞれに水晶発振器から分配した 200 MHz のクロックを入力する<sup>2</sup>。デジタル基板との接続は FMC LPC (Fpga Mezanine Card Low-Pin Count 160-pins) で行い、電源 (12 V・3.3 V・2.5 V) はこのコネクタを介してデジタル基板から供給される。ADC と DAC の入出力ポートは SMA コネクタを採用し、差動 50 Ω で AC カップルする。

デジタル基板からアナログ基板への ADC と DAC へのデータの搬送は、200 MHz の差動信号 (LVDS) で行う。データ幅はそれぞれ 14-bit と 16-bit で、DDR (Double Data Rate) でデータを読み書きする。

ADC と DAC のレジスタの読み書きは SPI (Serial Peripheral Interface) で制御する。SPI には書き込みと読み込みを一本の線で行う SPI 3-wire と書き込みと読み込みを別の線で行う SPI 4-wire とがあり、ADC (ADS4249) は SPI 4-wire が実装さ

<sup>1</sup>RHEA は、「Rhea is a High spEed Analog board」の略で、南米に生息する陸鳥 (ground bird) からその名を付けた。

<sup>2</sup>このクロックは FMC LPC を介して FPGA にも入力しており、これをシステム・クロックとして使うことを想定している。