

超伝導検出器多重読み出し用
フロントエンド回路の開発

総合研究大学院大
高エネルギー加速器科学研究所
素粒子原子核専攻

学籍番号: 20111451
石塚 光

平成27年1月9日

概要

CMB (Cosmic Microwave Background; 宇宙マイクロ波背景放射) の温度異方性の精密測定により、ビッグバン宇宙模型は宇宙の標準模型として今日定着している。しかし、この模型には「地平線問題」・「平坦性問題」・「残存粒子問題」などの未解決な問題がある。これらを解決する有力な理論のひとつが、インフレーション宇宙論である。インフレーション宇宙論は、宇宙初期の時空の指數関数的な膨張によって、これらの問題を一挙に解決する。この急激な膨張は、原始重力波を生成し、その痕跡は CMB の偏光地図に表れると期待される。

GroundBIRD 実験はこの原始重力波によって偏光地図に表れる *B* モードと呼ばれる信号の検出を目的とした地上実験である。一般に、観測領域を制限するのは検出器の $1/f$ ノイズである。GroundBIRD はこのノイズの影響を受けない観測を行うために、望遠鏡自身が高速で回転 (20 RPM) しながら測定を行う。また、GroundBIRD は検出器として超伝導検出器 MKID を採用する。

MKID は極低温 (< 250 mK) で動作するため、冷却光学系への熱流入を抑えることが肝要である。MKID は一本のフィードラインから多数の素子を読み出すことが容易なため、読み出し系への配線数を減らすことができる。現在、市販のアナログ基板 (ADC/DAC ドーターボード) と FPGA (Field-Programmable Gate Array) 評価基板を組み合わせて、比較的簡単に読み出し系を構成しているが、この市販品にはローパスフィルターが実装されているため透過特性が悪く、使用帯域が制限される。また、クロック生成器の周辺が必要以上に複雑であり、かつ、消費電力が大きく動作が不安定になるという問題がある。これら三つの問題を解決するために、広帯域かつシンプルな構成のアナログ基板の開発を行った。

まず、帯域を制限していたローパスフィルターを排除して、使用可能帯域をおよそ 1.5 倍広帯域化することに成功した。次に消費電力が大きく、現在の用途に不釣合いな位相同期回路 (PLL) の代わりに、消費電力が小さく、必要最低限の機能をもつたクロック・ファンアウト・バッファを搭載した。PLL をはじめ、種々の IC を選定しなおし、さらに電源回路を見直すことで、フロントエンド回路全体の消費電力は従来の回路の 60%まで抑えることができた。これらの改善は、同時に回路全体の簡素化を実現し、ユーザーによる制御ファームウェアのコーディングの容易さをもたらす。

目 次

第1章 序論	2
1.1 インフレーション宇宙論と宇宙マイクロ波背景放射	2
1.2 CMB 偏光観測とその現状	2
1.3 GroundBIRD 実験	2
第2章 超伝導検出器 MKID とその読み出し	3
2.1 動作原理	3
2.2 周波数多重読み出し	3
2.3 読み出し系	3
2.3.1 読み出し系の構成と大まかな流れ	3
2.3.2 読み出し原理	5
2.4 既存の読み出し系	5
2.4.1 解決すべき課題	5
第3章 アナログ基板の設計と試作	9
3.1 要求分析	9
3.2 仕様	10
3.3 設計	12
3.3.1 回路図の設計	12
3.3.2 基板図の設計	13
3.4 試作	13
第4章 試作基板 RHEA の評価	17
4.1 試作時の諸問題の洗い出しと解決	17
4.2 バンド幅	17
4.3 消費電力の評価	17
4.4 クロックの簡素化の評価	17
4.5 帯域の評価	17
4.6 従来のアナログ基板との比較	17
第5章 まとめ	18

第1章 序論

- 1.1 インフレーション宇宙論と宇宙マイクロ波背景放射**
- 1.2 CMB 偏光観測とその現状**
- 1.3 GroundBIRD 実験**

第2章 超伝導検出器MKIDとその読み出し

本章では、MKIDの動作原理の概要とその読み出し方法について述べる。MKIDの利点のひとつである周波数多重読み出しについて述べたあとに、市販のアナログ基板を用いた読み出し系の概要とその不満点を挙げる。本論文の主旨は、この不満を解消するものである。

2.1 動作原理

Microwave Kinetic Inductance Detectors (MKID) は、2003年に発明された超伝導検出器である。MKIDは電波を受信するアンテナと超伝導共振器、それに C-coupled したフィードラインから構成される（図 2.1）。各共振器はそれぞれ固有の共振周波数 $\omega = 1/\sqrt{LC}$ をもつ。ここで、 L は共振器のインダクタンス、 C は共振器とフィードラインのカップリングキャパシタンスを表す。

アンテナで受信した電波が共振器内のクーパー対を解離し、インダクタンスが変化する。MKIDはその変化を共振状態の変化として検出する。共振周波数は 4–6 GHz に設定されることが多い。

2.2 周波数多重読み出し

2.3 読み出し系

読み出し系は MKID の共振ピークの振幅と位相の変化を測定する。MKID の読み出し方法には、DDC (Direct Down-Conversion) 方式と FFT (Fast Fourier Transform) 方式の二種類が存在し、本論文では共振周波数をより高い精度で設定できる DDC 方式による読み出しについて述べる。

2.3.1 読み出し系の構成と大まかな流れ

読み出し系の構成を図 2.3.1 に示す。読み出し系は大きく 4 つの要素に分けられる：

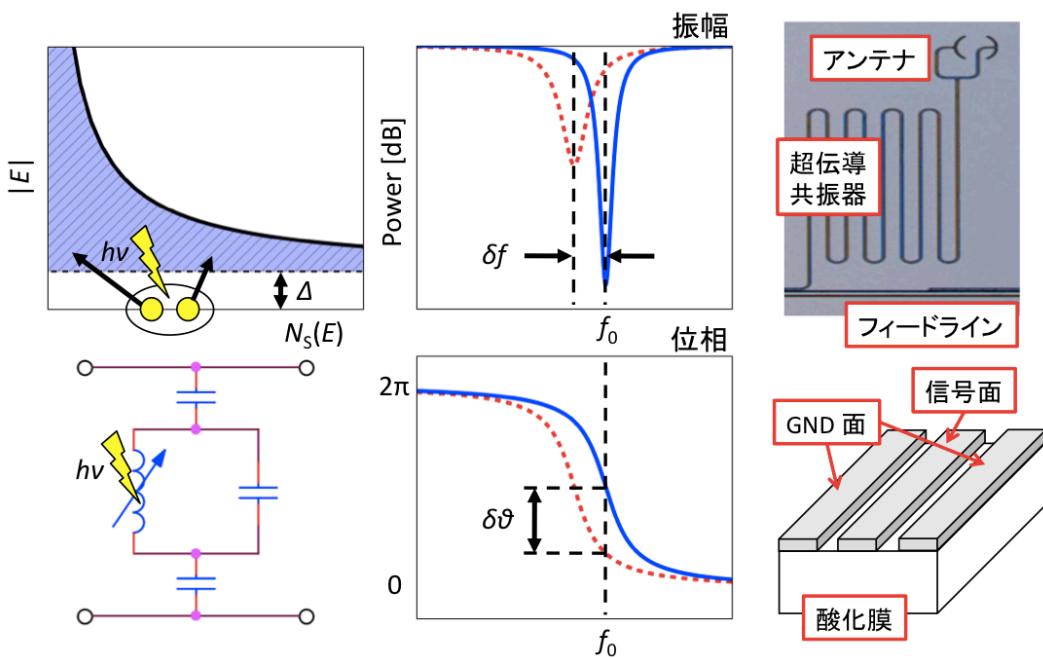


図 2.1: MKID の検出原理。

冷却回路 : MKID と LNA (Low Noise Amplifier) を含めたクライオスタット内にある読み出し部分。

MHz/GHz コンバーター : MKID に入力するフィード信号 (読み出し用変調信号) を高周波 (4–8 GHz) に変換 (アップ・コンバード)、また、MKID を通った後に outputされるフィード信号を低周波 (< 100 MHz) に変換 (ダウン・コンバート) する部分。

アナログ基板 : デジタル変調信号をアナログ信号に変換して送信し、入力したアナログ信号を受信してデジタル信号に変換する部分。

デジタル基板 : アナログ基板に渡すデジタル信号を生成し、またデジタル信号を受け取り情報を処理する部分。

本論文では、アナログ基板とデジタル基板をまとめてフロントエンド回路と呼ぶ。
読み出しの大まかな流れは次のようになる:

1. デジタル基板でデジタル変調信号を生成し、アナログ基板の DAC (Digital to Analog Converter) でアナログ変調して出力する。変調信号とは、複数の周波数 (< 100 MHz) を重ね合わせた信号である。
2. 局所発振器 (LO) で出力した基準信号 (通常、数 GHz 程度) と DAC から出力したアナログ変調信号 (MHz 帯) を I/Q (In-phase/Quadrature-phase) ミ

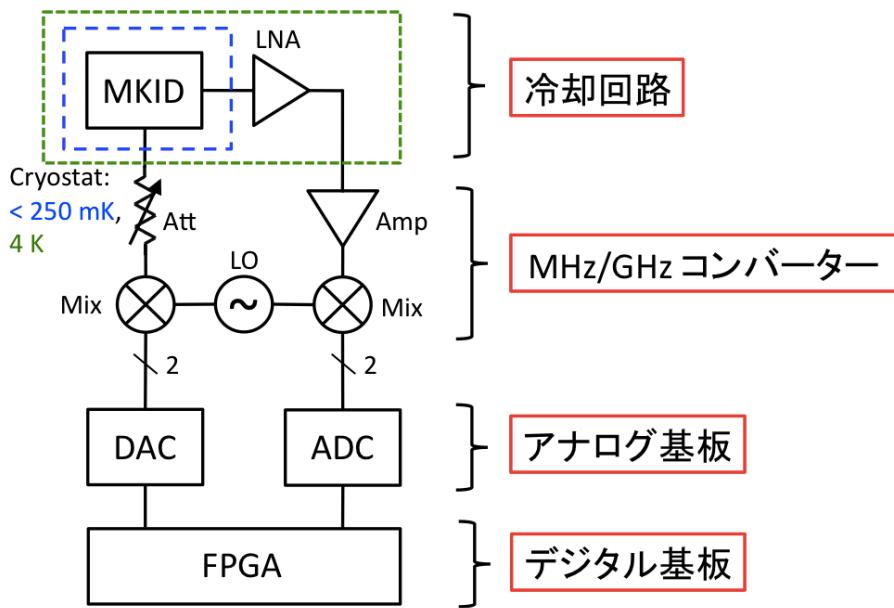


図 2.2: MKID の読み出し系

キサーで GHz 帯にアップ・コンバートしてフィード信号とする。

3. フィード信号を MKID に入力する。MKID の共振器の共振によってフィード信号が変化する。アンテナ入力信号を共振状態（振幅と位相）の変化として計測する。
4. MKID の共振情報を含むフィード信号を LNA で増幅する。
5. 増幅した信号と 2. の基準信号を I/Q ミキサーでダウン・コンバードする。
6. アナログ基板の ADC (Analog to Digital Converter) で MKID により変調された信号をデジタル変換し、デジタル基板で復調し、それぞれの MKID の共振ピークの振幅と位相の変化を測定する。

2.3.2 読み出し原理

2.4 既存の読み出し系

2.4.1 解決すべき課題

FMC150 は ADC や DAC の性能は読み出し系として満足する。しかし、読み出し系には不必要的機能が実装されているために、その性能を十分に活かせていない。

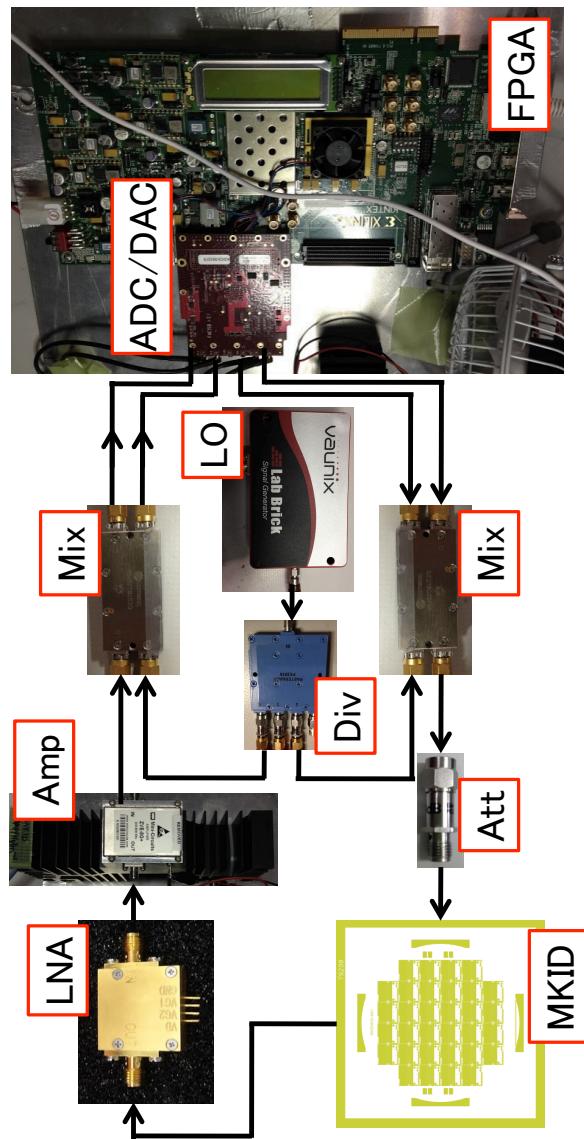


図 2.3: 既存の MKID の読み出し系

また、性能以外にもユーザーの利便性を阻害する仕様が解決すべき課題として存在する。

ローパスフィルターによる帯域の制限

多重読み出しするためには、なるべく広い帯域を確保する必要がある。FMC150は図2.4.1のようなローパスフィルターが実装されているため、82 MHz以上の帯域を使用することができない。

読み出しの多密度は帯域の広さに比例する。MKIDの利点を最大化するためには、もっとも重要な点のひとつである。

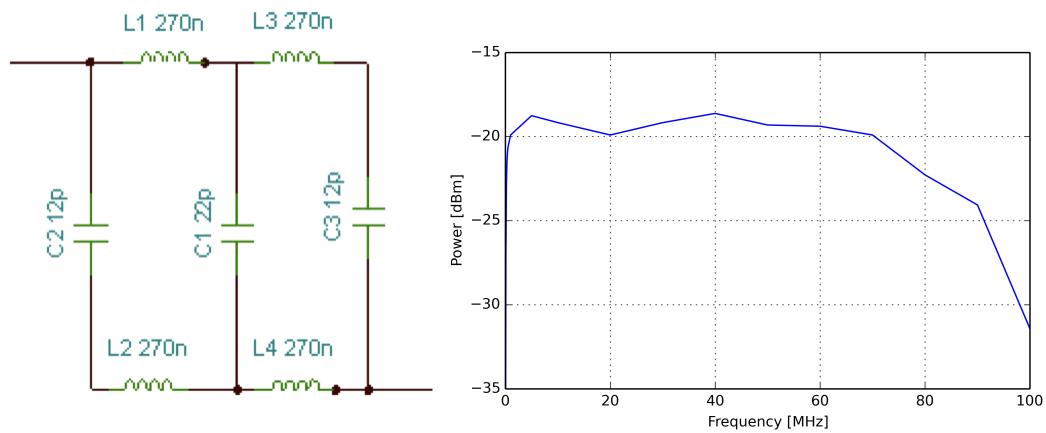


図 2.4: 第5次チエビシェフフィルター。コーナー周波数は 82 MHz に設計され、それより高い周波数は -124.9 dB/decade で減衰する。

消費電力の過大

消費電力の問題は、主に IC の発熱の問題として表れる。IC は動作温度以上に発熱すると、読み出し系が不安定に、電源を供給しているデジタル基板がシャットダウンすることが確認されている。また、図2.4.1のような冷却ファンによる排熱処理を怠ると基板上の IC が熱破損する¹。

ユーザビリティの毀損

FMC150 はクロックを分周して使うことを前提に設計されている。そのため、水晶発振器の周波数は 245.76 MHz のものが搭載されている。しかし、現在の用途はク

¹ 実際に、冷却ファンなしで 1 時間程度運転し破損した



図 2.5: FMC150 のエアフローを向上させるために取り付けた USB 扇風機。IC の排熱処理は必須である。

ロックを様々な周波数に分周して使うことではない。クロックの周波数は ADC と DAC のサンプリング・レートを決めるため、できるだけ高い周波数のものが好ましいが、周波数分解能の値も重要である。実際に MKID の測定を行う際は、まず帯域全体をスイープして、どの周波数にそれぞれの MKID の共振ピークがあるか測定する。次に、それぞれの MKID についてを定点観測を行う。このとき、ユーザーはある MKID の共振周ピーク付近に周波数を設定する必要がある。その際、指定する周波数は分解能の倍数に設定しなければならない。たとえば、FMC150 で読み出し系を構成した場合、12.288 kHz の倍数にする必要がある。これは、ユーザーにとって非常に使いづらく誤った測定を誘発する。

また、読み出し系は冷却回路や MHz/GHz コンバーターで数 GHz の信号を扱うため、同軸ケーブルのコネクターは SMA (Sub-Miniature version A) コネクターを用いている。一方で、FMC150 は MMCX (Micro-Miniature Coaxial) を採用している。測定を行う上で、ユーザーはコネクターの繋ぎ替えを頻繁に行う。そのときに、コネクターの規格が不揃いだとユーザーの生産性を下げる。

第3章 アナログ基板の設計と試作

本章では、要求分析に基づいた仕様策定を行い、アナログ基板を設計する。また、市販のアナログ基板と比較した改良点についても整理し、試作したアナログ基板の概要をまとめる。

3.1 要求分析

前章で述べたように、市販のアナログ基板には三つの解決すべき課題があった: 1) ローパス・フィルターによる帯域の制限、2) 消費電力の過大、3) ユーザビリティの毀損である。

1) の最も簡単な解決案は、問題となるローパス・フィルターを外すことである。これにより、原理的には DAC の最大出力周波数（サンプリング周波数/2）まで、帯域を広げることができる。ローパス・フィルターを外すことにより、高周波ノイズの漏れ込みが懸念されるが、これには DAC の出力後、コネクターの先で新たにローパス・フィルターを取り付けることで対応する。

2) は市販のアナログ基板に搭載されている IC の中で最も消費電力が大きい部品である PLL (Typ. 2.9 W) の代わりに、クロック・ファンアウト・バッファ (Typ. 0.29 W) を用いることで消費電力を抑制する。このクロック・ファンアウト・バッファは、PLL と異なり FPGA による制御が不要であることも、利点のひとつである。その他に、ADC を同等の性能でより省電力なパッケージを選択することで、より消費電力の低減を図る。

3) はユーザビリティを損なう原因である水晶発振器を、ユーザーが直感的に使うことができる周波数分解能にするために整数倍の周波数をもつ水晶発振器に変更する。これにより、ユーザーはある数 (MKID の共振周波数) に 12.288 を掛けたり、割ったりするような認知的負荷から開放される。ADC/DAC の入出力先のコネクターの規格も SMA に統一することで作業効率に改善をもたらす。

したがって、先の三つの課題に対する解決方法は、次の通りである:

1. DAC の出力部分にあるローパス・フィルターを排除する。
2. 位相同期回路 (PLL) の代わりにクロック・ファンアウト・バッファを用いる。

- 水晶発振器を整数倍の周波数のものに変更する。MMCX コネクターから SMA コネクターに変更する。

3.2 仕様

要求分析に基いて、新しいアナログ基板 RHEA¹の仕様を策定する。

図 3.2 と表 3.2 に RHEA のブロック図と主な特徴を示す。RHEA は 2 チャンネル 14-bit の ADC と 2 チャンネル 16-bit の DAC を搭載し、それぞれに水晶発振器から分配した 200 MHz のクロックを入力する²。デジタル基板との接続は FMC LPC (Fpga Mezzanine Card Low-Pin Count 160-pins) で行い、電源 (12 V・3.3 V・2.5 V) はこれを介してデジタル基板から供給される。ADC と DAC の入出力ポートは SMA コネクターを採用し、差動 50 Ω で AC カップルしている。

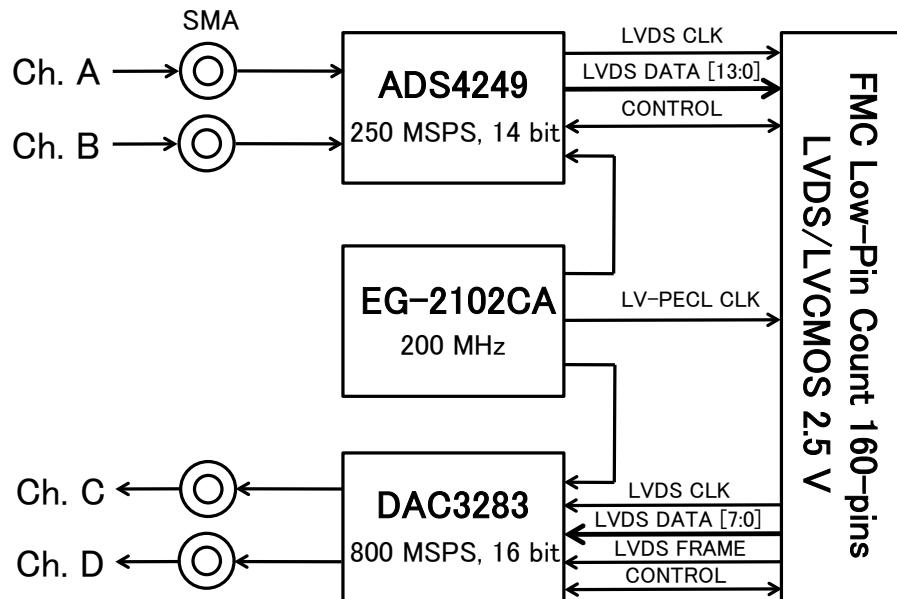


図 3.1: RHEA のブロック図

デジタル基板からアナログ基板の ADC と DAC へのデータの転送は、200 MHz のクロックを使った差動信号 (LVDS) で行う。データ幅はそれぞれ 14-bit と 8-bit で、DDR (Double Data Rate) でデータを読み書きする。

ADC と DAC のレジスターの読み書きは SPI (Serial Peripheral Interface) で制御する。SPI には書き込みと読み込みを一本の線で行う SPI 3-wire と書き込みと読み込

¹RHEA は、「Rhea is a High spEed Analog board」の略で、南米に生息する陸鳥 (ground bird) からその名を付けた。

²このクロックはデジタル基板へも入力しており、これをシステム・クロックとして使うことを想定している。

みを別の線で行う SPI 4-wire とがあり、ADC は SPI 4-wire で制御する。DAC はレジスター (cf., DAC Register config 23) を書き換えることでどちらかをユーザーが選ぶことができるが (デフォルトでは SPI 3-wire³)、RHEA は ADC/DAC 共に SPI 4-wire で制御を行う。

表 3.1: RHEA の特徴

アナログ入力	
規格	SMA
チャンネル数	2
分解能	14-bit
入力電圧	2 V_{pp}
入力インピーダンス	50Ω (AC カップル)
バンド幅	100 MHz
SNR (Signal-to-Noise Ratio)	72.8 dBFS @ $f_{in} = 20$ MHz
SFDR (Spurious-Free Dynamic Range)	80 dBc @ $f_{in} = 20$ MHz
アナログ出力	
規格	SMA
チャンネル数	2
分解能	16-bit
出力電圧	1 V_{pp}
入力インピーダンス	50Ω (AC カップル)
NSD (Noise Spectral Density)	162 dBc/Hz @ $f_{out} = 10.1$ MHz
SFDR	85 dBc @ $f_{out} = 20.1$ MHz
オンボード・クロック	
規格	LV-PECL
周波数	200.000 MHz
位相ジッター	0.3 ps @ ≥ 200 MHz
ADC 出力	
データ幅	LVDS 7-pairs DDR/channel
サンプリング周波数	200 MHz
ADC 出力	
データ幅	LVDS 8-pairs DDR
サンプリング周波数	200 MHz

³ただし、DAC のレジスター初期設定はデフォルトとは限らない。実際、RHEA に搭載した DAC のレジスターはデフォルト値とはいくつか異なり、SPI 制御は 4-wire に設定されていた。

3.3 設計

この節では、回路図と基板図に分けて RHEA の設計について述べる。回路図は Cadence 社⁴が提供・販売している「OrCAD」という回路図作成 CAD を用いて設計した。基板図の設計は回路図（と部品配置図）を基に、プリント基板制作会社（有）ジー・エヌ・ディー⁵に制作を依頼した。

3.3.1 回路図の設計

ここでは、要求分析で挙げた三つの解決方法に着目し、FMC150 と RHEA の回路図を比較しながら、RHEA の設計について述べる。これ以外の部分は、基本的に FMC150 を踏襲している。詳細な回路図は付録に集録する。

DAC の出力部分

図 3.3.1 のように、DAC の出口にあったキャパシターとインダクターからなるローパス・フィルターを排除した。もうひとつのチャンネルも同様である。

クロック生成器周辺

図 3.3.1 のように、消費電力を減らすため、PLL (CDCE72010; Texas Instruments) の代わりにクロック・ファンアウト・バッファ (ADCLK944; Analog Device) を搭載した。水晶発振器は、周波数が 245.76 MHz のもの (VS-705; Vectron) から 200.000 MHz のもの (EG-2102CA; Epson) に変更した。

電源回路

PLL に供給していた 5 本の電源線（内 1 本は水晶発振器の電源）がなくなるため、電源回路も縮小される。実際的には、リニア・レギュレーター（3.8 V から 3.3 V を降圧）がひとつ不要になる。

また、その上流にあるスイッチング・レギュレーター（12 V から 3.8 V に降圧）とその受動部品から構成される回路も見直した。ここは、このアナログ基板上で最も高い電圧が生じる部分であり、読み出し系の不安定化の原因のひとつである電力の供給不足に関係していると考えられる。FMC150 では TPS5430 (Texas Instruments) というスイッチング・レギュレーターを用いていたが、これを他の実験で実績のある LMZ12001 (Texas Instruments) に変えることで、より安定な電源供給を行い、読み出し系全体としての安定化を図る。

⁴<http://www.cybernet.co.jp/orcad/>

⁵<http://www.gn-d.jp/>

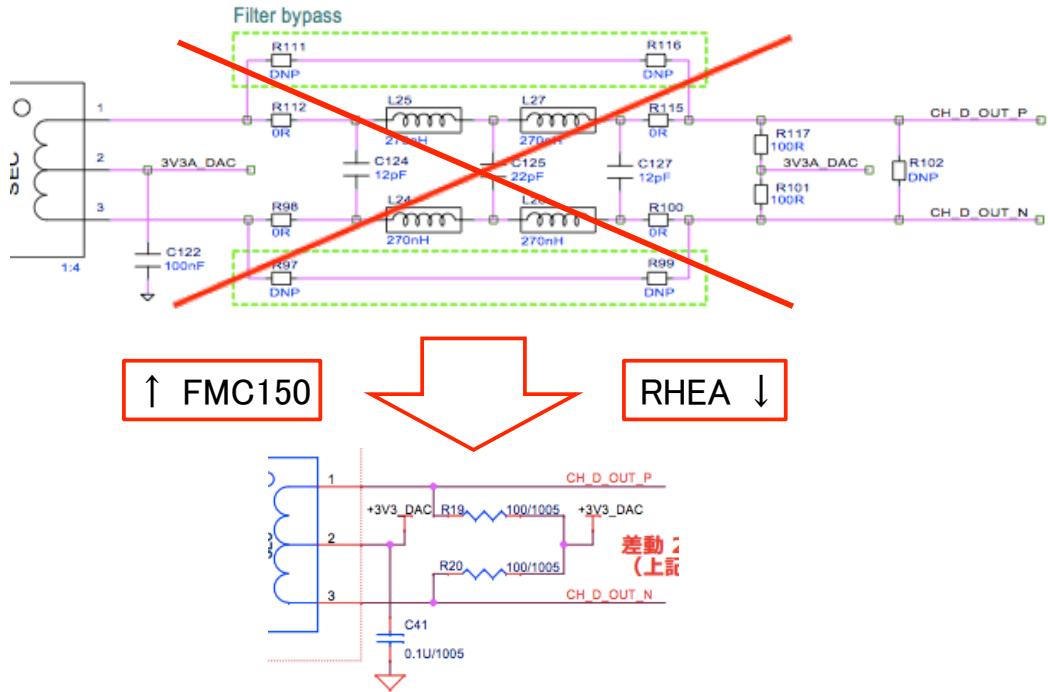


図 3.2: FMC150 と RHEA における DAC の出力部分の比較

3.3.2 基板図の設計

図 3.3.2 は先の回路図に基づき設計した基板図である。基板の大きさは従来のアナログ基板とほぼ同じ 69×84 mm、合計 7 つの層からなる。

ADC と DAC のデータ伝送線と、アナログ信号を入出力する線はそれぞれの差動信号の対が 10 mm の精度⁶で等しい長さになるよう配線される。基板内の差動インピーダンスは 100Ω に設計している。DAC の差動出力は、回路図上は 200Ω の差動インピーダンスに設計しているが、これは製作精度上、不可能なため基板図上では 100Ω になっている。この点は FMC150 も同様で、その部分で問題には起きていないため、読み出し系として問題にならないと考える。

3.4 試作

⁶RHEA は 200 MHz で動作するため、波長は 1.5 m になる。基板の大きさが 69×84 mm であることを考えると十分な精度である。

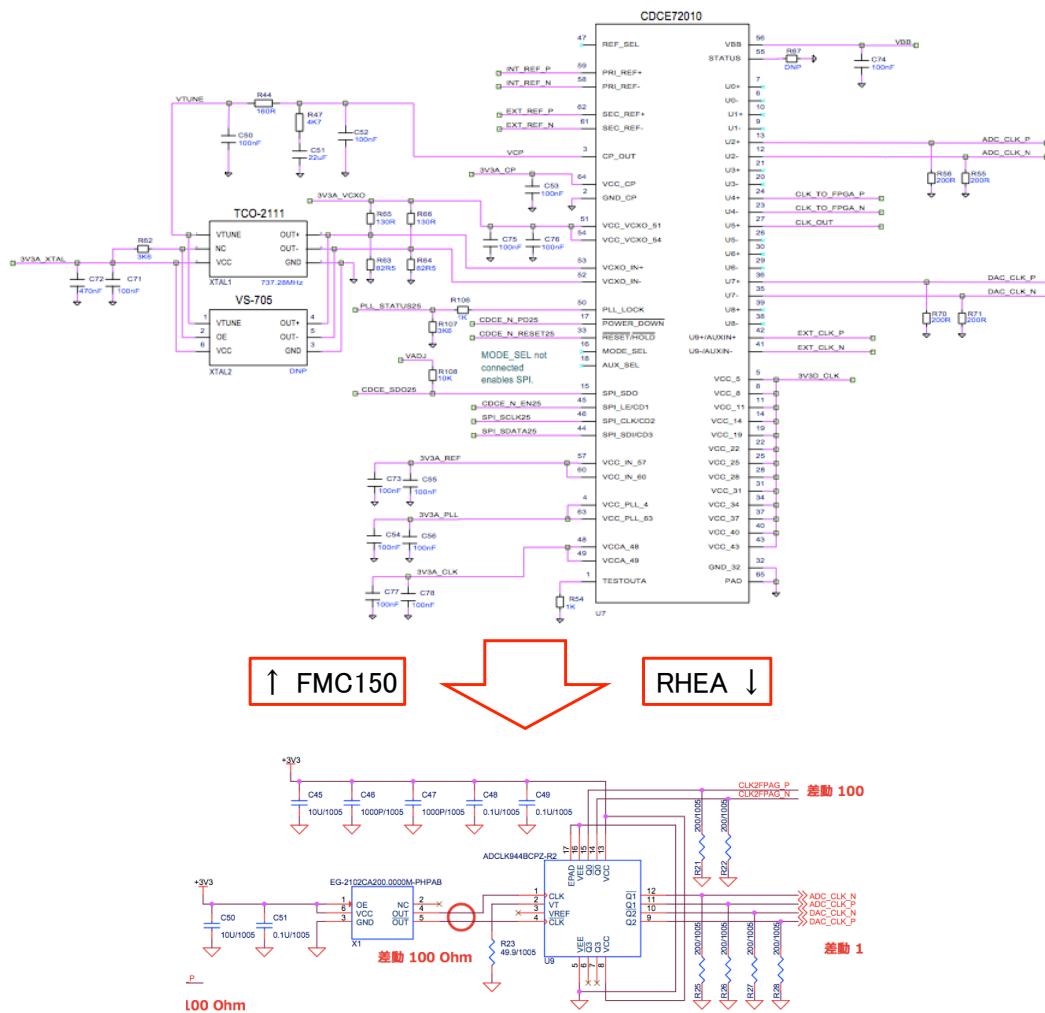


図 3.3: FMC150 と RHEA におけるクロック生成器周辺の比較。ここに限れば、消費電力はおよそ 80% (FMC150: 2.9 W + 0.25 W = 3.15 W、RHEA: 0.29 W + 0.33 W = 0.62 W) 抑えられ、配線数は 70%以上 (70 本から 20 本) 少なくなる。

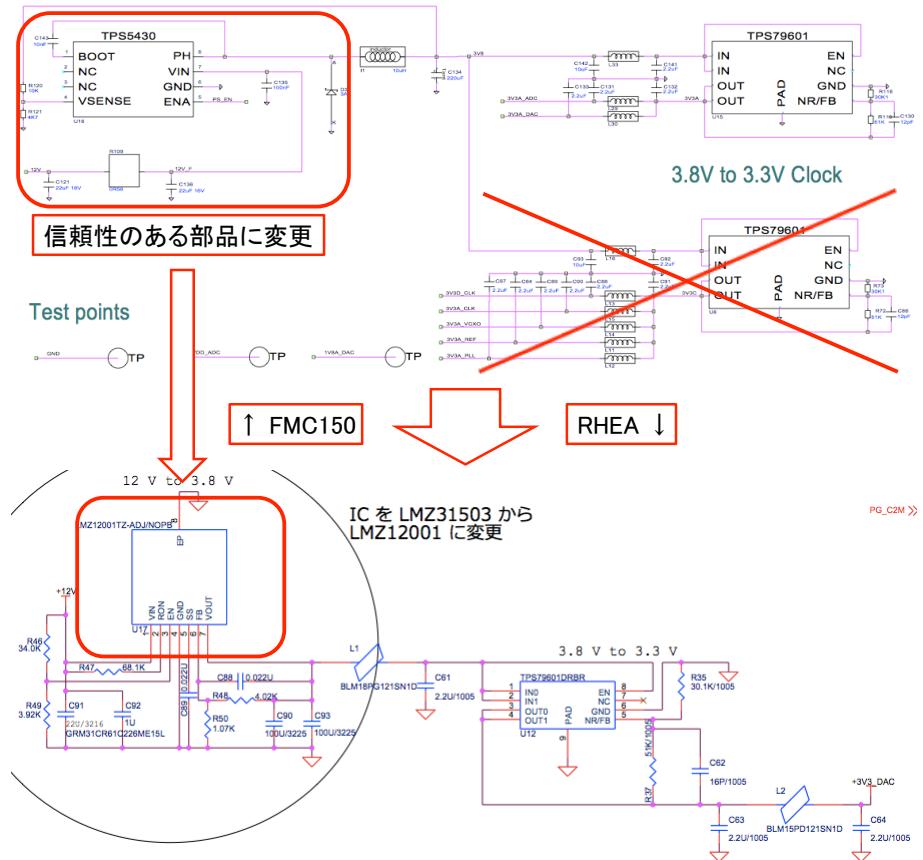


図 3.4: FMC150 と RHEA における電源回路の一部の比較。RHEA では PLL へ供給していた 3.3 V の電源がなくなるため、リニア・レギュレーターがひとつ不要になる。また、ADC も省電力タイプに変更したことにより、3.3 V の電源供給は DAC のみとなる（その代わりに ADC へ供給する 1.8 V の電源線がひとつ増えるが、レギュレーターなど IC の数は増えない）。そして、12 V から 3.8 V に降圧しているスイッチング・レギュレーターは TPS5430 から他の実験で信頼性のある LMZ12001 に変更する。

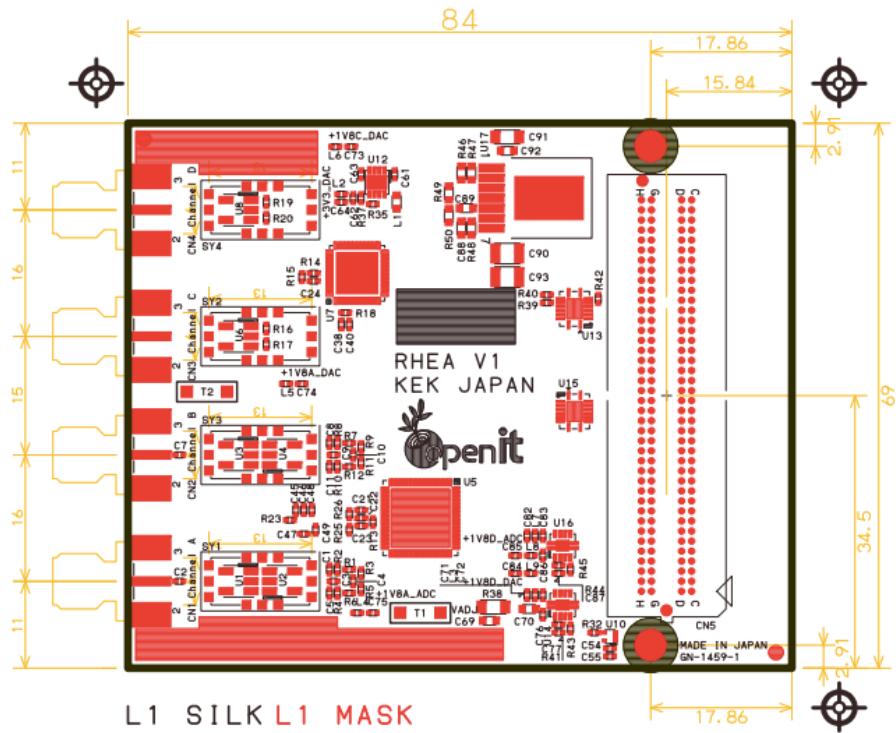


図 3.5: RHEA の基板図

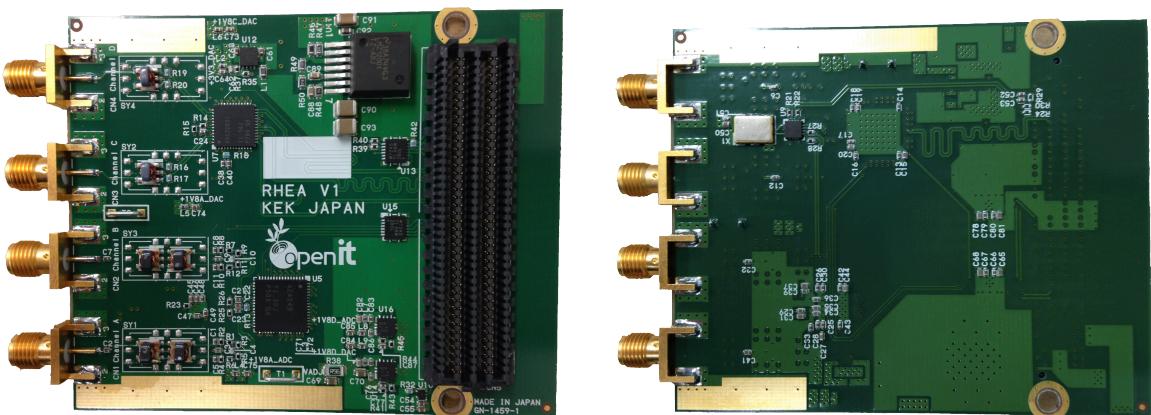


図 3.6:

第4章 試作基板RHEAの評価

- 4.1 試作時の諸問題の洗い出しと解決**
- 4.2 バンド幅**
- 4.3 消費電力の評価**
- 4.4 クロックの簡素化の評価**
- 4.5 帯域の評価**
- 4.6 従来のアナログ基板との比較**

第5章　まとめ