

第2章 超伝導検出器MKIDとその読み出し

本章では、MKIDの動作原理の概要とその読み出し方法について述べる。MKIDの利点のひとつである周波数多重読み出しについて述べたあとに、市販のアナログ基板を用いた読み出し系の概要とその不満点を挙げる。本論文の目的は、これらの不満を解消する新たなアナログ基板の開発である。

2.1 動作原理

Microwave Kinetic Inductance Detectors (MKID) は、2003 年に発明された超伝導検出器である [11, 12, 13]。図 2.1(a) に示すように、MKID は電波を受信するアンテナと超伝導共振器、フィードラインから構成される。図 2.1(b) に示すように、MKID は LC 回路のひとつとみなせる。共振器はそれぞれ固有の共振周波数 $\omega = 1/\sqrt{LC}$ をもつ。ここで、 L は共振器のインダクタンス、 C は共振器とフィードラインの AC 結合するときのキャパシタンスを表す。

アンテナで受信した電波のエネルギーが共振器内のクーパー対のギャップエネルギーより大きいと、それを解離する。このとき、共振器のインダクタンスが変化する。MKID はその変化を共振状態の変化として検出する (図 2.2)。共振周波数は 4–6 GHz に設定されることが多い。(振幅・位相の変化)

図 2.1 はここに入らない?

図 2.2 はこの後
(ロングページ)

2.4 市販品で構築したフロントエンド回路とその課題

2.9

既存の市販品のみで構成したフロントエンド回路を図2.5(1)に示す。デジタル基板とアナログ基板の概要についてまとめた後、その解決すべき課題について議論する。

次ページもコトにまちぬけ。

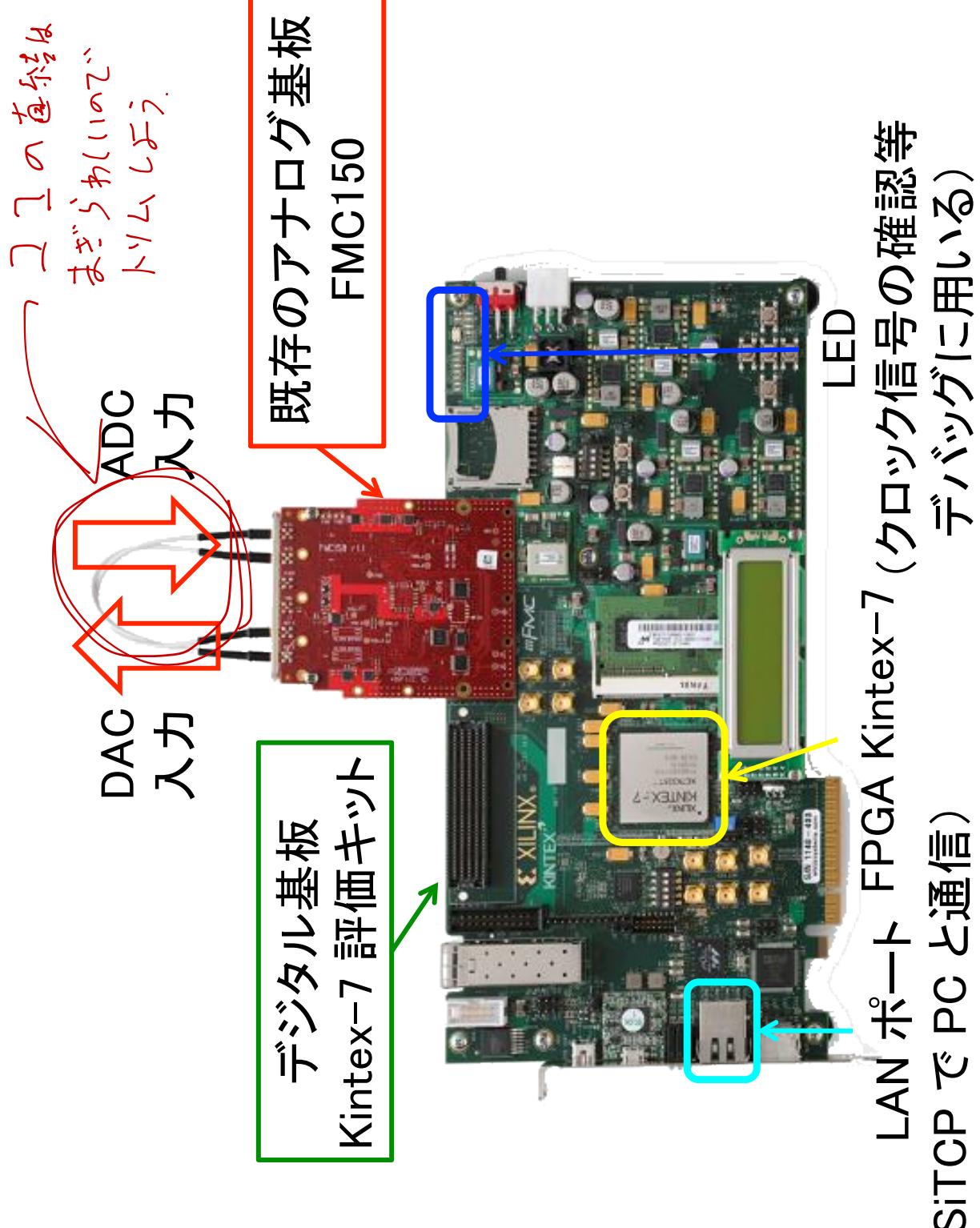


図 2.9: Kintex-7 FPGA 評価キット (KC705) と FMC150 で構成したフロントエンド回路。KC705 は、micro-USB や LAN、HDMI などのインターフェースが実装されている。また、FMC (Fpga Mezzanine Card) と呼ばれる拡張スロットがある。アナログ基板とはこの FMC で接続する。

2.4.2 アナログ基板

2.4.2.1 FMC150

既存の読み出し系で用いているアナログ基板は、4DSP社³のFMC150[?]という基板である(図2.9の赤い基板)。図2.10、2.11にそれぞれFMC150のブロック図と基板図を示す。このアナログ基板の仕様は、次章の「アナログ基板の仕様策定」の最後にまとめる。

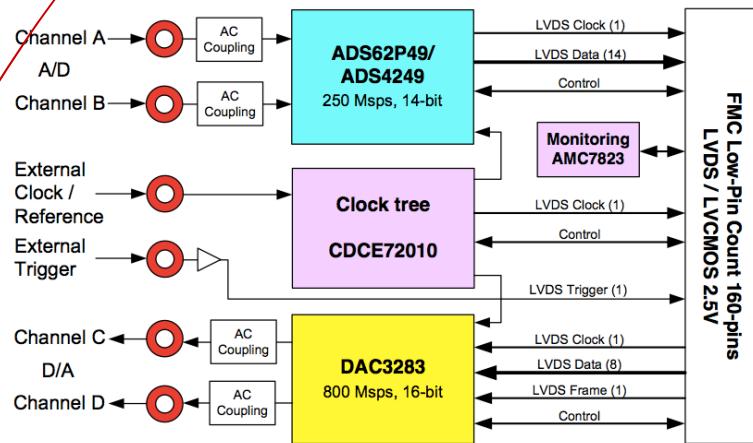


図2.10: FMC150のブロック図。FMC150は汎用通信機を対象として開発されているため、基板上でつくるクロックの他に、外部クロックを入力するポートやトリガーポートが実装されている。また、基板上にあるICが大きく発熱するため、基板温度をモニターするICが搭載されている。しかしながら、冷却装置は実装されていない(後述2.4.3を参照)。

³<http://www.4dsp.com/>

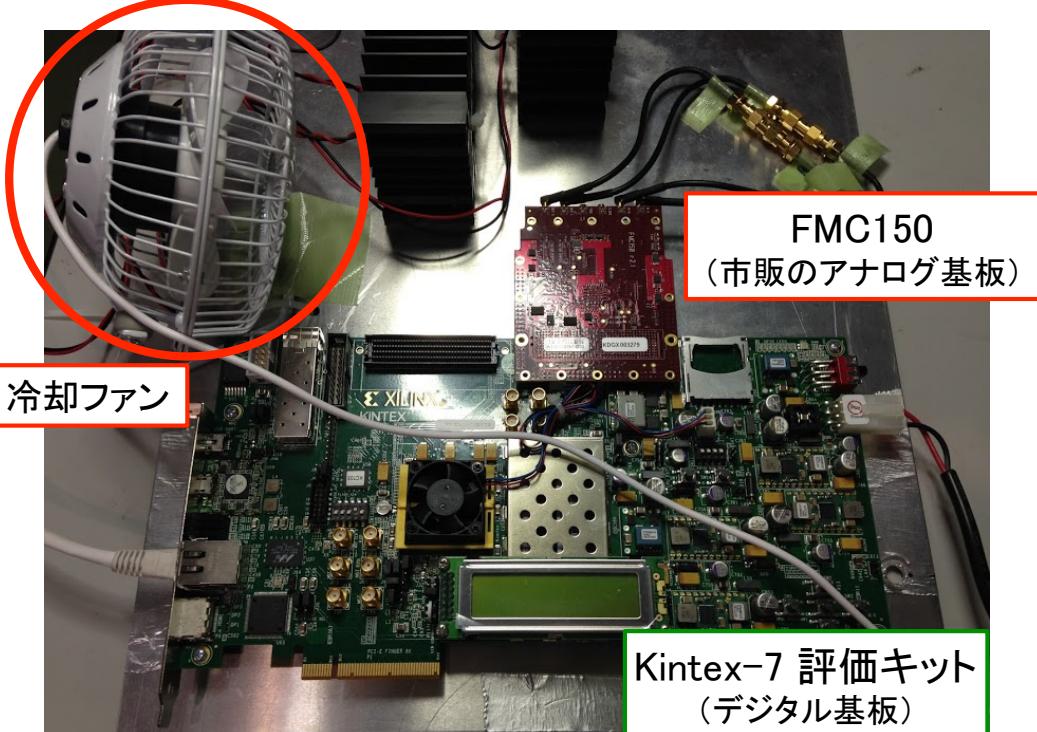


図 2.13: FMC150 のエアフローを向上させるために取り付けた USB 扇風機。IC の排熱処理は必須である。

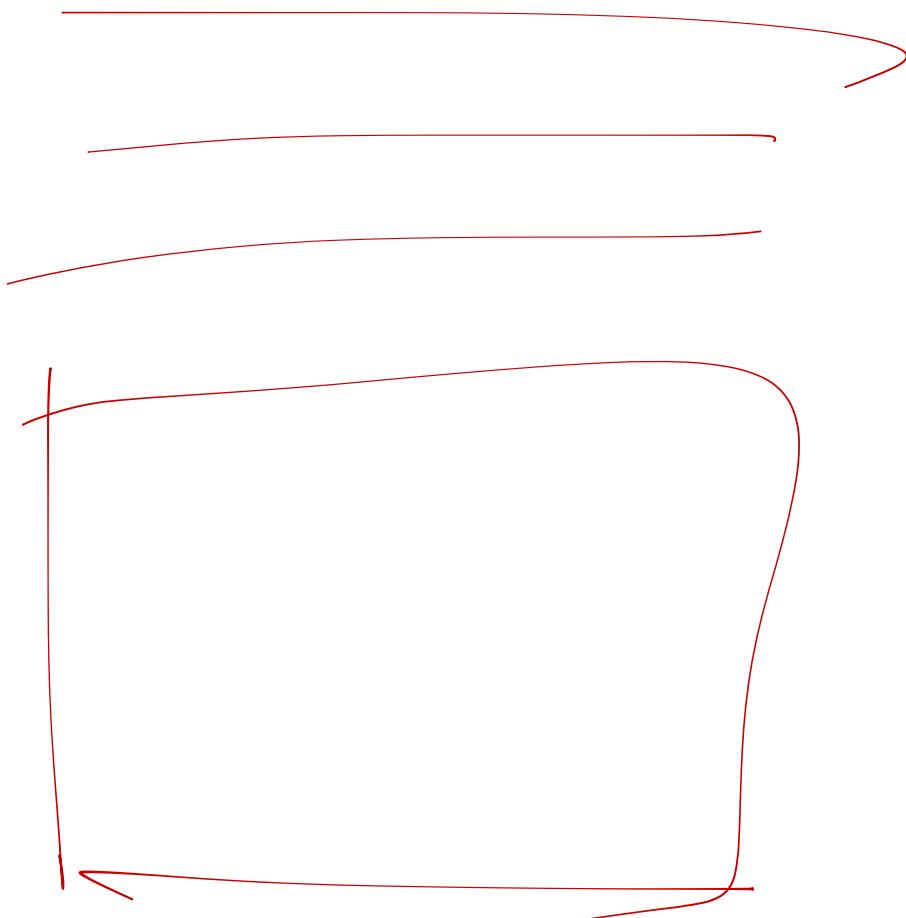
△ペニシルカミ?

3.1.4 要求分析を反映した解決方法

以上、三つの課題に対する解決方法をまとめると、次のようになる:

- DAC の出力部分にある LPF を排除する。
- 位相同期回路 (PLL) の代わりにクロック・ファンアウト・バッファを用いる。
- 水晶発振器を整数倍の周波数のものに変更する。
- コネクターの規格を MMCX から SMA に変更する。

3.2



入力でいい??

3.2 仕様策定

要求分析に基いて、新しいアナログ基板 RHEA¹の仕様を策定する。読み出し系の性能を決める上で、広帯域性（高速化・高周波化）と省電力性（低電圧化・低電流化）をどう両立させるかが重要な点となる。

一般に回路の高速化・高周波化と低電力化はトレードオフの関係にある（図 3.1）。回路は高速化・高周波化するほど、不要電磁波が増加し、他の電子機器に影響を与える。また、低電圧化や低電流化、動作マージンの減少により、ノイズ・マージンが低下することで、不要電磁波を受けて誤作動する蓋然性も高くなる。そのため、今回は大きな冒険は避け、帯域の拡大は 30%程度を目指し、消費電力の低減と安定性・ユーザビリティの向上に重きをおいて仕様を策定した。

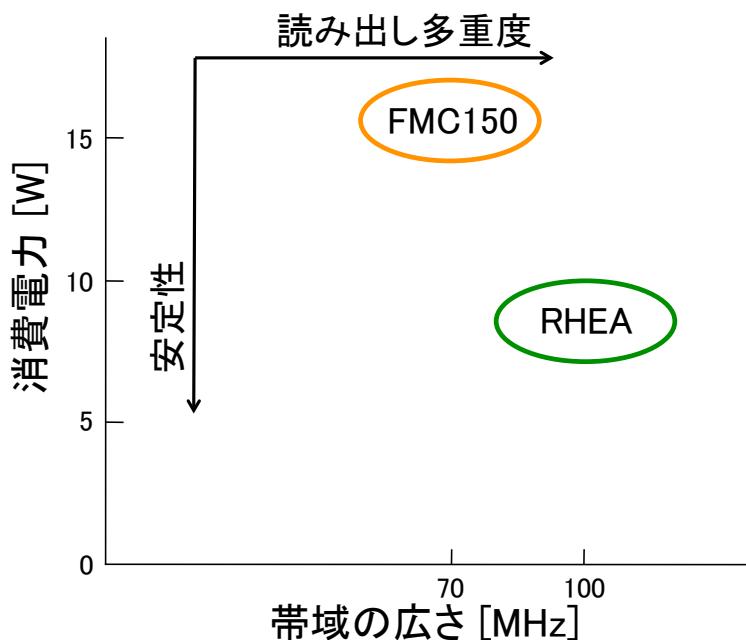


図 3.1: 回路における帯域の広さ（周波の高さ）と消費電力の関係

3.2.1 アナログ基板のブロック図

図 3.2 に RHEA のブロック図を示す。RHEA は 2 チャンネル 14-bit の ADC と 2 チャンネル 16-bit の DAC を搭載し、それぞれに水晶発振器から分配した 200 MHz のクロックを入力する。また、このクロックは FMC LPC を介して FPGA にも入力しており、これをシステム・クロックとして使うことを想定している。デジタル基板との接続は FMC LPC (Fpga Mezzanine Card Low-Pin Count 160-pins) で行い、電源 (12 V · 3.3 V · 2.5 V) はこのコネクターを介してデジタル基板から供給される。ADC と DAC の入出力ポートは SMA コネクターを採用し、差動 50 Ω で AC 結合する。

¹RHEA は、「Rhea is a High spEed Analog board」の略で、南米に生息する陸鳥 (ground bird) からの名を付けた。

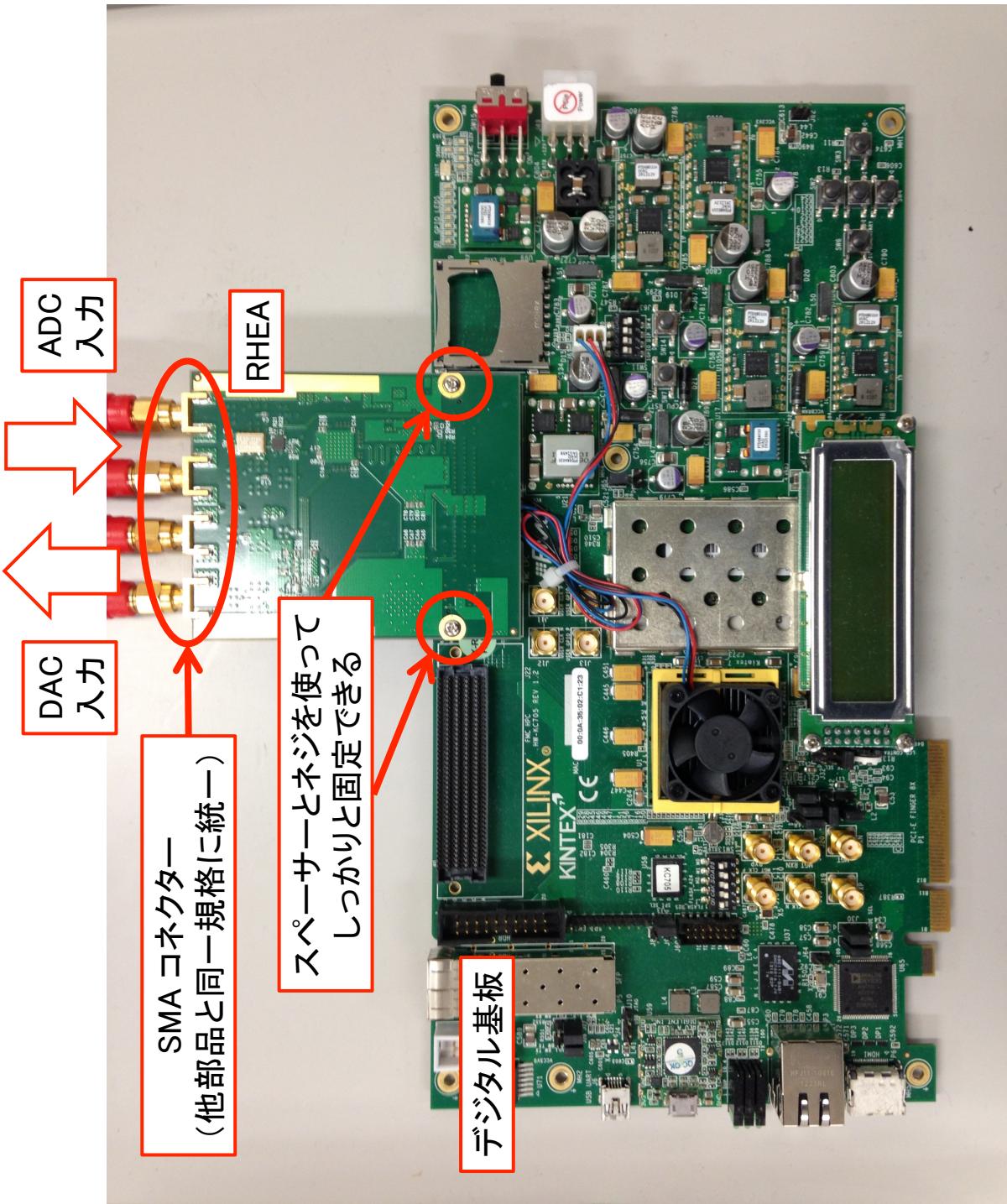


図 4.12: RHEA と Kintex-7 FPGA 評価キットによる新しいフロントエンド回路。RHEA は FMC コネクターの両端に基板を固定するネジ穴を開けているため、安定した接続を保証する。

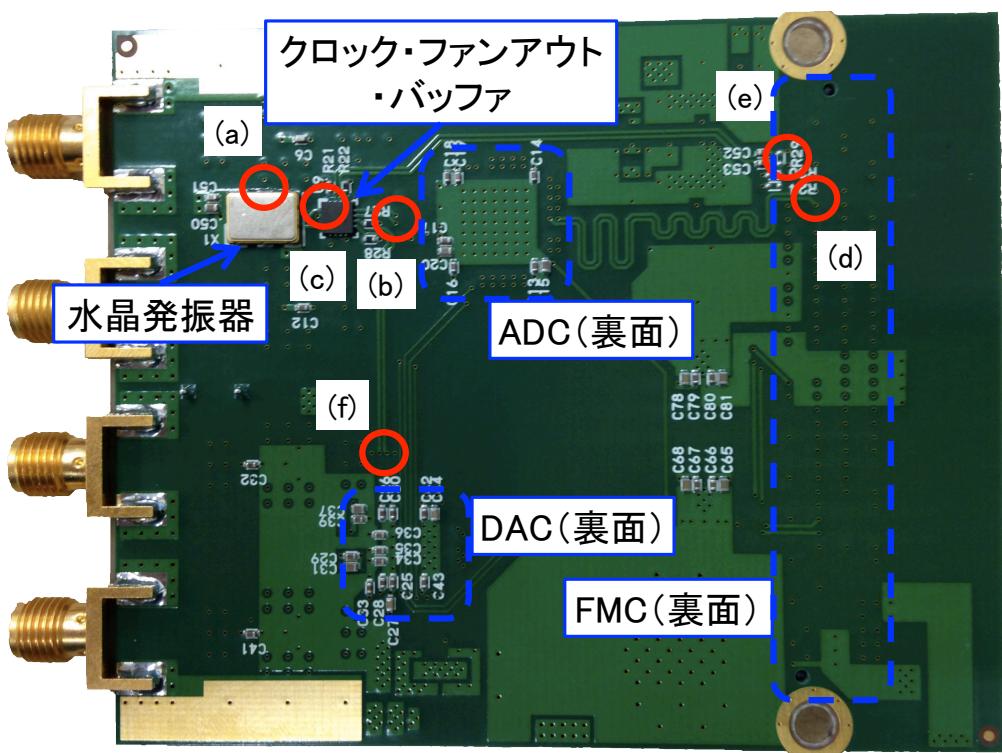


図 5.4: 図 5.3において、オシロスコープでプローブした場所。クロック信号は差動信号であるため、通常は差動プローブを用いて測定する。ここでの目的は、ICを交換したことによる大雑把な信号の確認であるため、一方の差動信号は開放してパッシブ・プローブで測定している。

Sec. 5.2 はココから
(といまアモロ)

5.2 消費電力の評価

表 3.1 が示すように、RHEA は PLL の排除や電源回路の見直し、ADC の省電力版への変更により、大幅に消費電力を削減する狙いがある。そこで、直流電源とそれに内蔵する電流計を用いて従来のアナログ基板と RHEA とで消費電力の比較を行う。

5.2.1 評価方法

消費電力の測定は、図 5.5 のようにして行う。アナログ基板の電源は、FMC を介してデジタル基板から供給される。デジタル基板は、通常 AC100 V から、AC アダプターで DC12 V に変換している。この測定では、直流電源で 12 V をつくり、その電流量をモニターして、デジタル基板とアナログ基板の総消費電力を計算する。さらに、その値からデジタル基板（アナログ基板を抜いて測定）の電力消費を差し引いて、アナログ基板の消費電力を推定した。

図 5.5 のテスターは、直流電源とデジタル基板間で発生する電圧降下を較正するために、デジタル基板上の 12 V のピンとグラウンドピンの電圧差をテスターで測定し、すべての測定で 12 V の一定電圧がかかるようにする。図 5.6 に、実際の測定構成の写真を示す。

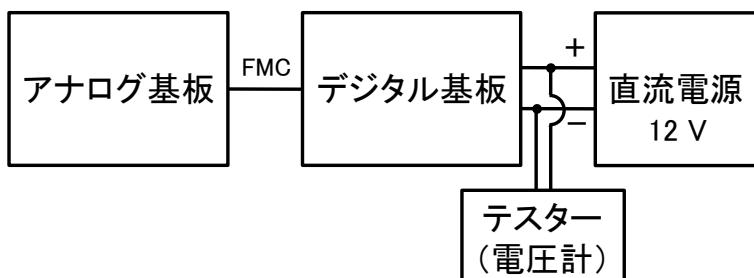


図 5.5: 消費電力を測定するための装置構成。デジタル基板に供給する DC12 V を電流計の付いた直流電源から供給し、デジタル基板に流れた電流量を測定する。直流電源からデジタル基板間で発生する電圧降下を較正するために、デジタル基板上の 12 V のピンとグラウンドピンの電圧差をテスターで測定する。

必要

図 5.5, 5.6 をここに入れるどうか余白が少ない??