

第4章 アナログ基板の設計

本章では前章の仕様に基づいた RHEA の設計について述べる。設計は回路図設計と基板図設計に分けられ、前者は論理的に矛盾のないシンプルな構成を目指して設計を行った。後者は回路図で表現される論理記号をいかに現実に落としこむかに注力し、主に電気的特性を考察して設計を行った。最後に試作したアナログ基板を紹介する。

4.1 回路図の設計 - 論理的に矛盾のないシナリオを構成を目指す

前章の要求分析で挙げた三つの解決方法に着目し、FMC150 と RHEA の回路図を比較しながら、RHEA の回路図設計について述べる。ここで述べる以外の部分は、基本的に FMC150 を踏襲している。詳細な回路図は付録に集録する。

4.1.1 従来の回路図との比較

LPF

図 4.1 に示すように、DAC の出口にあったキャパシターとインダクターからなる LPF を排除した。もうひとつのチャンネルも同様である。

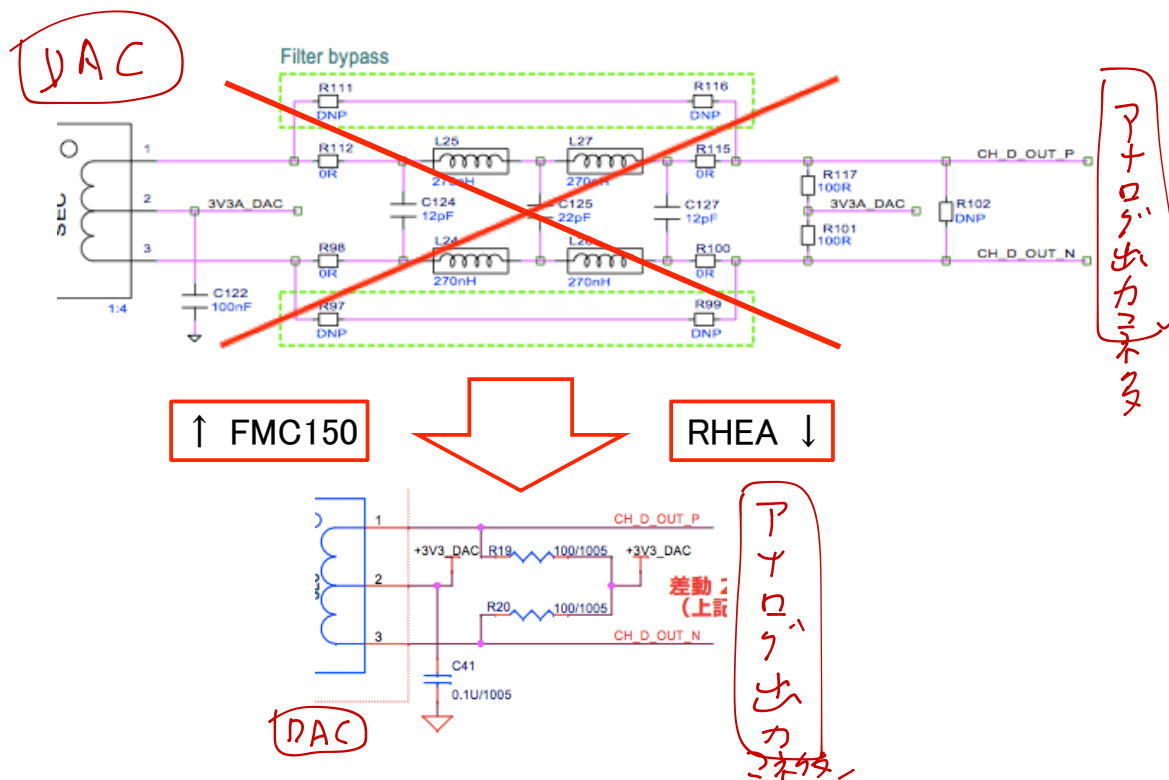


図 4.1: FMC150 と RHEA における DAC の出力部分の比較

右がDACで左が出力コネクタ
あること明示

クロック生成器周辺

図 4.1.1 のように、消費電力を減らすため、PLL (CDCE72010; Texas Instruments) の代わりにクロック・ファンアウト・バッファ (ADCLK944; Analog Device) を搭載した。水晶発振器は、周波数が 245.76 MHz のもの (VS-705; Vectron) から 200.000 MHz のもの (EG-2102CA; Epson) に変更した。

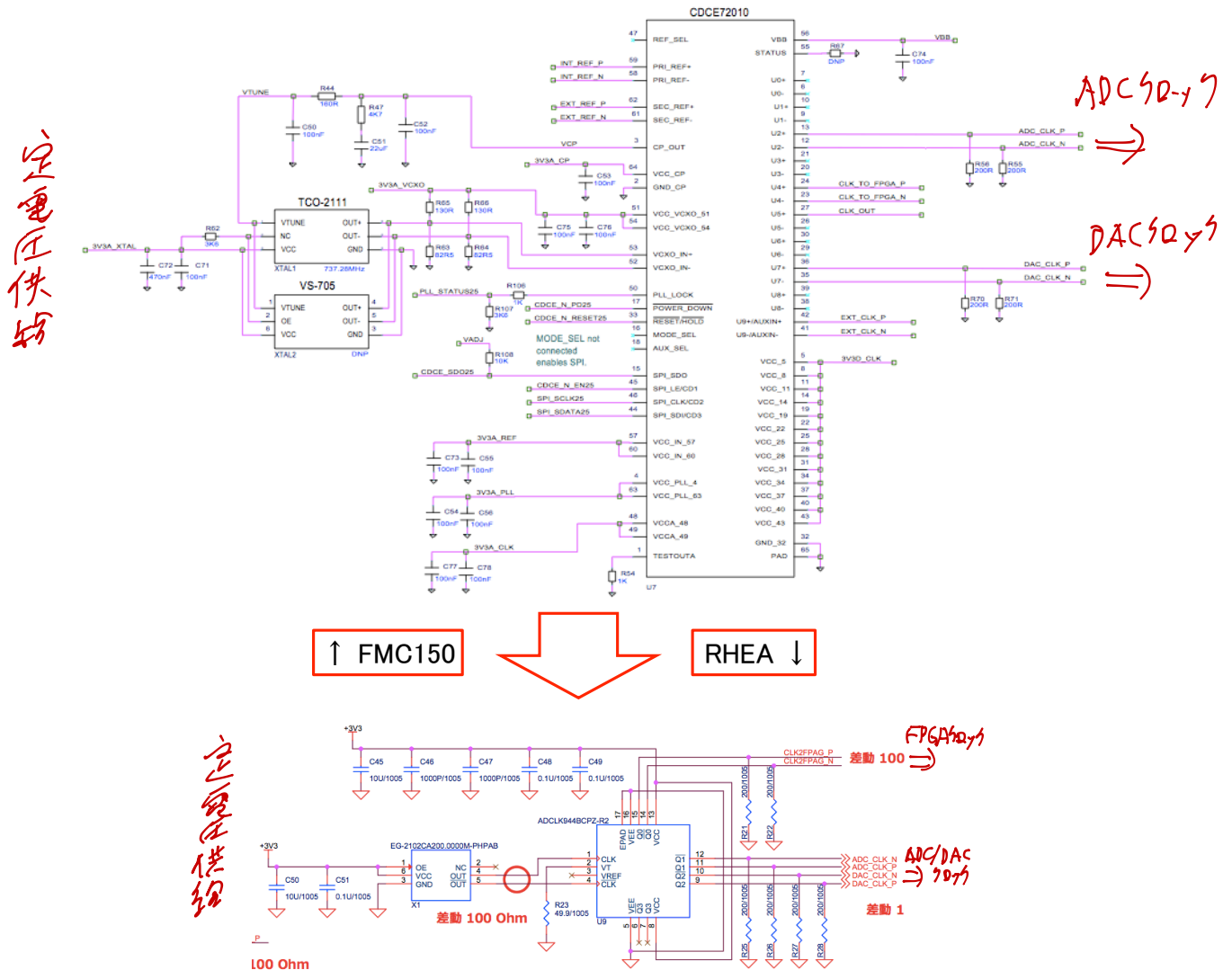


図 4.2: FMC150 と RHEA におけるクロック生成器周辺の比較。ここに限れば、消費電力はおおよそ 80% (FMC150: 2.9 W + 0.25 W = 3.15 W、RHEA: 0.29 W + 0.33 W = 0.62 W) 抑えられ、配線数は 70%以上 (70 本から 20 本) 少なくなる。

図 4.1 と同様に前後のコンポーネントの接続を明らかにする。

電源回路

PLL に供給していた 5 本の電源線 (内 1 本は水晶発振器の電源) がなくなるため、電源回路も縮小される。実際的には、リニア・レギュレーター (3.8 V から 3.3 V を降圧) がひとつ不要になる。

また、その上流にあるスイッチング・レギュレーター (12 V から 3.8 V に降圧) とその受動部品から構成される回路も見直した。ここは、このアナログ基板上で最も高い電圧が生じる部

分であり、読み出し系の不安定化の原因のひとつである電力の供給不足に関係していると考えられる。FMC150 では TPS5430 (Texas Instruments) というスイッチング・レギュレーターを用いていたが、これを他の実験で実績のある LMZ12001 (Texas Instruments) に変えることで、より安定な電源供給を行い、読み出し系全体としての安定化を図る。

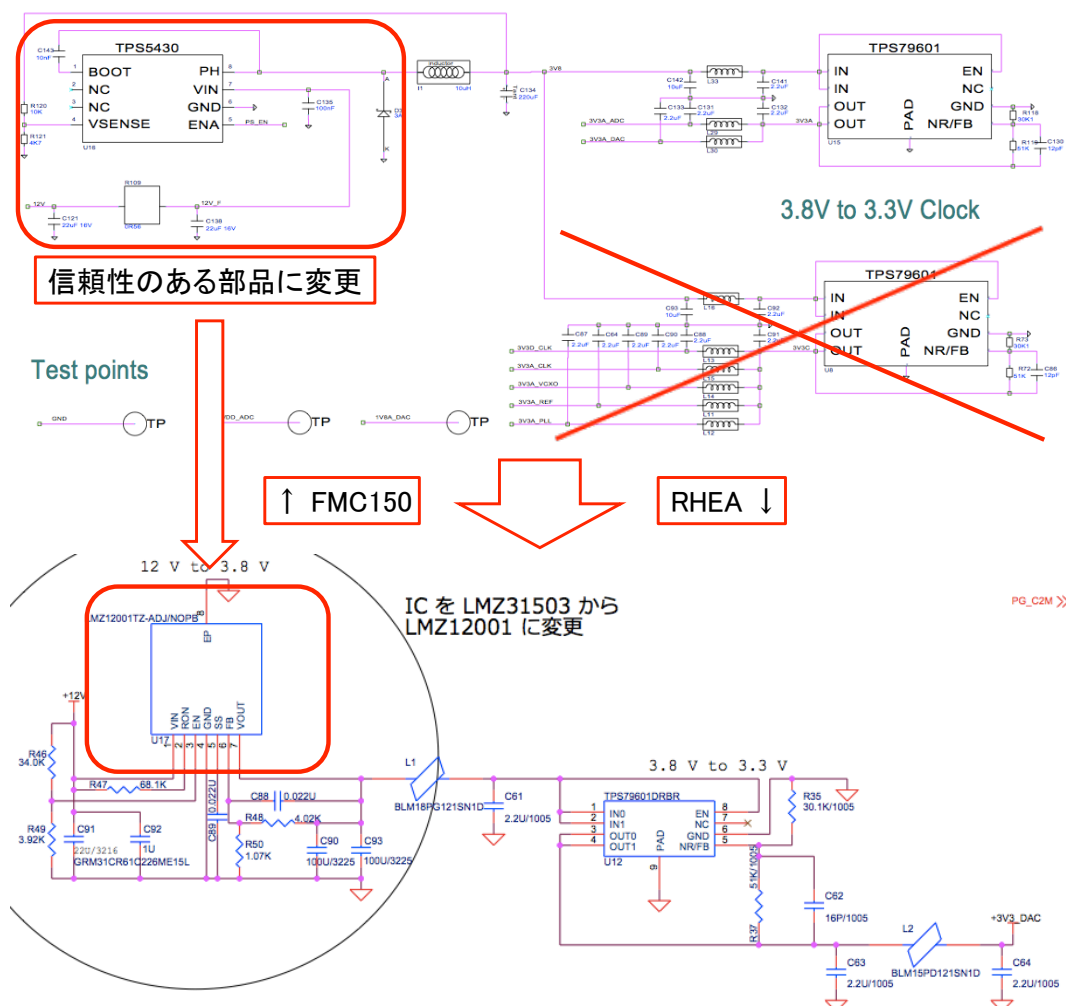


図 4.3: FMC150 と RHEA における電源回路の一部の比較。RHEA では PLL へ供給していた 3.3 V の電源がなくなるため、リニア・レギュレーターがひとつ不要になる。また、ADC も省電力タイプに変更したことにより、3.3 V の電源供給は DAC のみとなる（その代わりに ADC へ供給する 1.8 V の電源線がひとつ増えるが、レギュレーターなど IC の数は増えない）。そして、12 V から 3.8 V に降圧しているスイッチング・レギュレーターは TPS5430 から他の実験で信頼性のある LMZ12001 に変更する。

4.2 基板図の設計 — 回路図の論理記号と実装部品との注力

図 4.4 は回路図に基づき設計した基板図である。基板の大きさは従来のアナログ基板とほぼ同じ 69×84 mm で、合計 7 つの層からなる。

一般に、回路設計は動作周波数によって設計手法が異なる。動作周波数が低い回路では、クロックは完全な矩形波とみなすことができる。また、信号の入出力の遅延時間は一定とみなし、

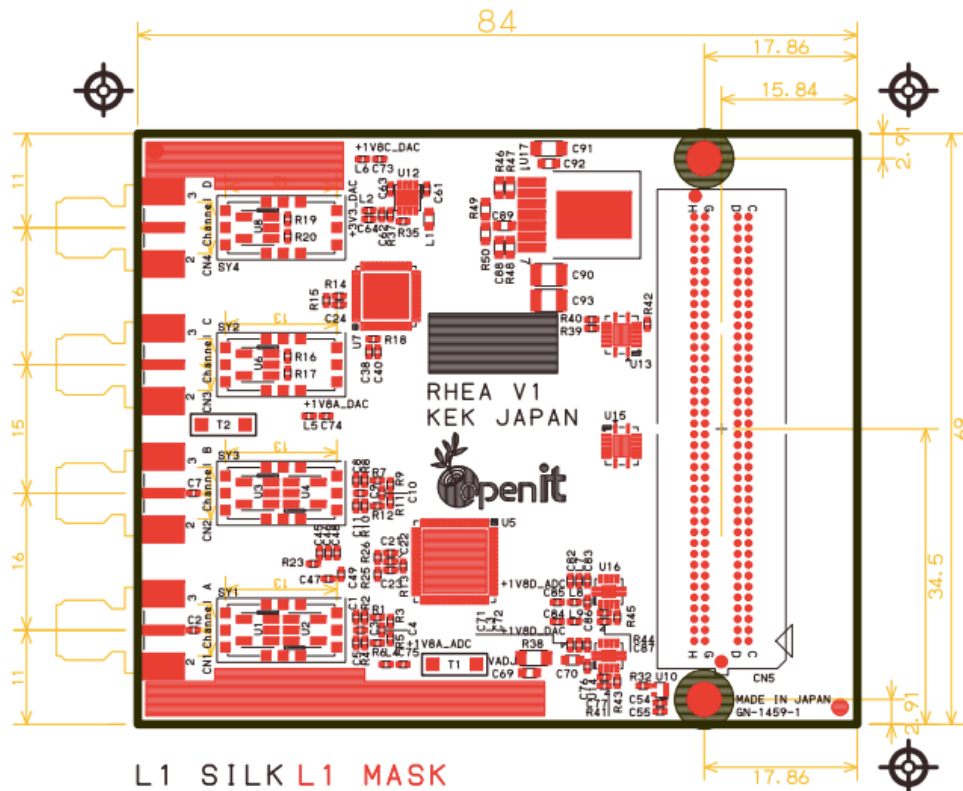


図 4.4: RHEA の基板図

それぞれの IC 間の配線遅延は無視する。グラウンドと電源線の配線による抵抗も無視して構わない。

一方で、動作周波数が高い回路では、インダクタンスとキャパシタンス成分の影響が無視できなくなる。動作周波数が低い回路では矩形波とみなせたクロックは、動作周波数が高くなると高調波成分を考慮する必要がある。また、信号の遅延や反射、クロストークも大きな問題となる。電源線の配線も、高周波の IC になるほど、グラウンド・バウンス・ノイズが大きくなるため、グラウンドと電源線のインピーダンス整合が重要となる。

4.2.1 伝搬速度

基板上を伝わる信号の伝搬速度 v_p は、

$$v_p = \frac{c}{\sqrt{\varepsilon_{eff}}} \quad [\text{m/s}] \quad (4.1)$$

で表される。ここで、 c は真空中の光の速さ、 ε_{eff} は実効比誘電率である。(4.1) から、実効比誘電率を 4 と仮定すると、 $v_p \sim 1.5 \times 10^8 \text{ m/s}$ となり、基板上では 1 ns 当たり 15 cm 信号が伝搬する。

信号は矩形波で伝送され、矩形波はフーリエ級数を用いて、式 (4.2) に表されるような無限の正弦波に分解される。

$$S(t) = \frac{4}{\pi} \sum_{k=1}^{\infty} \frac{\sin[2\pi(2k-1)ft]}{2k-1} \quad (4.2)$$

↑
[?] 信号の伝搬速度?
↑
↑

図 4.5 のに示すように、矩形波の周期と同じ正弦波（基本正弦波; $k = 1$ ）に 10 倍までの高調波を足し合わせると（10 倍高調波; $k = 10$ ）、ほぼ矩形波が再現される。逆に言えば、信号を正確に伝送するためには、10 倍高調波程度は正確に伝送する必要があるということである。

動作周波数 200 MHz の RHEA の 10 倍高調波は 2 GHz になる。したがって、この高調波の基板上における波長の長さ λ_{RHEA} は

$$\lambda_{\text{RHEA}} = \frac{v_p}{f} = \frac{1.5 \times 10^8 \text{ m/s}}{2 \text{ GHz}} = 75 \text{ [mm]} \quad (4.3)$$

となる。一般に、信号線の長さが 10 倍高調波 ^{いなり} 1/8 波長を超えると信号の遅れなどの問題が発生する。これにより、RHEA に要求される配線精度は、75 mm/8 ~ 9.4 mm になる。

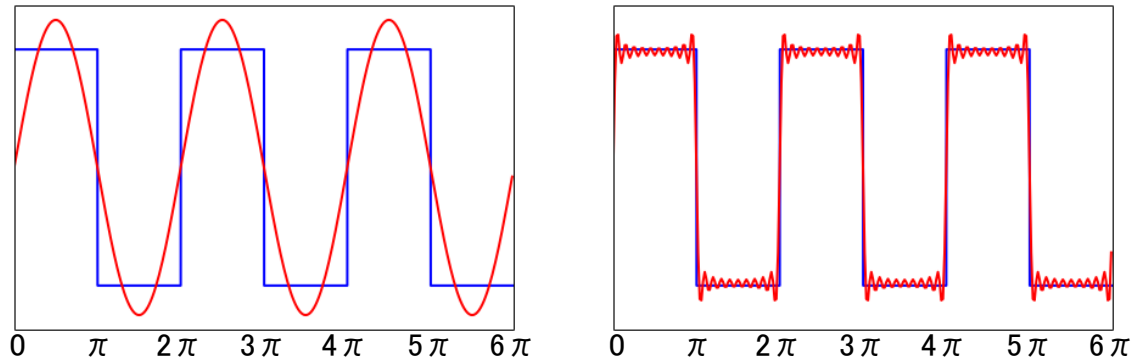


図 4.5: 正弦波と矩形波（左）と 10 倍高調波による矩形波の形成（右）。信号は矩形波で伝送され、矩形波は正弦波に分解される。左図のように基本正弦波の 10 倍までの高調波を足し合わせると、ほぼ矩形波に近い形となる。

4.2.2 特性インピーダンスと反射ノイズ

図 4.6 に示すように、動作周波数が高い回路には、グラウンドと信号線の間にインダクタンスとキャパシタンス、レジスタンス成分が存在する。グラウンドと信号線からなる伝送線の特徴インピーダンス Z_0 は、

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \text{ [}\Omega/\text{m]} \quad (4.4)$$

で与えられる。ここで、 R 、 L 、 G 、 C はそれぞれ単位長さ当たりのレジスタンス、インダクタンス、コンダクタンス、キャパシタンスである。また、 ω は角周波数を表し、動作周波数 f とは $\omega = 2\pi f$ の関係にある。 j は虚数単位である。

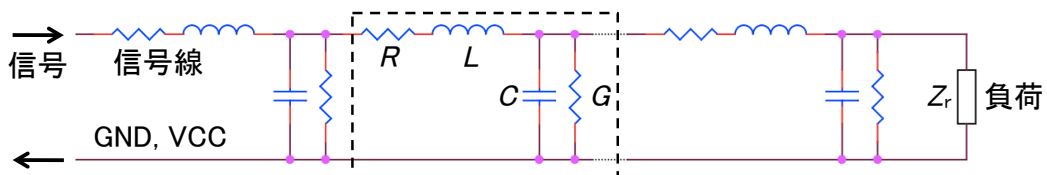


図 4.6: 伝送線の等価回路。 R 、 L 、 G 、 C はそれぞれ単位長さ当たりのレジスタンス、インダクタンス、コンダクタンス、キャパシタンスである。

この特性インピーダンスの値が一定でない場合、(4.5) 式で表される信号の反射が発生する。

$$\Gamma = \frac{Z_r - Z_0}{Z_r + Z_0} \quad (4.5)$$

ここで、 Γ は反射係数、 Z_r は入力インピーダンスである。

動作周波数が高い回路の場合、 Z_0 が一定である必要がある。特性インピーダンスは信号線の導体幅や厚さ、グラウンド間の絶縁間隙、比誘電率で決まるため、高周波の回路になるほど高い工作精度が求められる。

4.2.3 実際の基板の配線

RHEA のいくつかの信号線は 200 MHz で信号を伝搬している。たとえば、ADC と DAC のデータを伝搬している線がそうである。先の考察から、これらの信号線は、9.4 mm 以上の精度で配線する必要がある。しかし、工作精度の限界から、実際には 10 mm の精度でそれぞれの信号線を配線している（図 4.7）。*実際のズレはどれくらいだったの？*

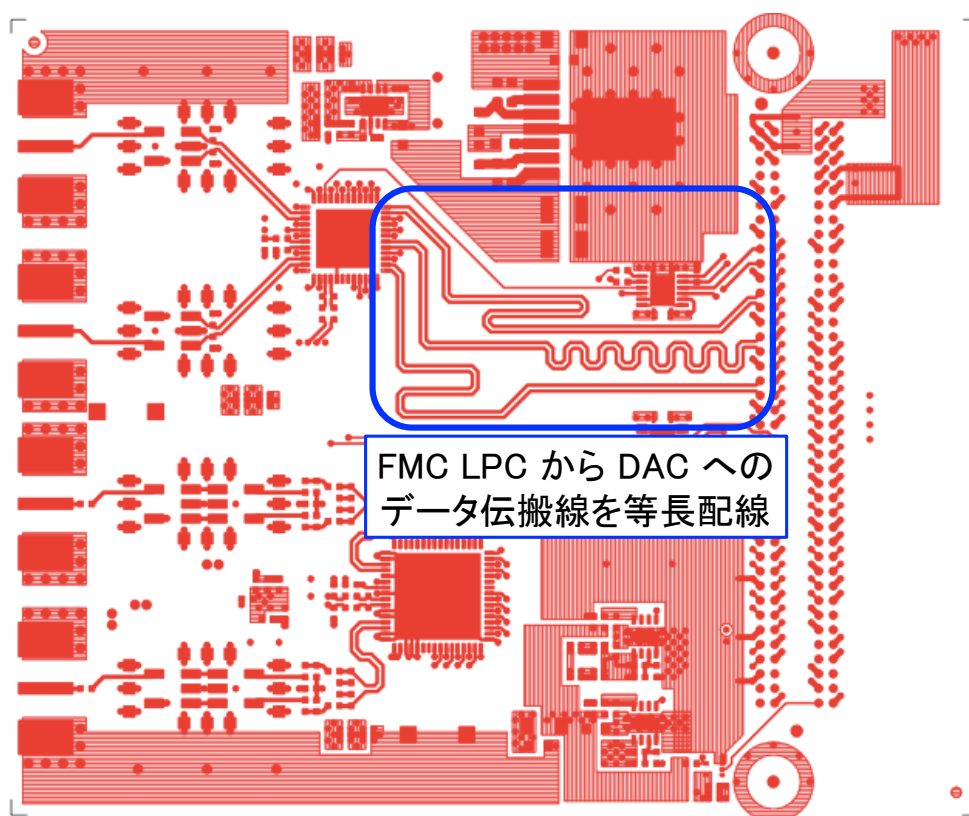


図 4.7: FMC LPC から DAC へのデータ信号の等長配線。この図では 3 つの対が等張に配線されていることが確認できる。残りの 4 対は内層で配線される。

基板内の差動配線の特性インピーダンス（差動インピーダンス）は 100 Ω に設計している。ただし、DAC の差動信号は、200 Ω の差動インピーダンスにしている。一般に、差動インピーダンスが大きくなれば、その分だけ導体幅・厚さなどを小さく^お必要がある。つまり、高い工作精度を要求する。この部分も工作精度の限界から、実際には差動 100 Ω になっている。

これら設計と実物の違いは、どこまで問題になるか事前にシミュレーションするのは難しい。というより、事前にシミュレーションをするよりも、実際にものを作ってそれを評価して

しまう方が低コストであると考え。また、この点は FMC150 も同様の実装になっているが、制作精度が原因となって誤動作するような問題は確認されていない。よって、上述の教訓に基づいて試作することにした。

4.3 試作

試作したアナログ基板の写真を図??に示す。制作はプリント基板制作会社「(有)ジー・エヌ・ディー¹」に依頼した。このアナログ基板 RHEA の評価を次章で行う。

¹<http://www.gn-d.jp/>

第5章 試作基板 RHEA の評価

RHEA は従来のアナログ基板に対して三つの改善を行った。ひとつ目は広帯域化、ふたつ目は消費電力の低減、そしてユーザビリティの向上である。本章ではこれらの評価について述べる。

5.1 消費電力の評価

5.2 クロックの簡素化の評価

5.3 帯域の評価

図 4.1 で示したように、RHEA には帯域を制限する LPF が存在しない。そのため、サンプリング周波数/2 (100 MHz) 付近まで DAC の信号強度が減衰しないことをオシロスコープを用いて確認する。

図 5.1 に RHEA と FMC150 の DAC からの信号強度の比較を示す。RHEA では LPF によりカットされていた 82 MHz 以上の周波数領域でも信号強度が下がっていないことが確認できる。

読者が測定を再現できるように、ボーン図等でも詳しく説明すること。

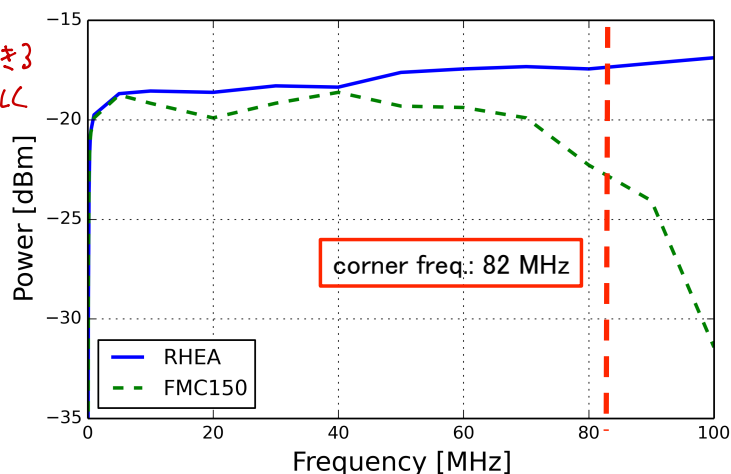


図 5.1: FMC150 と RHEA における DAC の信号強度の比較。RHEA は高周波領域 (>80 MHz) で信号強度が減衰していない。数十 kHz までの直流成分は AC カップルしているため、信号が弱い。

5.4 従来のアナログ基板との比較