

Examen 2 (temas 4, 5, 6 y 7)

Duración: 1 hora 45 minutos. La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello en el propio enunciado. No podéis utilizar calculadora, apuntes, etc. La solución del examen se publicará en Atenea mañana por la tarde y las notas antes de una semana.

Ejercicio 1 (Objetivo 5.6 (y 2.4)) (1 punto)

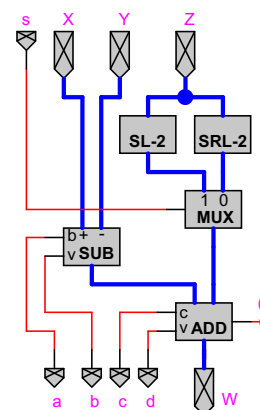
Cada fila de la tabla tiene 3 columnas con: el vector de 8 bits X, el valor que representa X interpretado como un número natural codificado en binario, Xu, y el valor que representa X interpretado como un número entero codificado en complemento a dos, Xs. Completad todas las casillas vacías

X	Xu	Xs
0 1 1 1 0 0 1 0		
	176	
		59
1 1 1 0 1 1 0 1		

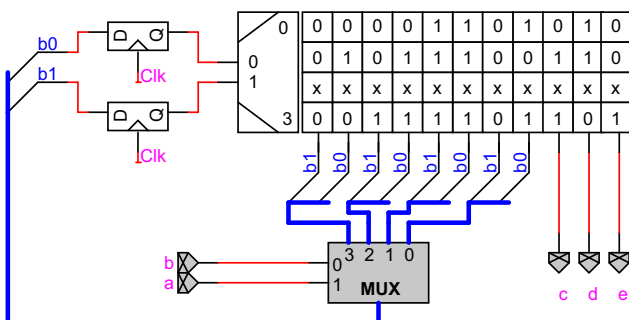
Ejercicio 2 (Objetivos 4.9 y 5.11) (1.5 puntos)

Dado el esquema del circuito combinacional a bloques de la derecha, completad la siguiente tabla que indica el valor de las salidas del circuito para cada uno de los dos casos concretos de valores de las entradas (un caso por fila):

s	X	Y	Z	a	b	c	d	W
0	1 1 0 0 1 1 0 0	1 0 1 0 1 1 0 0	1 0 0 1 1 0 0 1					
1	1 0 1 0 1 0 1 0	0 1 1 1 1 0 0 1	1 1 1 1 0 1 1 0					

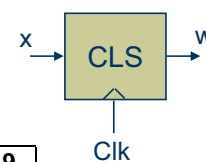
**Ejercicio 3** (Objetivo 6.13) (1,5 puntos)

Dibujad el grafo de estados (y la leyenda) del siguiente circuito secuencial. Los biestables se inicializan a 0

**Ejercicio 4** (Objetivos: 5.10 y 5.12) (2 puntos)

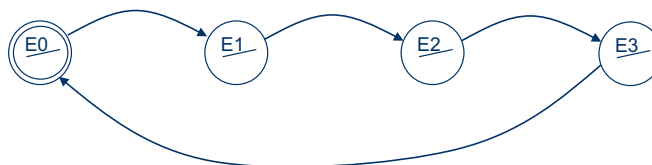
Completad el cronograma simplificado y el grafo de estados (y la leyenda) del circuito secuencial con una entrada, x, y una salida, w, cuyo funcionamiento es el siguiente: w vale 0 en todos los ciclos excepto que si x vale 1 en el ciclo c, w valdrá 1 en el ciclo c+1, en el c+2 y en el c+3. En el estado inicial w vale 0. Entendiendo el enunciado ya podéis completar la fila w del cronograma y después de completar el grafo podéis completar la fila Estado siguiendo el grafo y comprobando que la salida w es la esperada.

Ciclo	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19
Estado	E0																			
x	0	1	0	0	0	1	0	1	0	0	0	1	1	0	0	1	0	0	0	0
w	0	0	1	1	1	0	1	1	1	1	1									



Leyenda:

Grafo:



Ejercicio 5 (Objetivos 7.7, 7.8, 7.10 y 6.13) (4 puntos)

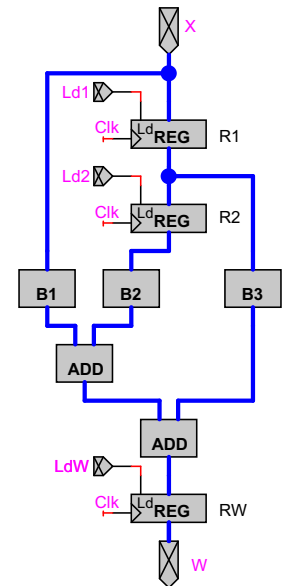
Completad el diseño del PPE que a partir de la secuencia de valores de entrada $X[k]_s$ para $k = 0, 1, 2, \dots$ calcula la siguiente secuencia de salida (para números enteros en $\text{Ca}2$):

$$W[k]_s = 0,25 * X[k]_s + 0,5 * X[k-1]_s + 0,25 * X[k-2]_s ; \text{ para } k = 0, 1, 2, \dots$$

considerando que $X[-1]_s$ y $X[-2]_s$ valen 0.

El PPE se comunica con un circuito emisor del que recibe cada dato $X[k]_s$ (por el bus X) usando el protocolo asíncrono de handshaking de 4 fases. Para ello, a la UC del PPE le llega la señal Req desde el emisor y de la UC del PPE sale la señal Ack hacia el emisor.

Además, el PPE se comunica con un circuito receptor al que le envía cada valor de la secuencia de salida $W[k]_s$ (por el bus W) usando un protocolo síncrono. Para ello, de la UC del PPE sale la señal Vw (Validación de W). Para cada uno de los valores de la secuencia de salida, $W[k]_s$, la señal Vw valdrá 1 durante un único ciclo y en ese ciclo $W[k]_s$ debe estar en el bus W. La sincronización es así porque el PPE y el receptor tienen la misma señal de reloj, pero el emisor tiene otra distinta. La UP del PPE se muestra a la derecha.

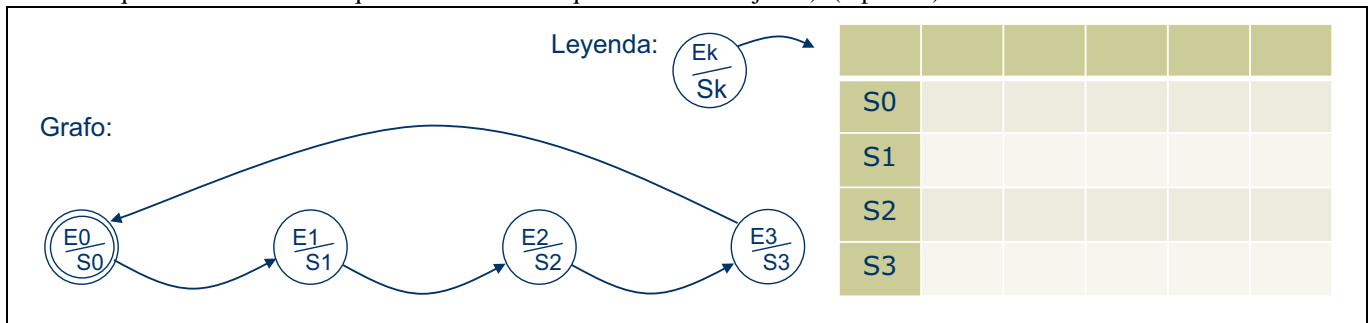


Teniendo en cuenta que el estado inicial de los registros R1 y R2 de la UP del PPE es 0 (para que la UP funcione correctamente y calcule $W[0]_s = 0,25 * X[0]_s$ y $W[1]_s = 0,25 * X[1]_s + 0,5 * X[0]_s$ tal como dice el enunciado), contestad a las siguientes preguntas (se recomienda, aunque no se pide explícitamente, que os dibujéis el esquema a bloques de la UC del PPE implementada con el número mínimo de biestables y dos ROMs).

- a) Escribe la etiqueta, el nombre del bloque estándar, de cada uno de los tres bloques usados en la UP para que se realicen los cálculos correctos. Recordad que $0,5 = 1/2$ y que $0,25 = 1/4$. (0.5 puntos)

B1 =	; B2 =	; B3 =
------	--------	--------

- b) Completad el grafo de estados de la UC del PPE (no olvidéis la leyenda del grafo y la tabla de salidas en la que podéis poner las columnas que necesitéis. Puede que necesitéis arcos que no están dibujados). (2 puntos)



- c) Si se implementa la UC del PPE con el número mínimo de biestables y dos memorias ROM, ¿Cuántas palabras y cuantos bits por palabra tiene cada una de las dos ROMs? (0.5 puntos)

ROM del estado siguiente:
ROM de las salidas:

- d) Si la UC del PPE se implementa como en el apartado c) y suponiendo los siguientes parámetros temporales, ¿cuál es el camino crítico del PPE (nombra la secuencia de bloques por la que pasa)? ¿Cuál es el tiempo de ciclo mínimo del PPE? (1 punto):

- La señal Req y el bus X estarán estables 50 u.t. o más después del inicio del ciclo.
- La señal Ack, Vw y el bus W deben estar estables 40 u.t. antes del final de ciclo.
- El tiempo de propagación de cada sumador es de 150 u.t. y el de los bloques B1, B2 y B3 es de 0 u.t. cada uno de ellos.
- Los biestables de los registros y de la UC tienen un tiempo de propagación de 100 u.t.
- El MUX-2-1 con el que se implementa cada registro con señal Ld tiene un tiempo de propagación de 60 u.t. desde la señal de control y de 40 desde las entradas de datos.
- Cada una de las ROMs de la UC tienen un tiempo de propagación de 300 u.t.

Camino crítico:
Tiempo de ciclo mínimo =