ENTRADA : SORTIDA (9)

Condrabdors i Ports de E/S

Port Entrade: Llegaix el procurador i encim al perjenic

Port Sortide: Esvin el prouvader illeger el perférie

IN . R.3, (3) o Agust 3 ma es de . R.E.G. F.I.L.E. simo d'un rejeture de perférie.

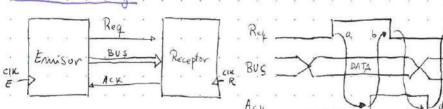
OUT (2, R2 y 1 quin roges he soulde (El que encolle el mintor per esque).

Com que el treclet i CPU treballen a diferent frequence de clock, es cometa

el port sortide al clock en Logic Werns. NO en 6 vide Real.

Wr- Out: Valido l'apereire d'evenure en un part de sertide.

ADDR-IO: Seleccoran. Port de Sontide/Entrode durant operarie de I/O, sunt de HNe parce con por etas Neget loto l'estora 1950 si su s'escre en BLGT IE comp Web I un peror van.

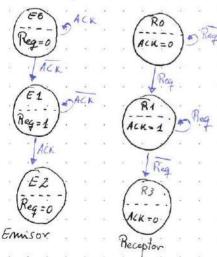


No és put foi FN RI, S/1 OUT 3, R4"

Por compartarion mateire pariente
de control. #5, foi mateix IV:

- a) Emisor Indice l'intervis d'enviar decle al veceptor activant sergal
- b) Beceptor remon a l'emisor ans ACK indicat que la vist dades.
- (c) Emisor baixe la petition (dont que l'altre je te 6 info.).
- d) Receptor baixa ACK. per for reset de tot.

En els ports IN/OUT hi ha especifics per sergel ACK i Reg. NO en Regfile.



. Això ers permit grefs mes signer pere mei cicles (Poret que hour de fer les de 2' per selos valor del port ACKI Reg each regard).

Ejecte bitual

Si en demone le clade que està en el REG DADA, en fe venet del port 'stat'.

Al fican el'stat' (regul) a'O', el teclet (en aquel con) ja vene que l'his rebout i

jo mo fa facte ACK mi vot els actives entaits.

Annh aqueta venia, s'enter posson de div cosses al ACK. Der Tetets -o 3 estats.

Aquet mecanisme pot preduir un convi en STAT donet que potses ADDZ-10 podre

Valdre 'XX 11' i moodfica. S'Es fa servir 'Rd-In' per orseguar-se que volem fer beilio.

V V V D, Wr D, Wr - Out, Rd-In MAI. poden valdre 'x'.

Print-Reg val 'L' per informen a 6 CPV que l'impressora està lleste per rebre

Perè en el cas de Key-Reg significa que hi he une move dode en port DADA.