

- Duración del examen: 1 hora 45 minutos.
- La solución a cada ejercicio debe escribirse en el espacio reservado para ello en el propio enunciado.
- No podéis utilizar calculadora, móvil, apuntes, ...
- La solución al examen se publicará mañana en Atenea y las notas se publicarán en una semana

Ejercicio 1 (2 puntos) Criterio: +2/1,75/1,25/0,75/0 si 4/3/2/1/0 respuestas correctas respectivamente

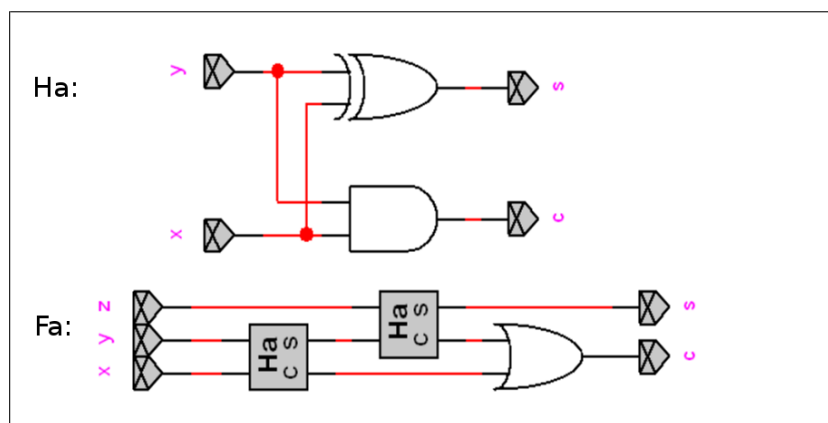
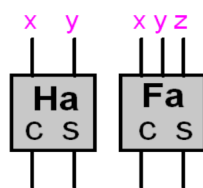
Sea $X = 1111\ 0001$ un vector de 8 bits. Para cada uno de los siguientes casos, determinad un vector Y de 8 bits que cumpla la condición indicada. Si existen diversos vectores Y que satisfagan una condición, en la respuesta debe indicarse **el que tenga Y_s menor**.

- $X_u + Y_u$ no representable como natural de 8 bits
- $X_u - Y_u$ no representable como natural de 8 bits
- $X_s + Y_s$ no representable como entero de 8 bits
- $X_s - Y_s$ no representable como entero de 8 bits

- a) $Y = 1000\ 0000$
-
- b) $Y = 1111\ 0010$
-
- c) $Y = 1000\ 0000$
-
- d) $Y = 0111\ 0010$

Ejercicio 2 (2 puntos) Criterio: 1 punto Ha y Fa. Se acepta no utilizar Xor en Ha. 0 si señales no etiquetadas

Implementad un half adder (Ha), CLC que calcula la suma de dos bits utilizando puertas lógicas. A continuación, implementad un full adder (Fa) utilizando half adders y puertas lógicas. Se valorará que **el número de puertas utilizado sea mínimo**. No olvidéis etiquetar entradas y salidas.



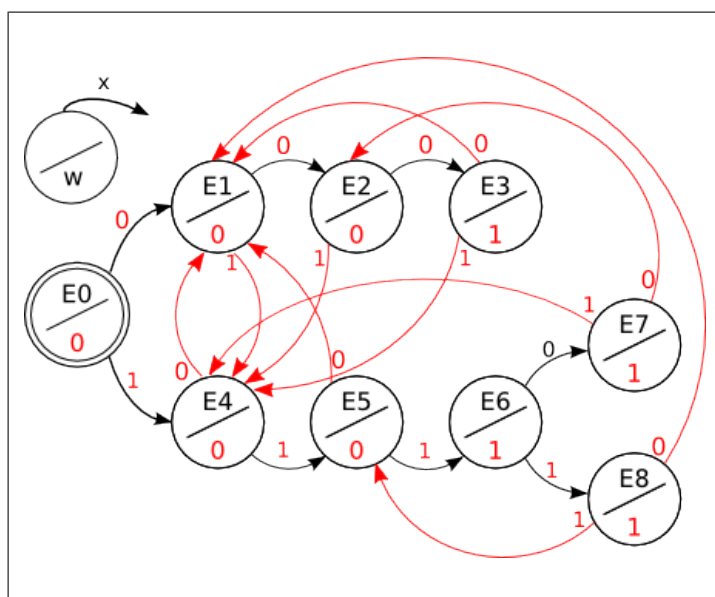
Ejercicio 3 (2 puntos) **Criterio:** Un nodo es incorrecto si algún arco de salida (sea destino y/o etiqueta) y/o la salida es incorrecto. +2/1,5/1/0,5/0 si 9/8/7/6/menos de 6 nodos correctos respectivamente

Un CLS tiene una señal de entrada de un bit (x) y una señal de salida de un bit (w). El CLS reconocerá que el valor de la entrada x haya permanecido constante durante tres ciclos consecutivos.

- La salida w valdrá 1 durante un ciclo (i) si, en los 3 ciclos anteriores ($i - 3, i - 2, i - 1$), la entrada x no ha variado. En el ciclo siguiente ($i + 1$), w mostrará el valor de x durante esos ciclos.
- En cualquier otro caso, w valdrá 0.
- El reconocimiento será **sin solapamiento**.

Se adjunta un ejemplo de funcionamiento del CLS; cada columna corresponde a un ciclo.

Dado el grafo de estados incompleto del CLS (faltan salidas, arcos y etiquetas), **se pide que lo completéis.**



x	$\boxed{0}$	$\boxed{0}$	$\boxed{0}$	1	0	$\boxed{1}$	$\boxed{1}$	$\boxed{1}$	$\boxed{1}$	$\boxed{1}$	$\boxed{1}$	0	1	1	0	$\boxed{1}$	$\boxed{1}$	$\boxed{1}$	$\boxed{0}$	$\boxed{0}$	$\boxed{0}$	1	0
w	0	0	0	$\boxed{1}$	$\mathbf{0}$	0	0	0	$\boxed{1}$	$\boxed{1}$	0	$\boxed{1}$	$\boxed{1}$	0	0	0	0	0	$\boxed{1}$	$\boxed{1}$	0	$\boxed{1}$	$\mathbf{0}$

Ejercicio 4 (4 puntos) **Criterio:** a) binario, b) +0,5 camino crítico, +0,25 tpo. camino crítico, +0,25 T_c mínimo, c) +1 grafo (-0,25 por nodo incorrecto, mín. 0), +1 tabla (-0,25 si no hay x , -0,25 \times min(num. filas erróneas, num. columnas erróneas), mín. 0)

Sea un PPE que calcula el producto de dos números complejos. Dados los números complejos $a + bi$ y $c + di$, retorna el número complejo $(ac - bd) + (ad + bc)i$.

El PPE tiene un bus de entrada de datos, D , de 16 bits y otra señal de entrada, $Begin$, de un bit. Las partes reales e imaginarias de los números a multiplicar (a, b, c, d) se recibirán codificadas como enteros por el bus D . La parte real del primer complejo (a) se recibirá el ciclo siguiente al ciclo en el que la señal $Begin$ vale 1. Los tres ciclos siguientes, el PPE recibirá por el bus D , y en ese orden, b, c y d .

El PPE tiene como señales de salida un bus de datos W de 16 bits y una señal End de un bit. Para mostrar el resultado, el PPE pone a 1 la señal End durante dos ciclos consecutivos y en el bus W se muestran los resultados (la parte real $ac - bd$ en el primer ciclo y la parte imaginaria $ad + bc$ en el segundo).

Si $Begin$ vuelve a tomar el valor 1 desde que se ha recibido a hasta que se presenta la parte real del resultado, el proceso será abortado y se iniciará un nuevo cálculo con los datos que se reciban a partir del próximo ciclo. Véase el grafo de estados **incompleto** de la Unidad de Control y el diseño **completo** de la UP del PPE. El CLC MUL calcula el producto de dos enteros. Podéis asumir que no habrá overflows en los cálculos.

Grafo incompleto de la UC

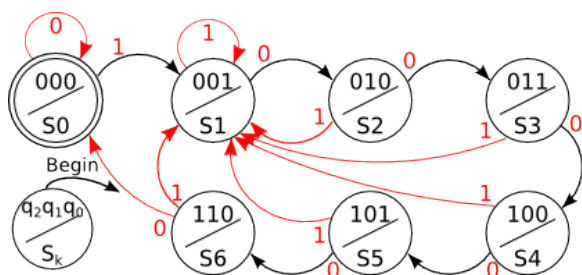
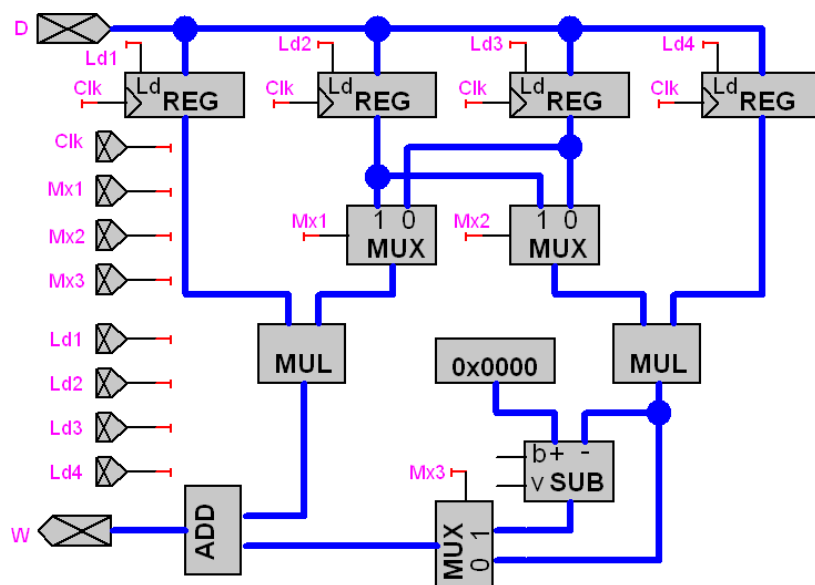


Tabla de salidas (dos soluciones)

	Mx1	Mx2	Mx3	Ld1	Ld2	Ld3	Ld4	End
S0	x	x	x	x	x	x	x	0
S1	x	x	x	1	x	x	x	0
S2	x	x	x	0	x	x	1	0
S3	x	x	x	0	1 (x)	x (1)	0	0
S4	x	x	x	0	0 (1)	1 (0)	0	0
S5	1 (0)	0 (1)	1	0	0	0	0	1
S6	0 (1)	1 (0)	0	x	x	x	x	1

Esquema completo de la Unidad de Proceso (UP)



a) Indicad el tamaño de la ROM y del multiplexor de buses que implementan la UC. (1 punto)

ROM: Num. bits de entrada=3 Num. bits de salida=14 ($2^1 \times 3 + 8$) Tamaño (en bits)=112 ($2^3 \times 14$)
 MUX: Num. buses entrada=2 Anchura cada bus (en bits)=3 Num. bits selección=1

b) Indicad el camino crítico del PPE (o uno de ellos si hay varios) listando los dispositivos por los que pasa y el tiempo de este camino. ¿Cuál es el tiempo de ciclo mínimo? Suponed que:

- la UC se implementa con los mínimos biestables, una ROM (ROM_UC) y un Multiplexor de buses,
- todas las entradas del PPE están estables pasadas 300 u.t. del inicio de ciclo,
- todas las salidas del PPE deben estar estables al menos 600 u.t. antes del final de ciclo,
- el tiempo de propagación de todos los biestables es de 100 u.t.
- los tiempos de propagación de los combinacionales, desde cualquier entrada a cualquier salida, son:
 $T_p(\text{Not}) = 10$ u.t., $T_p(\text{And-2})=T_p(\text{Or-2})=20$ u.t., $T_p(\text{ADD})=T_p(\text{SUB})=500$ u.t., $T_p(\text{MUL})=800$ u.t.,
 $T_p(\text{MUX-2-1})=50$ u.t., $T_p(\text{MUX-4-1})=120$ u.t., $T_p(\text{MUX-8-1})=180$ u.t. y $T_p(\text{ROM_UC})=60$ u.t. (Recordad que un registro con señal Ld tiene algo más que biestables en su implementación interna) (1 punto)

Camino crítico= $FF_{REG-Q} \rightarrow ROM_{UC} \rightarrow MUX_{2-1} \rightarrow MUL \rightarrow SUB \rightarrow MUX_{2-1} \rightarrow ADD \rightarrow W$
 Tpo. camino crítico= 2.660 u.t. ($100 + 60 + 50 + 800 + 500 + 50 + 500 + 600$) Tpo. ciclo mínimo = 2.660 u.t.

c) Completad el grafo de estados de la UC, al que le faltan arcos y las etiquetas de los arcos así como el valor de las salidas en cada nodo, que se deben indicar en la tabla. (2 puntos)