

# Circuits Lògics Combinacionals (a)

Què és un CLC?

## Circuit

Conjunt de components electrònics connectats.

Te senyals d'entrada. Senyal: Magnitud física que canvia amb el temps. (temp.)

Processa el(s) senyal(s) d'entrada  $\rightarrow$  Genera senyal(s) de sortida.

## Circuit Lògic

Circuit on senyals s'interpreten digitalment.

# Si senyal és  $\Delta V$  entre 0V i 5V

Els senyals es discretitzen (típicament 2 valors).

$\rightarrow 0V - 2.5V = 0$

$\rightarrow 2.5V - 5V = 1$

Si un circuit no discretitza  $\rightarrow$  Circuit Analògic.

# Immune a petites variacions.

Els components bàsics són les portes lògiques (AND, OR, NOT, ...)

## Circuit Lògic Combinacional

El valor de les senyals de sortida depèn només del valor entrada actual.

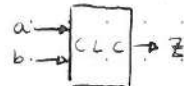
NO considera estats anteriors. = NO té memòria. # Si memòria  $\rightarrow$  CLS.

Els components bàsics són les portes lògiques.

# Circuit Seqüencial (TCL): Depèn de la sortida de la variable d'entrada i de totes les sortides anteriors. Com la suma  $= \text{sum} + 1$  de preg.

## Taula de la Veritat

Funcionalitat d'un CLC que depenent de les entrades i totes les possibles combinacions, mostra el valor de la senyal de sortida.



a	b	$z = a \wedge b$
0	0	0
0	1	0
1	0	0
1	1	1

"n"  $\rightarrow$  senyals entrada; "m" sortida  $\Rightarrow$   $2^m$  files x m columnes

# Només podem fer TT si m és petit.

Es refereix a taula resultat. No comptem files i columnes.

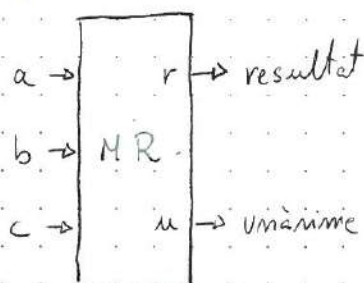
## De decod. del CLC a TV

Majority report (Donat 3 vots, det. vot majoritari i si hi ha hagut unanimitat). # Files  $\rightarrow$  4, columnes  $\rightarrow$  5

m  $\rightarrow$  a, b, c (Senyals entrada / 3 vots); m  $\rightarrow$  res, una (Senyals sortida) #  $2^3 \times 2$

Codiificació: "Si" = 1; "No" = 0 | Les entrades són equivalents.

a	b	c	res	una
0	0	0	0	1
0	0	1	0	0
0	1	0	0	0
0	1	1	1	0
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

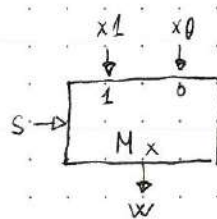


Multiplexar [if (s==0) w=x0; else w=x1]

$m \rightarrow s, x0, x1$  (Senyals entrada)  $\nabla x0$  i  $x1$  no són intercanviables. Manquem on vam.

$m \rightarrow w$  (Senyal sortida). Depen del valor de  $s$  i quina var.  $\rightarrow x0$  s'encolleix.

s	x0	x1	w
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1



# les senyals de control han de ser 2 entrades  $\rightarrow$  1. control  
4. entrada  $\rightarrow$  2. control

Control de dipòsit (Enviat massa llarg.)

$m \rightarrow x, y, z$  (Senyals entrada)  $\nabla$  Eren la bomba que omple el dipòsit.

$m \rightarrow w$  (Senyal sortida). Els casos impossibles, fiquem una "x".

x	y	z	w
0	0	0	1
0	0	1	1
0	1	0	x
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	x
1	1	1	0

Observacions

Està buit, però el volem buit  
No està full i es demit (parden)  
Error de sensor  
Està ple, no fa falta  
Està buit, independent que sigui dia  
Com que és dia, nos jodemus  
Error sensor  
No fa res, però full

Portes lògiques

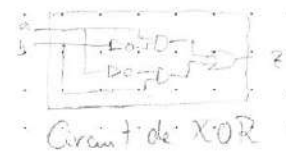
Base per construir CLK. Fiquem max 2 entrades.

$\rightarrow$  1 Entrada  $\Rightarrow$  1 sortida  
 $\rightarrow$  2 Entrades  $\Rightarrow$  1 sortida

AND (•)	OR (+)	XOR (o exclusiu)	NOT (Invertir)	NAND	NOR
a b z	a b z	a b z	a z	a b z	a b z
0 0 0	0 0 0	0 0 0	0 1	0 0 1	0 0 1
0 1 0	0 1 1	0 1 1	1 0	0 1 1	0 1 0
1 0 0	1 0 1	1 0 1		1 0 1	1 0 0
1 1 1	1 1 1	1 1 0		1 1 0	1 1 0

$z = a \cdot b$      $z = a + b$      $z = a \cdot b + a \cdot \bar{b}$      $z = \bar{a}$      $z = \bar{a} \cdot b$      $z = \bar{a} + b$

Tots es poden construir amb portes AND, OR i NOT

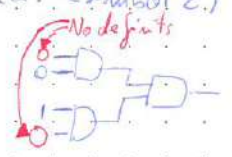
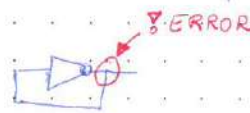
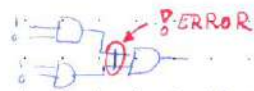


Circuit de XOR

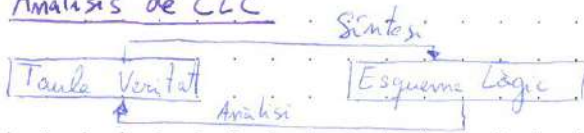


## Regles d'interconnexió de CLC

- No podem connectar 2  $\oplus$  sortides d'un CLC  $\rightarrow$  Provoca curtcircuit. (Símbol C)
- Cal definir el valor de totes les entrades  $\rightarrow$  Entrades alta impedància. (Símbol Z)
- No pot haver canvi tancat (Cicle)  $\rightarrow$  Valor inestable
- # Creant tancats "memòria"  $\rightarrow$  Valor estable



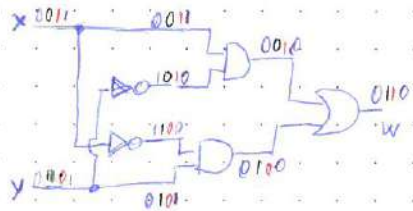
## Anàlisi de CLC



Formes per anàlisi:  $\rightarrow$  Per files  
 $\rightarrow$  Per columnes

### Per files

Tenim el circuit i mirem les menses de la TV. Propaguem cada combinació fins veure resultat.



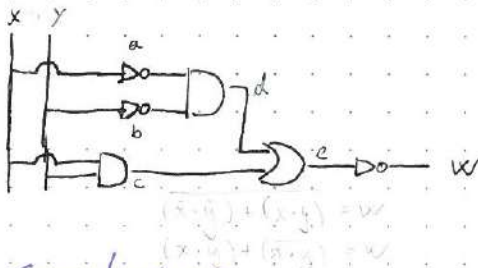
x	y	w
0	0	0
0	1	1
1	0	1
1	1	0

Aquest circuit es comporta com XOR

$$x \oplus y = w$$

### Per columnes

Considerem totes les sortides internes (Totes les portes) i les anem com columnes. # Fases per ja cal tenir.



x	y	a	b	c	d	e	w
0	0	1	1	0	1	1	0
0	1	1	0	0	0	0	1
1	0	0	1	0	0	0	1
1	1	0	0	1	0	1	0

També es m. XOR

$$x \oplus y = w$$

## Conclusions

- En els CLC només importa els valors d'entrada per det. la sortida.
- La base dels CLC són (AND, OR, NOT). Amb aquesta es pot fer tot.
- Fer l'anàlisi es det. la TV a partir d'un circuit.
- n (sejals entrada) i m (sejals sortida)  $\rightarrow 2^n$  files x m columnes

## Propietats Àlgebra de Boole

Propietat Commutativa  $x + y = y + x$

$$x \cdot y = y \cdot x$$

Propietat Associativa  $(x + y) + z = x + (y + z)$

Propietat Distributiva  $x \cdot (y + z) = xy + xz$

$$x + (y \cdot z) = (x + y) \cdot (x + z) \quad \nabla \text{ Nomien en Àlgebra Boole}$$

Elements Neutres  $x + 0 = x$

$$x \cdot 1 = x$$

Complementació  $x + \bar{x} = 1$

$$x \cdot \bar{x} = 0$$

## Teoremes Àlgebra de Boole

Llei Idempotència  $x + x = x$

$$x \cdot x = x$$

Llei d'Absorció  $x + (x \cdot y) = x$

$$x \cdot (x + y) = x$$

Llei de dominància  $x + 1 = 1$

$$x \cdot 0 = 0$$

Llei d'Involució  $\bar{\bar{x}} = x$

Llei de Morgan  $\overline{(x + y)} = \bar{x} \cdot \bar{y}$

$$\overline{(x \cdot y)} = \bar{x} + \bar{y}$$



# Circuits Lògics Combinatorials (6)

## Minterm

Funció lògica amb  $n$  variables d'entrada i només una sortida retorna "1" per comb. de  $n$ .

Per  $n$  var. entrades, existeixen  $2^n$  funcions minterm.  $(m_0, m_1, \dots, m_{2^n-1})$ .  $X = [1, 1, 0]$

$m_i$  retorna "1" a la comb. de val. entrades  $X$  tal que  $X_u = i$  (La fila  $i$ -èsima de TV)  
minterm específic Combinació única Representació de la comb. binària en decimal.

Tota funció lògica de  $n$  var. entrada es pot descompondre com a suma lògica de funcions minterm.

Suma lògica  $\equiv$  Funció lògica OR

$$m_i(x_{n-1}, \dots, x_1, x_0) = \prod_{k=0}^{n-1} L_k \quad L_k = \begin{cases} \neg x_k & \text{if } i_k = 0 \\ x_k & \text{if } i_k = 1 \end{cases}$$

## Procediment

1. Determinar funcions minterm (Aquelles que retornin 1)
2. Sintetitzar els minterms fent servir AND i NOT (Fent servir AND i NOT per connectar variables)
3. Fer la suma de les funcions minterms (Fent ús de OR)

## Exemple senzill

x	y	w	x	y	$m_0$	$m_3$	$m_0, m_3$	$w$
0	0	1	0	0	1	0	1	$\neg x \cdot \neg y$
0	1	0	0	1	0	0	0	
1	0	0	1	0	0	0	0	
1	1	1	1	1	0	1	1	$x \cdot y$

## Generalització de portes AND i OR

AND-2 i OR-2 - Són commutatives i associatives.  $(x \cdot y) \cdot z = x \cdot (y \cdot z)$

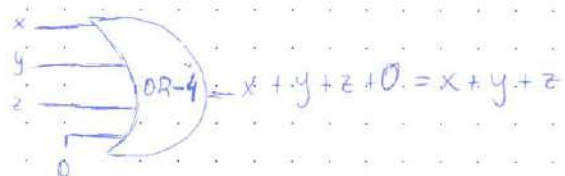
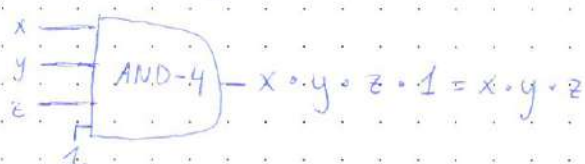
- Tenen element neutre  $x \cdot 1 = x$  ;  $x + 0 = x$

Si necessitem més entrades, podem fer ús de la distributiva  $x \cdot (y + z) = (x \cdot y) + (x \cdot z)$

• Hi ha ocasions que tenim 3 var. ent. i només tenim AND-4 i OR-4

Prob 1  $\rightarrow$  No podem deixar entrades sense definir.  $\Rightarrow$  Incomplir regles dels CLC

Sol 1  $\rightarrow$  Aprofitar element neutre de "•" i la "+" ( $x \cdot 1 = x$  ;  $x + 0 = x$ )



## Síntesi mitjançant Decodificadors i OR

També es basa en la descomposició en suma de minterms. (Estalvia síntesi).

Dec -  $n - 2^m$ : CLC amb  $n$  IN i  $2^m$  OUT;  $n$  IN =  $A$  = (address) =  $a_0, a_1, \dots, a_{n-1}$ .

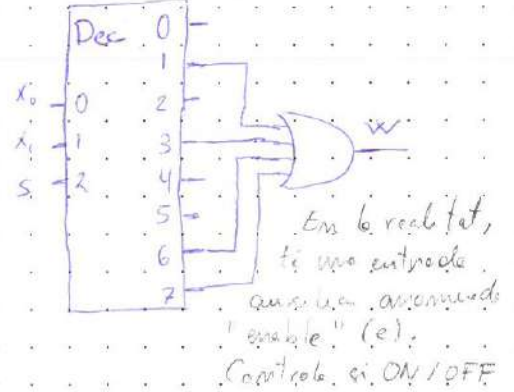
$d_j = 1 \iff A_{a_j} = j$  Valor decimal de la combinació d'entrades  
 La sortida  $j$ -èsima si  $i$  només si

Multiplexor

S	$x_1$	$x_0$	$w$
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

$2^m$  OUT =  $D$  = (Data Out) =  $m_0, m_1, \dots, m_{2^m-1}$ .

Dec - 3-8



Decodificador: Converteix un codi binari de  $n$  bits IN a  $2^n$  línies OUT. Per cada combinació de IN només s'activa una única línia OUT.

Només mit 1 in aquell cas:  $x_0, x_1, x_2$   
 Trad. Per la resta, tot 0.

## Síntesi mitjançant ROM

També basat en descomposició suma minterms. A compacte. Dada organitzada matriu.

Faran servir CLC anomenat ROM: - Read Only Memory

## Integra

- Integra Dec, matriu de connexió i punts OR.  
 Línia d'entrada  $A_{IN}$  Sortida Dades  $OUT$

• Dec -  $n - 2^m$

• Matriu  $2^n \times m$  punts connexió  $ROM(A_0, A_1, \dots, A_n) = \{d_0, d_1, \dots, d_{2^n-1}\}$

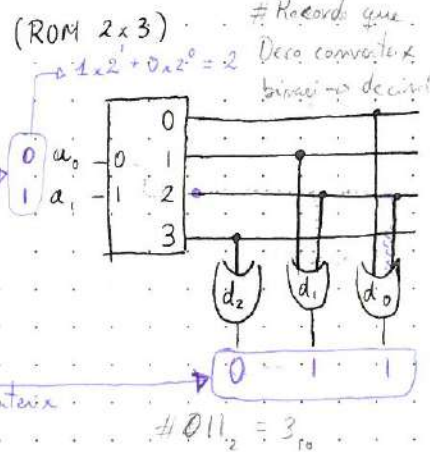
•  $m$  punts OR amb  $2^n$  IN

## Exemple Circuit Incrementador (ROM 2x3)

Entrada  $a_2, a_1, a_0$  Sortida  $d_2, d_1, d_0$

$a_2$	$a_1$	$a_0$	$d_2$	$d_1$	$d_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1
1	1	1	1	0	0

Com que ROM conté decodificadors representem decod amb les punts OR



Recordar respectar l'ordre.

Es el matriu

$\# 011_2 = 3_{10}$

$a_2$	$a_1$	$a_0$	$d_2$	$d_1$	$d_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1
1	1	1	1	0	0

# Pot guardar fins a 16 de funcions

$\nabla$  # NO hi ha més rebuó  $a_2 = 0, a_1 = 1, a_0 = 2$  pot ser  $a_1 = 0, a_2 = 1$  Passarà en l'examen.

$\nabla$  paraules  $\rightarrow 2^n$ ; bits per paraula  $\rightarrow$  Arbitrari



# Circuit Lògic Combinacional (c)

## Definicions

Cami des de l'entrada  $\underline{e}$  fins sortida  $\underline{s}$ : Recorregut vàlid passant per cables, portes i altres CLC.

Poden existir diversos camins.

Temps propagació d'un camí: Suma temps propagació de totes les portes d'un camí.

Cami crític de l'entrada  $\underline{e}$  a sortida  $\underline{s}$ : Camí de  $\underline{e}$  a  $\underline{s}$  amb  $\uparrow \uparrow T_p$ .

Temps propagació de l'entrada  $\underline{e}$  a sortida  $\underline{s}$ :  $T_p$  del camí crític entre  $\underline{e}$  i  $\underline{s}$ .

Temps propagació d'un circuit: Màxim dels  $T_{p,s}$  entre totes les operacions/combinacions.

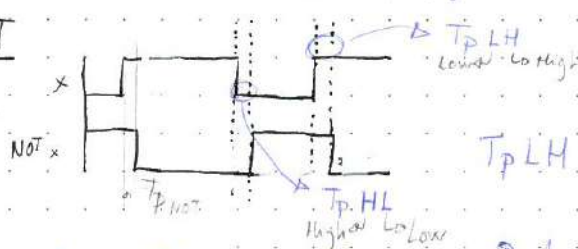
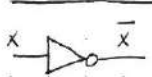
Cami crític: Camí que tingui  $\uparrow \uparrow T_p$  (des de entrada fins sortida)

Poden haver varios.

## Propagation Delay

Els canvis a les entrades no es propaguen immediatament a la sortida. Triguen un temps.

### Porta NOT

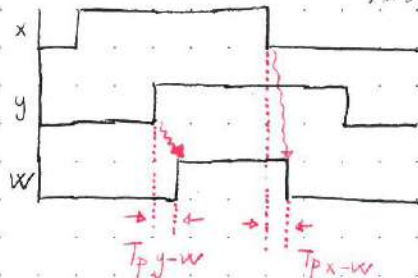
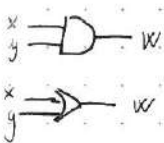


$T_{pLH} \neq T_{pHL}$  # Però en IC els considerarem iguals per facilitar càlculs.

$T_p(\text{NOT}) = 10 \mu s$  # Sense canviar unitats temps.

Parlarem de  $T_p \text{ NOT}$  # Sense importar HL o LH.

### Porta AND i Porta OR



AND-2

\* Assumirem que  $T_{p y-w} = T_{p x-w}$ .  
# No podem quan CLC varien portes lògiques.

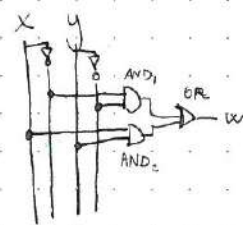
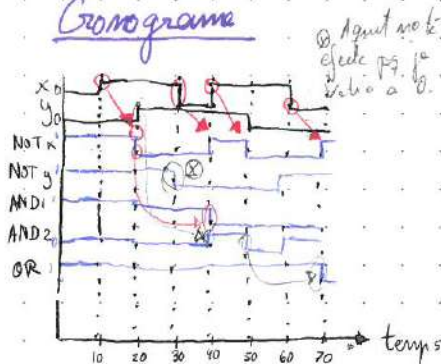
\* Com en cas de NOT.  $T_{pHL} = T_{pLH}$

\* Si canvi no provoca canvi en la sortida el  $T_p = 0$

\* El  $T_p$  de la porta serà el  $T_p$  mínim observat  
# Cal verificar totes les combinacions.

$T_p(\text{OR}) = T_p(\text{AND}) = 20 \mu s$

## Cronoograma



$T_{pNOT} = 10 \mu s$   
 $T_{pAND} = 20 \mu s$   
 $T_{pOR} = 20 \mu s$

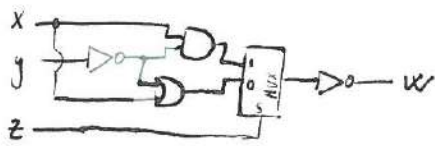
Aquest són els per defecte en LAB

⚠ Examen pot ser diferent





201819-Q1-E1) TV a partir de CLC (mux és multiplexor).



x	y	z	w
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

# Mux  $\Rightarrow i) (s == 0) w = x0; \text{ else } w = x1;$

x0	x1	s	MUX
1	0	0	1
1	0	1	0
0	0	0	0
0	0	1	0
1	1	0	1
1	1	1	1
1	0	0	1
1	0	1	0

101415-Q1-E1) Emmet exageradament llarg.

modo	M0	M1	S	V0	V1	B
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	0	1	0
0	0	1	1	x	x	x
0	1	0	0	1	0	0
0	1	0	1	x	x	x
0	1	1	0	1	1	0
0	1	1	1	x	x	x
1	0	0	0	0	0	0
1	0	0	1	0	0	1
1	0	1	0	0	1	0
1	0	1	1	0	1	1
1	1	0	0	1	0	0
1	1	0	1	1	0	1
1	1	1	0	1	1	0
1	1	1	1	1	1	1

3.1. Definiu tres paràmetres CLC.

Circuit format per portes lògiques que, donades unes senyals d'entrada, en processen i en mostren unes de sortida. No té memòria, així que la senyal de sortida depèn exclusivament de les senyals d'entrada.

3.2. Fer TV del circuits següents.

a)  $f(x,y,z) = 1$  quan una o més [...]

x	y	z	$f(x,y,z)$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

$$x = 0 \oplus y = 1 \checkmark$$

$$y = 1 \cdot z = 0 \checkmark$$

$$x = 1 + y = 0 \cdot z = 1 \checkmark$$

b) Es disposen de dues [...]

$x_A$	$x_B$	$x_g$	S
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

$$S = 1 \rightarrow x_A = 1 \text{ OR } x_B = 1 \text{ AND } x_g = 0 \checkmark$$

### 3.3. Respon

a) Completa taula següent

Nom	Dibuix	TV
Not		$\begin{array}{c c} x & f \\ \hline 0 & 1 \\ 1 & 0 \end{array}$

Nom	Dibuix	TV
AND-3		$\begin{array}{c c} x & y & z & f \\ \hline 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 1 & 1 & 1 \end{array}$

Nom	Dibuix	TV
OR-2		$\begin{array}{c c} x & y & f \\ \hline 0 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 1 \end{array}$

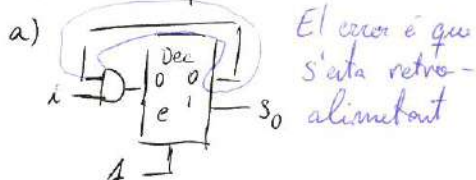
b) porta AND de n entrades val 1 quan...

Quan totes les entrades valen 1.

c) porta OR de n entrades val 1 quan...

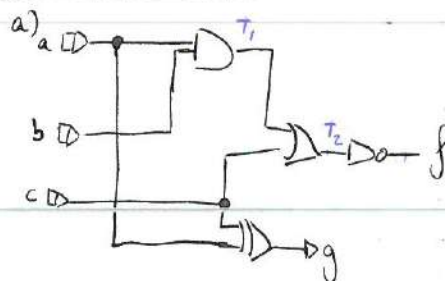
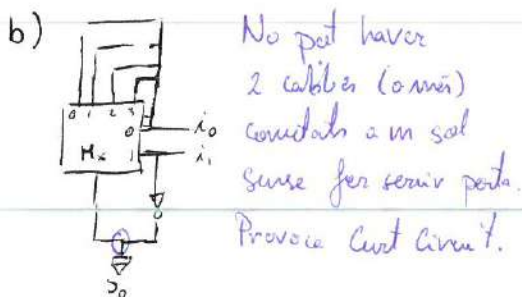
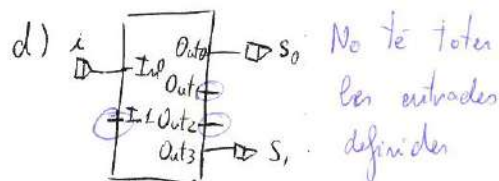
Quan, com a mínim, hi ha una entrada que valgui 1.

### 3.4. Indica per cada dibuix si es vàlid o no. Encercla errors.



b) ~~Es correcte~~

c) Es correcte

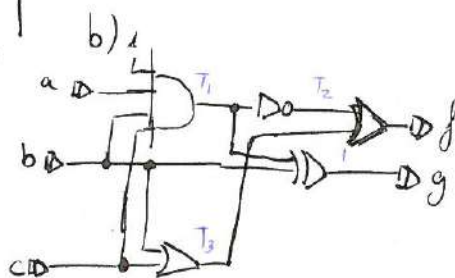


### 3.5. Escriu taula de Veritat circuits següents

a)

a	b	c	$T_1$	$T_2$	$f$	$g$
0	0	0	0	0	0	0
0	0	1	0	1	0	1
0	1	0	0	0	1	0
0	1	1	0	1	0	1
1	0	0	0	0	1	1
1	0	1	0	1	0	0
1	1	0	1	0	0	1
1	1	1	1	1	1	0

No m'heva fixat en 110



b)

a	b	c	$T_1$	$T_2$	$T_3$	$f$	$g$
0	0	0	0	1	0	0	0
0	0	1	0	1	1	1	0
0	1	0	0	1	1	1	1
0	1	1	0	1	1	1	1
1	0	0	0	1	0	1	0
1	0	1	0	1	1	1	0
1	1	0	0	1	1	1	1
1	1	1	1	0	1	1	0

M'he wat amb les posicions i he acabat fent malament aquesta.

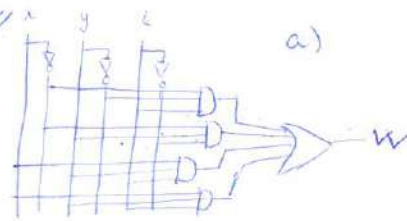


3.6. Expressa com a suma de minterms.

a)  $x!y + !xy = w$  b)  $x!y!z + xy!z + xyz = w$

3.7. Expressa com a suma [...]

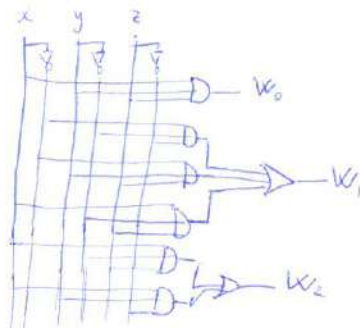
a)  $x!yz + !xy!z + !xyz + xyz = w$



b)  $w_2 = x!yz + xy!z$

$w_1 = !x!y!z + !xyz + x!yz$

$w_0 = xyz$

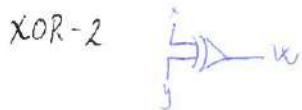


3.8. Emparelle els següents blocs [...]

Multiplexor  $2^m-1$ : Copia la sortida el valor de l'entrada que té número que codifiquen les entrades de control.

Descodificador  $m-2^n$ : Treu 1 per sortida que té número descodificant, resta 0.

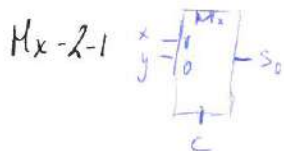
Porta XOR de n entrades: Treu 1 quan nombre de "1" en entrades es imparell.



x	y	w
0	0	0
0	1	1
1	0	1
1	1	0

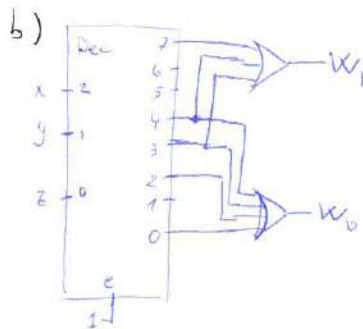
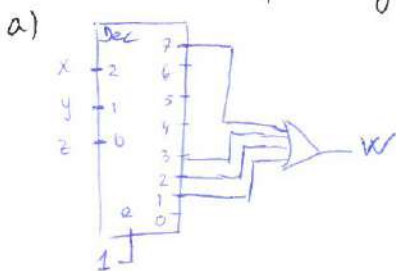


x	y	s0	s1
0	0	0	0
0	1	1	0
1	0	0	0
1	1	0	1



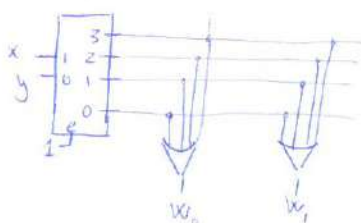
x	y	s0
0	0	0
0	0	0
0	1	0
0	1	0
1	0	0
1	0	0
1	1	1
1	1	1

3.9. Dibuixa l'esquema lògic [...]



3.10. Descriu funcionant ROM [...]

ROM és un conjunt de Decodificador i Matríu <sup>i porta OR</sup> que guarda dades organitzades en matriu.

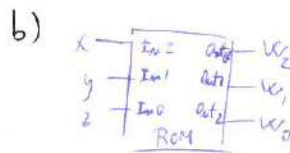
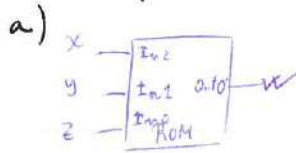


Només lectures

### 3.11. Quins mides [...]

$\left. \begin{matrix} n \text{ entrades} \\ k \text{ sortides} \end{matrix} \right\} \text{Mínim} \Rightarrow \left. \begin{matrix} 1 \text{ entrada} \\ 1 \text{ sortida} \end{matrix} \right\} \begin{matrix} 2 \text{ paraules} \\ 1 \text{ bit} \end{matrix} \Rightarrow \left. \begin{matrix} m \text{ entrades} \\ k \text{ sortides} \end{matrix} \right\} \begin{matrix} 2^m \text{ paraules} \\ k \text{ bits per paraula} \end{matrix}$

### 3.12. Implementa una ROM [...]



@	Out <sub>2</sub>	Out <sub>1</sub>	Out <sub>0</sub>
0	0	1	0
1	0	0	0
2	0	0	0
3	0	1	0
4	0	0	0
5	1	0	0
6	1	0	0
7	0	0	1

### 3.13. Llista axiomes Boole

Prop. commutativa  $\rightarrow a+b = b+a ; a \cdot b = b \cdot a$   
 Prop. associativa  $\rightarrow (a+b)+c = a+(b+c)$   
 Prop. distributiva  $\rightarrow a \cdot (c+b) = (a \cdot c) + (a \cdot b) ; a + (c \cdot b) = (a+c) \cdot (a+b)$   
 Elements neutres  $\rightarrow a+0 = a ; a \cdot 1 = a$   
 Complementaris  $\rightarrow a + \bar{a} = 1 ; a \cdot \bar{a} = 0$

Realment aquests no són els axiomes sinó propietats.

$x \cdot \bar{x} = 0 ; x \cdot x = x ; x \cdot 1 = x ; x \cdot 0 = 0 ; x+1 = 1 ; x+0 = x$  } Aquests sí són.

### 3.14. Demostre fent ús de la llista

a)  $x!yz + xy!z + xyz = xy + xz \rightarrow x!yz + xy!z + xyz = \textcircled{1}$

$$\begin{aligned}
 & \boxed{x(!yz + y!z + yz)} = x(z(!y+y) + y!z) = x(z(1+y!z)) = x(z+y!z) = \\
 & = x!yz + xy(!z+z) \textcircled{2} = x!yz + xy \textcircled{3} = x(!yz+y) = [\bar{y}z+y] \textcircled{4} = \bar{y}z + (y+yz) = \\
 & \textcircled{5} \bar{y}z + (yy+yz) \textcircled{6} = y\bar{y} + \bar{y}z + (yy+yz) \textcircled{7} = [\bar{y}(y+z)] + [y(y+z)] \textcircled{8} = (y+z) \cdot [\bar{y}+y] \textcircled{9} = \\
 & = (y+z) \cdot [1] \textcircled{10} = (y+z) \textcircled{11} = x(y+z) \textcircled{12} = xy+xz \text{ si és igual que emic}
 \end{aligned}$$

①③④⑤ Distributiva    ①  $A+AB = A(1+B) = A$     ③  $A \cdot \bar{A} = 0$   
 ②⑥  $A+\bar{A} = 1$     ②  $A \cdot A = A$     ④  $A \cdot 1 = A$

b)  $xy\bar{w} + \bar{x}w + \bar{x}\bar{z} + x\bar{y}\bar{z}\bar{w} = xy\bar{z}\bar{w} + \bar{z}$   
 $x\bar{w}(y+\bar{y}\bar{z}) + \bar{x}w + \bar{x}\bar{z} = x\bar{w}(y+\bar{z}) + \bar{x}w + \bar{x}\bar{z} = x\bar{w}y + x\bar{w}\bar{z} + \bar{x}w + \bar{x}\bar{z} = x\bar{w}y + \bar{z}(x\bar{w}+w) + \bar{x}\bar{z} =$   
 $= x\bar{w}y + \bar{z}(w+x) + \bar{x}\bar{z} = x\bar{w}y + \bar{z}w + \bar{z}x + \bar{x}\bar{z} = x\bar{w}y + \bar{z}w + \bar{z}(x+\bar{x}) = x\bar{w}y + \bar{z}w + \bar{z} =$   
 $= x\bar{w}y + \bar{z}(w+1) = x\bar{w}y + \bar{z} \text{ No és igual que emic.}$

⑦  $A+\bar{A}B = (A(1+B)) + \bar{A}B = (A+AB) + \bar{A}B = (AA+AB) + \bar{A}B = (AA+AB) + \bar{A}B + \bar{A}A = [A(A+B)] + [\bar{A}(A+B)] =$   
 $= (A+B)[A+\bar{A}] = (A+B)[1] = A+B$

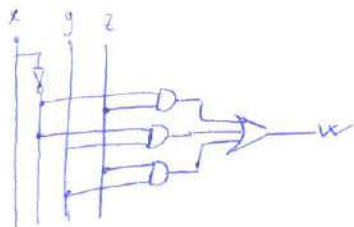


3.15) A partir de la següent taula [...]

x	y	z	w
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

$$w = \bar{x}\bar{y}z + \bar{x}y\bar{z} + \bar{x}yz + x y z = \bar{x}z(\bar{y}+y) + \bar{x}y\bar{z} + x y z = \bar{x}z + \bar{x}y\bar{z} + x y z = \bar{x}(z + y\bar{z}) + x y z = \bar{x}(z + y) + x y z = \bar{x}z + \bar{x}y + x y z = \bar{x}z + y(\bar{x} + xz) = \bar{x}z + y(\bar{x} + z) = \bar{x}z + \bar{x}y + yz$$

$$\textcircled{*} A + \bar{A}B = (A(1+B)) + \bar{A}B = (A+AB) + \bar{A}B = (A+\bar{A}B) + \bar{A}B = A\bar{A} + (A+\bar{A}B) + \bar{A}B = \bar{A}(A+B) + [A(A+B)] = (A+B)[\bar{A}+A] = A+B$$



x1 OR-3  
x3 AND-2  
x1 NOT } Total = 5 portes

3.16) Completa el cronograma [...]

3.17) Per cadascun, dels circuits [...]

a)

$$T_{a \rightarrow f} = T_{AND-2} + T_{OR-2} + T_{NOT} = 20 + 10 + 10 = 40 \mu t \quad T_{b \rightarrow f} = T_{AND-2} + T_{OR-2} + T_{NOT} = 40 \mu t$$

$$T_{c \rightarrow f} = T_{OR} + T_{NOT} = 20 \mu t \quad T_{a \rightarrow g} = T_{AND-2} = 30 \mu t \quad T_{b \rightarrow g} = N/A \quad T_{c \rightarrow g} = T_{XOR-2} = 30 \mu t$$

b)

$$T_{a \rightarrow f} = T_{XOR-2} + T_{OR} + T_{AND} = 30 + 30 + 20 = 80 \mu t \quad T_{b \rightarrow f} = 150 \mu t \quad T_{c \rightarrow f} = 180 \mu t \quad \nabla \text{ Fixar-se amb recepció més llarg.}$$

$$T_{a \rightarrow g} = 180 \mu t \quad T_{b \rightarrow g} = 150 \mu t \quad T_{c \rightarrow g} = 180 \mu t$$

c)

$$T_{a \rightarrow f} = T_{AND} + T_{OR} + T_{NOT} = 40 + 50 + 10 = 100 \mu t \quad T_{b \rightarrow f} = 100 \mu t \quad T_{c \rightarrow f} = 100 \mu t$$

$$T_{a \rightarrow g} = 90 \mu t \quad T_{b \rightarrow g} = 90 \mu t \quad T_{c \rightarrow g} = 90 \mu t \quad \nabla \nabla \text{ NO CORRIS}$$

d)

$$T_{a \rightarrow f} = T_{NOT} + T_{OR-2} + T_{AND} = 10 + 20 + 50 = 80 \mu t \quad T_{b \rightarrow f} = 10 + 20 + 50 = 80 \mu t \quad T_{c \rightarrow f} = 80 \mu t$$

$$T_{a \rightarrow g} = 70 \mu t \quad T_{b \rightarrow g} = 80 \mu t \quad T_{c \rightarrow g} = 80 \mu t$$

3.18) A partir Taula, fer Karnaugh.

x	y	z	w
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

	x	y	z
0	0	0	0
0	0	1	0
1	0	0	1
1	0	1	1
2	1	0	0
2	1	0	1
3	1	1	0
3	1	1	1

$$W = z + \bar{x}y$$