

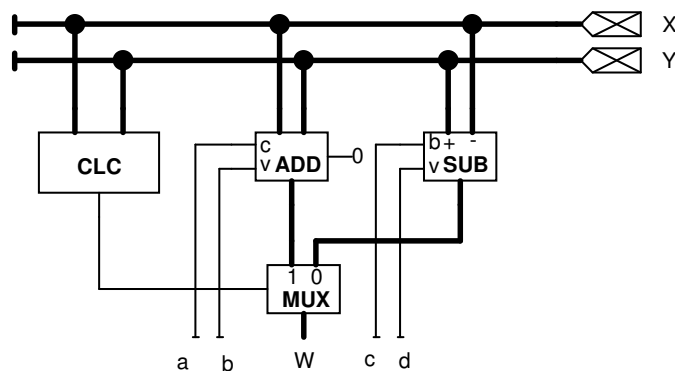
**E2****Exercici 1.** (0,25 punts)

Quin és el rang de valors representable en Ca2 i 7 bits?

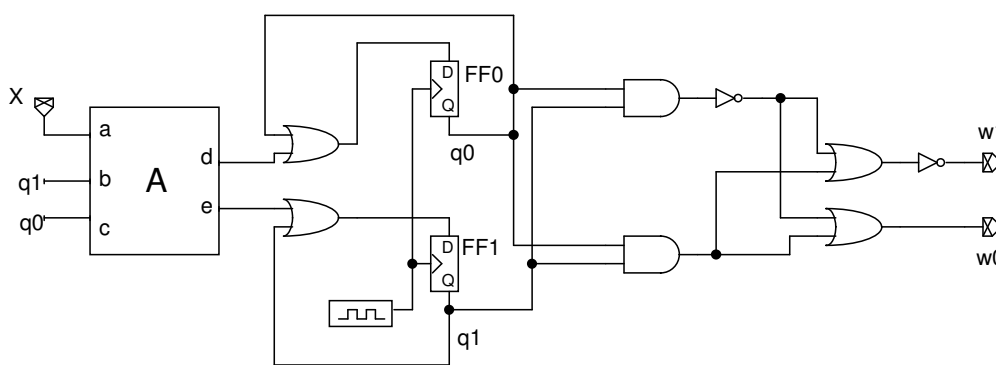
**Exercici 2.** (0,75 punts)

Donat el següent circuit CLC i els vectors de 8 bits d'entrada X i Y, compleu la següent taula.

X	Y	CLC	W	Wu	Ws	a	b	c	d
01110111	11111110	LTU ( $X_u < Y_u$ )							
11111110	00111010	EQ ( $X=Y$ )							
11111111	11010101	LT( $X_s < Y_s$ )							

**Exercici 3.** (1,5 punts)

Donat el següent circuit CLS especifiqueu un camí crític i el seu temps de propagació. Per identificar el camí, indiqueu el nom de cada senyal i bloc en l'ordre en que el camí es propaga pel circuit. Per cada bloc que el camí travessi indicar per quina entrada i sortida el camí passa. Calculeu el temps de cicle mínim tenint en compte els temps de propagació dels diferents elements del circuit.



$T_p A$	d	e
a	10	20
b	30	40
c	10	60

$T_{pFF0}=50ut$   
 $T_{pFF1}=50ut$   
 $T_{pAND}=20ut$   
 $T_{pOR}=20ut$   
 $T_{pNOT}=10ut$

Les entrades tarden 30ut en establitzar-se. Les sortides han d'estar estables 15ut abans no es produeixi el flanc ascendent del rellotge.

**Camí Crític:**

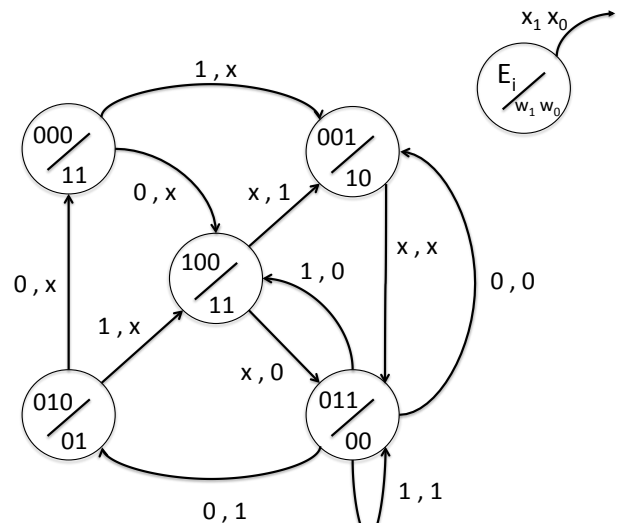
**$T_{cicle} =$**

**Exercici 4.** (2,5 punts)

Donat el següent graf d'estats que descriu el funcionament d'un CLS, es demana:

1. Ompliu la porcions corresponents als estats 011 i 100 de la taula de transicions. Especifiqueu la taula de sortides. (1 punt)

q2	q1	q0	w1	w0
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		



q2	q1	q0	x1	x0	q2 <sup>+</sup>	q1 <sup>+</sup>	q0 <sup>+</sup>
0	1	1	0	0			
0	1	1	0	1			
0	1	1	1	0			
0	1	1	1	1			
1	0	0	0	0			
1	0	0	0	1			
1	0	0	1	0			
1	0	0	1	1			

2. Ompliu el següent cronograma simplificat d'acord amb el comportament esperat pel CLS descrit en el graf d'estats. (0,5 punt)

Cicle	0	1	2	3	4	5	6	7	8
x <sub>1</sub> x <sub>0</sub>	00	10	01	11	00	10	01	00	11
q <sub>2</sub> q <sub>1</sub> q <sub>0</sub>	000								
w <sub>1</sub> w <sub>0</sub>									

3. Suposem ja feta una implementació del CLS segons el model de Moore i utilitzant una única ROM i un multiplexor de busos. Quants biestables son necessaris? Quantes paraules te la ROM i quants bits per paraula? Quant val k si el multiplexor de busos es un MUX-k-1? Quants bits te cada bus del multiplexor? (1 punt)

#Biestables	#Paraules ROM	#Bits/Paraula ROM	k	#Bits/Bus

**Exercici 5.** (1 punt)

Dir si són cert (C) o fals (F) les següents afirmacions sobre el protocol Handshaking en el cas on l'emissor inicia la comunicació.

- Per poder posar el senyal de Req a 1 el senyal d'Ack ha d'estar a 0
- És impossible que tant Ack com Req estiguin a 1 simultaneament
- És possible que Ack i Req estiguin a 0 simultàniament
- La dada ha d'estar estable al bus abans de posar el senyal de Req = 1
- Ack = 1 vol dir que la dada està estable a l'emissor
- El temps que Req=1 és sempre major que el temps que Ack està a 1
- Un cop Req val 1, llavors cal enviar la dada

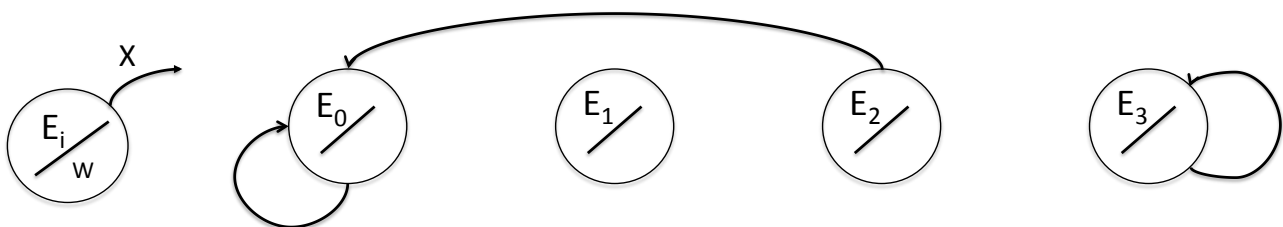
a	b	c	d	e	f	g

**Exercici 6.** (1,5 punts)

Volem implementar un CLS amb una entrada d'un bit X i una sortida d'un bit W. El circuit ha de calcular el valor de la sortida  $w(c) = !x(c-2)$  per  $c=0, 1, 2 \dots$  i amb  $x(-2)=0$   $x(-1)=0$ . La següent taula correspon a un cronograma simplificat del comportament del circuit :

Cicle	0	1	2	3	4	5
x	0	0	1	0	1	0
w	1	1	1	1	0	1

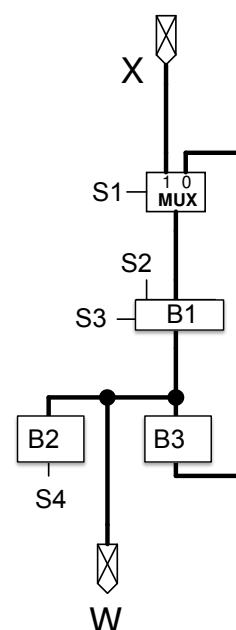
Completeu el següent graf d'estats



The diagram shows a rectangular block labeled "DEC". It has three input lines on the left: a top line labeled "X", a middle line labeled "Fi", and a bottom line labeled "W". The "Fi" line enters through a triangular buffer symbol. On the right side, there are two output lines: the top one labeled "Ini" and the bottom one labeled "Dec".

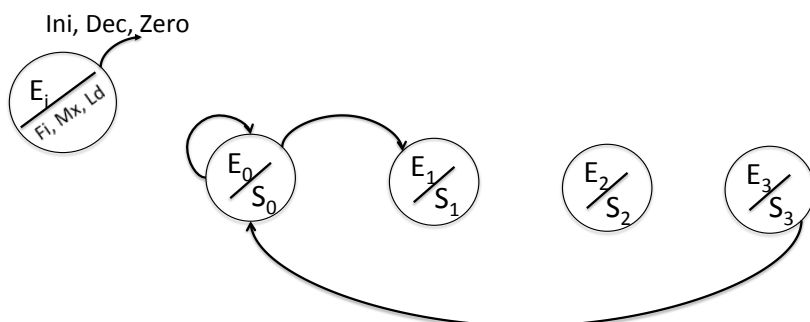
<b>Cicle</b>	0	1	2	3	4	5	6	7	8
<b>Ini Dec</b>	10	01	01	00	01	01	00	00	00
<b>X</b>	3	3	3	3	3	3	3	3	3
<b>W</b>		3	3	2	1	1	0	-1	3
<b>Fi</b>	0	0	0	0	0	0	0	1	0

<b>B1</b>	
<b>S1</b>	
<b>B2</b>	
<b>S2</b>	
<b>S3</b>	
<b>B3</b>	
<b>S4</b>	



**Senyals:** Mx, Ld, Clk, Zero **Blocs:** REG, REGwLd, Z, -1 (CLC que resta 1). Contestar en la següent taula. (0,5 punts)

b) Completeu el graf d'estats de la UC del circuit DEC.  
(1,5 punts)



Estat	Fi	Mx	Ld
$S_0$			
$S_1$			
$S_2$			
$S_3$			

c) Indiqueu quins senyals formen la paraula de control i quins la paral·la de condició. Quants biestables fan falta per implementar aquest circuit en el model de Moore ? (0,5 punts)

Paraula de Control	Paraula de Condió	#Biestables