

**E2****Exercici 1.** (0,25 punts)

Quin és el rang de valors representable en Ca2 i 7 bits?

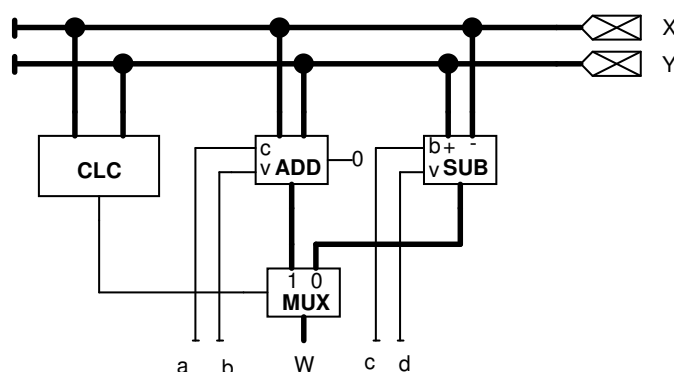
**[-64, 63] o  $[-2^6, 2^6-1]$**

**Criteri: Binari (Bé o malament)**

**Exercici 2.** (0,75 punts)

Donat el següent circuit CLC i els vectors de 8 bits d'entrada X i Y, completeu la següent taula.

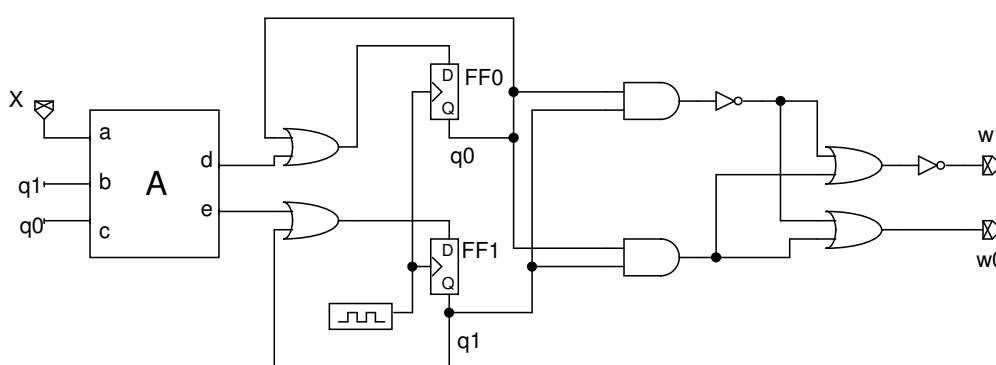
X	Y	CLC	W	Wu	Ws	a	b	c	d
01110111	11111110	LTU ( $X_u < Y_u$ )	01110101	117	117	1	0	0	0
11111110	00111010	EQ ( $X=Y$ )	00111100	60	60	1	0	1	0
11111111	11010101	LT( $X_s < Y_s$ )	11010110	214	-42	1	0	1	0



**Criteri: Cada fila amb algun error resta 0,25.**

**Exercici 3.** (1,5 punts)

Donat el següent circuit CLS especifiqueu un camí crític i el seu temps de propagació. Per identificar el camí, indiqueu el nom de cada senyal i bloc en l'ordre en que el camí es propaga pel circuit. Per cada bloc que el camí travessi indicar per quina entrada i sortida el camí passa. Calculeu el temps de cicle mínim tenint en compte els temps de propagació dels diferents elements del circuit.



$T_p A$	d	e
<b>a</b>	10	20
<b>b</b>	30	40
<b>c</b>	10	60

$T_{pFF0}=50\text{ut}$   
 $T_{pFF1}=50\text{ut}$   
 $T_{pAND}=20\text{ut}$   
 $T_{pOR}=20\text{ut}$   
 $T_{pNOT}=10\text{ut}$

Les entrades tarden 30ut en establitzar-se. Les sortides han d'estar estables 15ut abans no es produeixi el flanc ascendent del rellotge.

**Camí Crític: FF0 – A<sub>c-e</sub> – OR – FF1       $T_{\text{cicle}} = 130\text{ut} (50\text{ut} + 60\text{ut} + 20\text{ut})$**

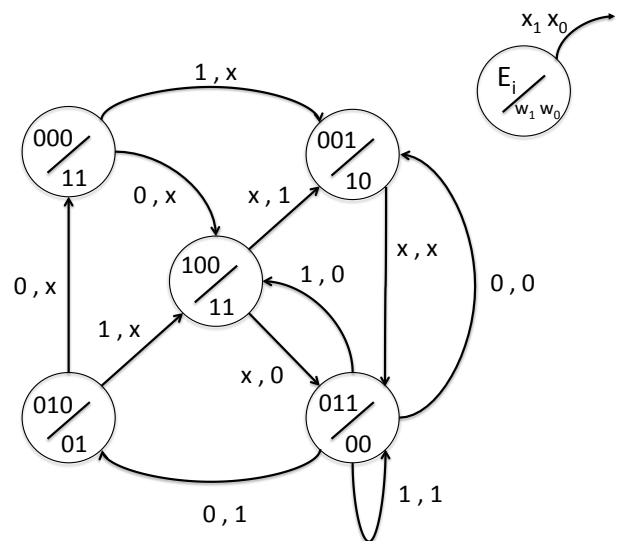
**Criteri: Camí crític 1 punt (binari), Temps de cicle 0,5 (binari, sempre i quan el camí crític sigui correcte)**

**Exercici 4.** (2,5 punts)

Donat el següent graf d'estats que descriu el funcionament d'un CLS, es demana:

1. Ompliu la porcions corresponents als estats 011 i 100 de la taula de transicions. Especifiqueu la taula de sortides. (1 punt)

q2	q1	q0	w1	w0
0	0	0	1	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	0
1	0	0	1	1
1	0	1	x	x
1	1	0	x	x
1	1	1	x	x



q2	q1	q0	x1	x0	q2 <sup>+</sup>	q1 <sup>+</sup>	q0 <sup>+</sup>
0	1	1	0	0	0	0	1
0	1	1	0	1	0	1	0
0	1	1	1	0	1	0	0
0	1	1	1	1	0	1	1
1	0	0	0	0	0	1	1
1	0	0	0	1	0	0	1
1	0	0	1	0	0	1	1
1	0	0	1	1	0	0	1

**Criteri: Cada fila amb error resta 0,5. Dos o mes files amb errors, un zero.**

2. Ompliu el següent cronograma simplificat d'acord amb el comportament esperat pel CLS descrit en el graf d'estats. (0,5 punt)

**Criteri: Cada error resta 0,25. Dos o mes errors, un zero.**

Cicle	0	1	2	3	4	5	6	7	8
$x_1 x_0$	00	10	01	11	00	10	01	00	11
$q_2 q_1 q_0$	000	100	011	010	100	011	100	001	011
$w_1 w_0$	11	11	00	01	11	00	11	10	00

3. Suposem ja feta una implementació del CLS segons el model de Moore i utilitzant una única ROM i un multiplexor de busos. Quants biestables son necessaris? Quantes paraules te la ROM i quants bits per paraula? Quant val k si el multiplexor de busos es un MUX-k-1? Quants bits te cada bus del multiplexor? (1 punt)

**Criteri: Cada error resta 0,25. Quatre o mes errors, un zero.**

#Biestables	#Paraules ROM	#Bits/Paraula ROM	k	#Bits/Bus
-------------	---------------	-------------------	---	-----------

<b>3</b>	<b>8</b>	<b>14</b>	<b>4</b>	<b>3</b>
----------	----------	-----------	----------	----------

**Exercici 5.** (1 punt)

Dir si són cert (C) o fals (F) les següents afirmacions sobre el protocol Handshaking en el cas on l'emissor inicia la comunicació.

- Per poder posar el senyal de Req a 1 el senyal d'Ack ha d'estar a 0
- És impossible que tant Ack com Req estiguin a 1 simultaneament
- És possible que Ack i Req estiguin a 0 simultàniament
- La dada ha d'estar estable al bus abans de posar el senyal de Req = 1
- Ack = 1 vol dir que la dada està estable a l'emissor
- El temps que Req=1 és sempre major que el temps que Ack està a 1
- Un cop Req val 1, llavors cal enviar la dada

<b>a</b>	<b>b</b>	<b>c</b>	<b>d</b>	<b>e</b>	<b>f</b>	<b>g</b>
C	F	C	C	F	F	F

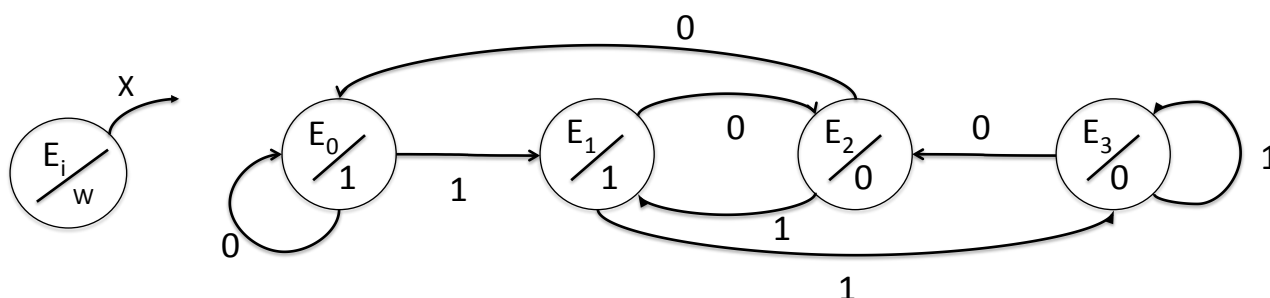
**Criteri: Cada error o casella en blanc resta 0,5. Dos o més errors, un zero.**

**Exercici 6.** (1,5 punts)

Volem implementar un CLS amb una entrada d'un bit X i una sortida d'un bit W. El circuit ha de calcular el valor de la sortida  $w(c) = !x(c-2)$  per  $c=0, 1, 2 \dots$  i amb  $x(-2)=0$   $x(-1)=0$ . La següent taula correspon a un cronograma simplificat del comportament del circuit :

Cicle	0	1	2	3	4	5
x	0	0	1	0	1	0
w	1	1	1	1	0	1

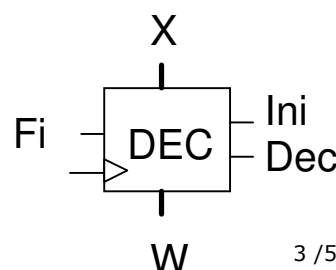
Completeu el següent graf d'estats



**Criteri: Cada node erroni resta 0,5. Un node es erroni si: falta aresta o aresta inexistent, error en etiqueta en aresta, error en sortida. Tres o mes errors, un zero.**

**Exercici 7.** (2,5 punts)

Volem dissenyar un PPE que implementi un *decrementador* (bloc DEC). Es tracta d'un circuit com el de la figura. Els senyals d'entrada son *Ini* i *Dec*, i un bus de dades de n bits X. Els senyals de sortida son *Fi* i un bus de dades W de n bits. Sigui c el cicle on  $Ini(c)=1$ , llavors el valor en X es mostrarà pel bus de dades W en el cicle següent:  $W(c+1)=X(c)$ . Quan en algun cicle posterior

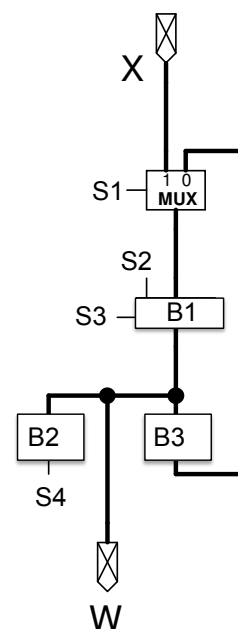


$\text{Dec}(c+k)=1$ , llavors  $W(c+k+2)=W(c+k+1)-1$ , altrament  $W(c+k+2)=W(c+k+1)$ . Si en el cicle  $m$  la sortida  $W(m)=0$ , llavors el circuit activa el senyal  $Fi$  en el següent cicle  $m+1$ :  $Fi(m+1)=1$ . El PPE ignora el senyal  $Ini$  des del cicle  $c+1$  fins el cicle  $m$  ( $c < m$ ). El PPE ignora el senyal  $Dec$  en el cicle  $c$  i en el cicle  $m+1$  ( $c < m$ ). Es a dir, el PPE ignora  $Dec$  en els cicles on no ignora  $Ini$  i viceversa.

El següent cronograma simplificat mostra el comportament del bloc DEC.

Cicle	0	1	2	3	4	5	6	7	8
Ini Dec	10	01	01	00	01	01	00	00	00
X	3	3	3	3	3	3	3	3	3
W		3	3	2	1	1	0	-1	-1
Fi	0	0	0	0	0	0	0	1	0

B1	REGwLd
S1	Mx
B2	Z
S2	Ld
S3	Clk
B3	-1
S4	Zero



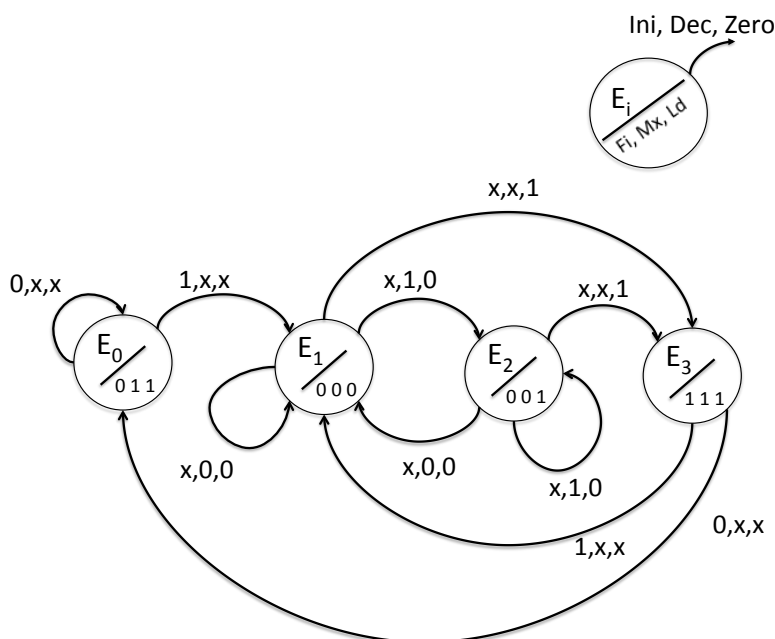
Es demana:

a) Donat el següent esquema del circuit, identifiqueu cada senyal i bloc del circuit.

**Senyals:** Mx, Ld, Clk, Zero **Blocs:** REG, REGwLd, Z, -1 (CLC que resta 1). Contestar en la següent taula. (0,5 punts)

**Criteri:** Cada error o casella en blanc resta 0,25.

b) Completeu el graf d'estats de la UC del circuit DEC. (1,5 punts)



Estat	Fi	Mx	Ld
S <sub>0</sub>	0	1	1
S <sub>1</sub>	0	x	0
S <sub>2</sub>	0	0	1
S <sub>3</sub>	1	1	1

**Criteri:**

**0,5 punts:** Tractament correcte del senyal  $Ini$ : detecció i carrega del registre amb la  $X$  d'entrada ( $Mx=1$  i  $Ld=1$ ).

**0,5 punts:** Si detecten correctament el  $Dec$  i a partir d'aquesta detecció donen l'ordre correcta de decrementar el registre ( $Mx=0$ ,  $Ld=1$ ). Transicions entre estats  $E1$  i  $E2$  correctes.

**0,5 punts:** Tractament correcte del senyal  $z$ , transicions a  $E3$  i sortides d' $E3$  correctes. Si  $z=1$  transicio a estat amb  $Fi=1$  (si també carreguen el nou  $X$  ( $Ld=1$ ) millor però no ho exigim, s'accepta transició a  $E0$  per qualsevol valor d' $Ini$ ).

c) Indiqueu quins senyals formen la paraula de control i quins la paraula de condició. Quants biestables fan falta per implementar aquest circuit en el model de Moore ? (0,5 punts)

**Criteri: Cada error o casella en blanc resta 0,25. Dos a mes errors, un zero.**

Paraula de Control	Paraula de Condició	#Biestables
<b>Mx, Ld</b>	<b>Zero</b>	<b>2</b>