

Examen Final (1ª parte)

- Duración del examen: 2 hora y 30 minutos.
- La solución se tiene que escribir en el espacio reservado para ello en el propio enunciado.
- No podéis utilizar calculadora, móvil, apuntes, etc.
- La solución del examen se publicará en el Racó de la FIB y en Atenea mañana.

Nota: La indicación de la puntuación de los ejercicios es sobre 10 puntos, pero esta parte del examen final solo representa 6 puntos de la nota del examen final.

Ejercicio 1 (1,2 puntos)

Cada fila de la tabla tiene 4 columnas con: el vector X de 8 bits, X expresado en hexadecimal, el valor en decimal, Xu, que representa X interpretado como un número natural codificado en binario, y el valor en decimal, Xs, que representa X interpretado como un número entero codificado en binario en Ca2. Completa todas las casillas vacías.

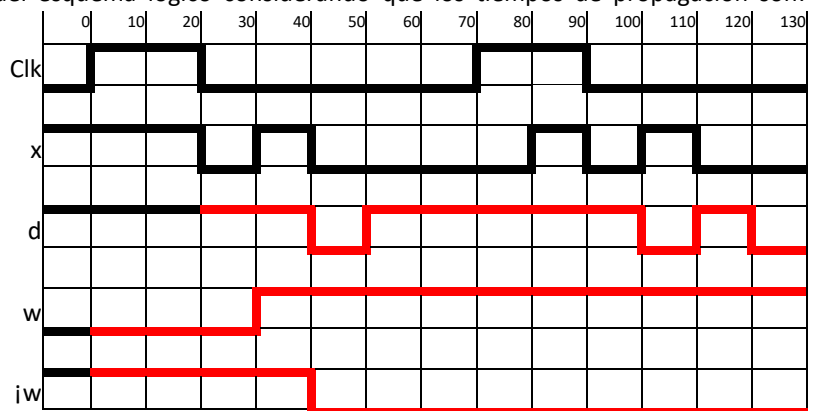
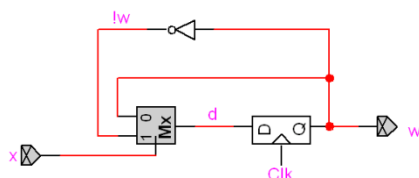
(Criterio de corrección: -0,1 por cada valor incorrecta)

X	X (hexa)	Xu	Xs
01011010	0x5A	90	90
11100011	0xE3	227	-29
10100111	0xA7	167	-89
00111000	0x38	56	56

Ejercicio 2 (0,6 puntos)

Completad el siguiente cronograma de las señales del esquema lógico considerando que los tiempos de propagación son: Tp(Not)=10u.t., Tp(Mx)=20.t., Tp(biastable)=30.t.

(Criterio de corrección: -0,2 por cada señal incorrecta)

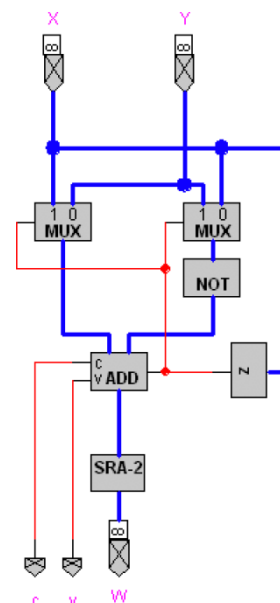


Ejercicio 3 (0,75 puntos)

Dado el siguiente circuito combinacional, los valores de los vectores de 8 bits de entrada X e Y, rellena la tabla indicando el valor de las señales de salida c, v, el valor del vector de 8 bits de la salida W para cada combinación de valores de entrada (cada fila de la tabla). También tenéis que escribir el valor que representa W interpretado como un número natural codificado en binario (W_u) y el valor que representa W interpretado como un número entero codificado en complemento a dos (W_s). No os descuidéis de la señal de entrada carry del sumador.

(Criterio de corrección 0,25 cada fila. Binaria)

X	Y	c	v	W	W_u	W_s
11111111	00011111	0	0	<u>0000 0111</u>	7	7
00000000	10000000	0	1	<u>1110 0000</u>	224	-32
10001000	00010001	0	1	<u>1110 0010</u>	226	-30

**Ejercicio 4** (0,45 puntos)

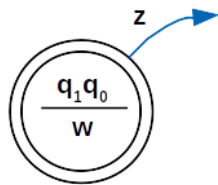
¿Cuántos bits se necesitan, como mínimo, para representar los siguientes números enteros en complemento a dos (Ca2)? (0.15 puntos)

(Criterio de corrección 0,25 cada fila. Binaria)

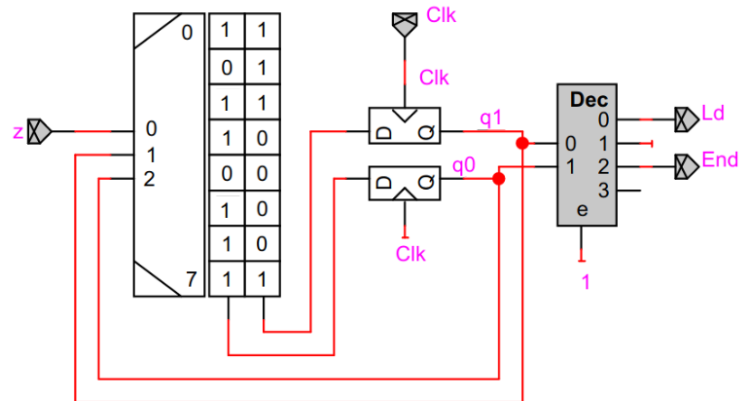
X_s	# Bits
-17	6
25	6
-3	3

Ejercicio 5 (2 puntos)

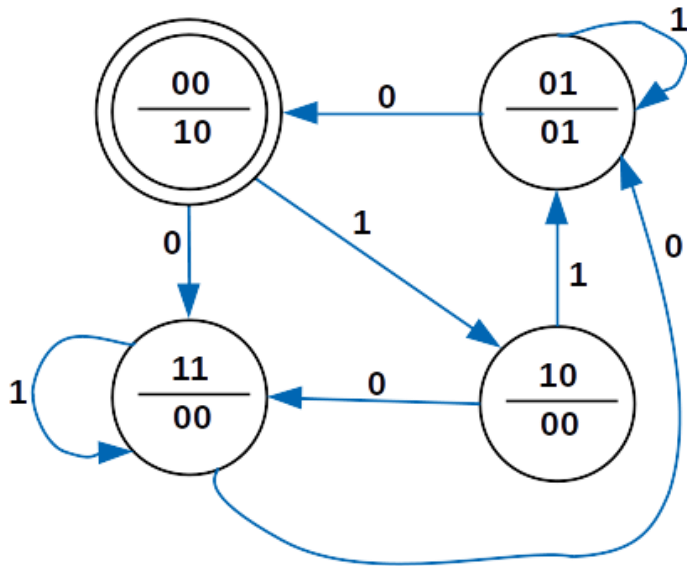
A partir del siguiente CLS y leyenda de grafo:



$w = Ld, End$



a) Dibujar el grafo de estados. Considera que los biestables se inicializan a 0. (0,75 puntos)



Criterio de corrección: 0 nodos incorrectos: 0,75 puntos

1 nodo incorrecto: 0,5 punto

2 nodos incorrectos: 0.25 puntos

3 o más nodos incorrectos: 0 puntos

b) Completad el cronograma simplificado (0,75 puntos)

Estado	00	10	11	01	01	00	11	11	01	00	10
z	1	0	0	1	0	0	1	0	0	1	0
w	10	00	00	01	01	10	00	00	01	10	00

Criterio de corrección: 0 si hay algún bit incorrecto. Binario

c) Si cambiamos la implementación del CLS según el modelo de Moore y utilizamos una única ROM y un multiplexor de buses. ¿Cuántos biestables son necesarios? ¿Cuántas palabras tiene la ROM y cuántos bits por palabra? ¿Cuánto vale E si el multiplexor de buses es un MUX-E-1? ¿Cuántos bits de anchura tiene cada bus del multiplexor de buses? (0,5 puntos)

Criterio de corrección: 0 si hay algún valor incorrecto. Binario

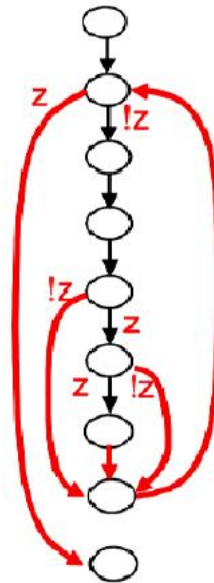
# Biestables	# Palabras ROM	# Bits por/ Palabra ROM	E	# Bits/Bus
2	4	6	2	2

Ejercicio 6 (1,5 puntos)

Completa (arcos, etiquetas y mnemotécnicos) el fragmento de grafo de estados de la UCE para que, juntamente con la UPG, implementen el fragmento de código indicado. Los datos son de tipo natural.

```
for (R1 = 0; R1 < 64; R1++) {
    R2 = R2/4 + R3;
    if ((R4 > R5) && (R1 != 0))
        R4 = R4 xor R5;
}
R2 = R2 - R3
```

Criterio de corrección: -0.2 puntos por cada nodo incorrecto. Un nodo es erróneo si falta alguno de los arcos que salen de él, si alguna etiqueta es incorrecta o los destinos de alguno de sus arcos es incorrecto. También es incorrecto un nodo si la salida especificada mediante mnemotécnicos (operación, registros o valor inmediato) es incorrecta. Hacemos una excepción a esta regla: Si falta la I se descuenta 0.1 por ese nodo si sólo tiene ese fallo. Si falta la U en varios nodos solos se descuenta una vez.



MOVEI	R1, 0
CMP	LTUI -, R1, 64
S	HLL R2, R2, -2
ADD	R2, R2, R3
CMP	LEU -, R4, R5
CMP	EQI -, R1, 0
XOR	R4, R4, R5
ADDI	R1, R1, 1
SUB	R2, R2, R3

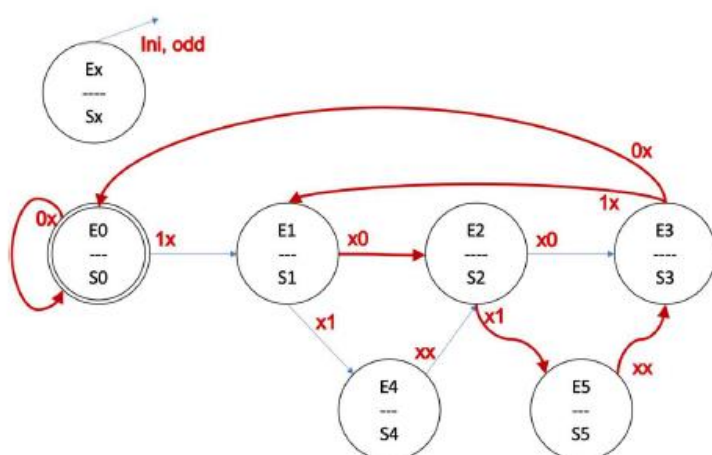
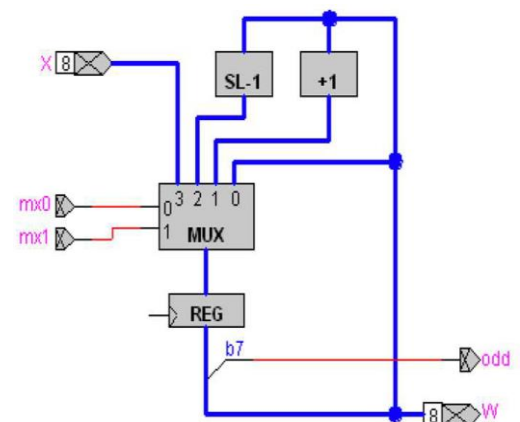
Ejercicio 7 (1,5 puntos)

Implementa un PPE que encripte una entrada de 8 bits que llega por el bus X en el mismo ciclo que se activa la señal **ini**=1. La encriptación es muy simple, y rotará dos bits hacia la izquierda, es decir, si la entrada es $b_7b_6b_5b_4b_3b_2b_1b_0$ la salida W será $b_5b_4b_3b_2b_1b_0b_7b_6$. Un ejemplo numérico: si $X=10001010$ entonces W debería ser 00101010.

Una vez tengamos la salida disponible en el bus W, la señal de **fi**=1.

Durante la encriptación de una palabra se ignorará la señal **ini**, pero sí se tendrá en cuenta en el ciclo en que **fi** valga 1.

Completad el grafo de la UC que implemente este circuito utilizando la siguiente UP, así como la tabla correspondiente a las salidas de cada nodo.



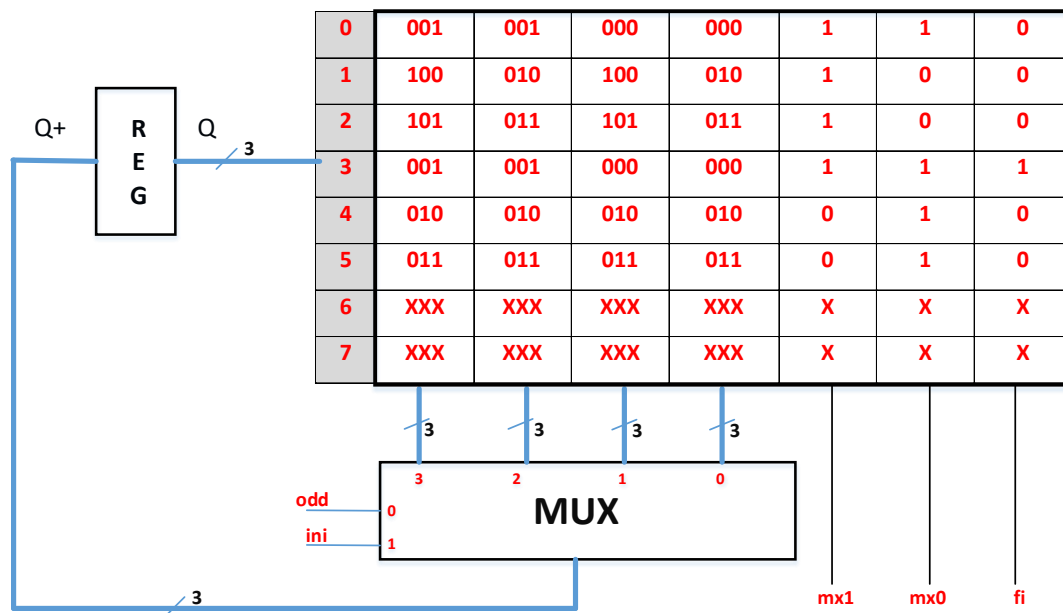
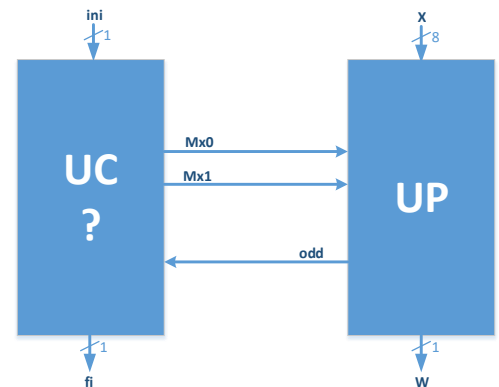
	Mx1	Mx0	fi
S0	1	1	0
S1	1	0	0
S2	1	0	0
S3	1	1	1
S4	0	1	0
S5	0	1	0

Criterio de corrección: -0,3 por cada estado incorrecto ya sea por las salidas o por las transiciones que de él salen

Ejercicio 8 (1,5 puntos)

Implementa la Unidad de Control (UC) para el PPE del ejercicio 7. La UC ha de estar basada en una ROM y un MUX de buses. La ROM ha de incluir el contenido (datos) que se encuentra almacenado en ella, para cada una de las posiciones que se puedan direccionar.

Criterio de corrección: -0.15 por cada valor erróneo en una posición de memoria. Binario en caso de error en la estructura de la UC.

**Ejercicio 9 (0,5 puntos)**

Calcula el camino crítico (si hay más de uno, basta con uno) y el tiempo mínimo de ciclo del PPE de los Ejercicios 7 y 8. Asume los siguientes tiempos de propagación:

$T_p(\text{ADD})=600\text{u.t.}$, $T_p(\text{MUX})=50\text{u.t.}$ (cualquier multiplexor de cualquier medida), $T_p(\text{SHL-1}) = 0\text{u.t.}$, $T_p(\text{Reg})=100\text{u.t.}$,

$T_p(\text{ROM})=90\text{u.t.}$. Todas las entradas necesitan 120u.t. para estabilizarse y las salidas deben estar 50u.t. estables antes del final del ciclo.

Caminos críticos: **Registro – Incrementador (ADD) – Multiplexor (– Registro)**

Tiempo mínimo de ciclo: **$100 + 600 + 50 = 750\text{ ut}$**

Criterio de corrección: 0,25 si el camino crítico es correcto. 0,25 si el tiempo de ciclo es correcto (sólo si el camino crítico era correcto)