INTERRUPCIONS

El PICIE et molt mé vàpid que I/O. No pot perdre temps esperant si ha rebut doda.

- · Blind Cycle = Sabem que es vepeteix code X temps. Comprovem quan sigui moment.
- · Burry Waiting = Nomes mirem l'estat.
- · Interrupció = Es fa is de HIX per causar una execuió especial. # Tempo resposta essenial
- · DMA = Tranf. de dades en teyn real Dispo. → Mem. seuse passar CPU. # Laternia importa

Interapió

Mentre executa codi principal, si hi ha interrupció que mosaltres haguem configurat,

Saltem a une rutine (ISR) especial per trautar event. Posteriorment retorne on entavem.

Son asincromes respecte les instruccions. Quan avriben, primer acaba l'int si maitat

Les excepcions / traps si que sincromer i eston bligader a instruccions.

Reset Service Boutine: Situalo 0x00000. Resetya registres, biertables, ...

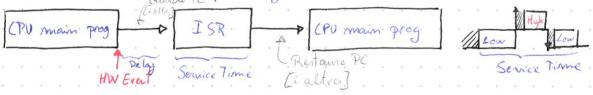
Reset. Regista indica motive de veset.

No es une ISR.

Per défeite PIC 18 guarde PC per vetornair post-ISR "vetfie" d'une ISR i vertaire PC

Es le mostre obligació guarda registres si en de baixa prioritat. Després del codi ISR + Guarde

Si er d'alta Prioritat, per defecte en guarden "STATUS, WREG. BSR" i retfie FAST restaure



- · GIE = Global Interrupt Enable. Prester (1) o no (0) atenio a la interrupcions. L& GIEH = Nomes High ; GIEL = Nomes Low
- * xxx IF = Interrupt Flag. Din si hi ho flag pendent. \ Revisar Form per Saber

 * xxx IP = Interrupt Priority Co. o = Low. INTLON x
- * xxx I E = Interryt Enable. (1) Si (0) No
- · PEIE = Peripheral int. Emable
- · IPEN = Interrupt Priority Enable to High (0)
- · INT EDGX = Selectionan flanc ascendent o mo tigh (4)

Resum

	-		
Priorit	ats	(ore?	Que Activo?
		SI	xxx IE = 1. GIE = 1.
No		NO	xxx I.E =1. GIE = 1.
	HIGH		PEIE = 1 xxx IE = 1 IPEN = 1 xxx IP = 1 GIEH = 1
SI	M07		xxx IE = 1 IPEN = 1 xxx IP = 0 GEL H = 1 GEI L = 1

High ISR (0x00008)

```
Void interrupt FUNCTION (void)?

if (xxx IE & d xxx IF)?

{

Low ISR (0x00018)

IMPO

interrupt (low-priority) FUNCTION (void)?

if (xxx IE & & xxx IF)?

{

{
```

Fixem-se que pot tardar 3-4 cicles d'instrucció de latérnia