

CIRCUITS LÒGICS SEQUENCIALS (a)

En CLC, sortida només depèn de la entrada. (Història pràcticament no influeix).

Els CLS estan formats per CLCs i Biestables.

Relloctge

Terminem un senyal clock periòdic (clock driven) que subdivideix el temps.

Marcar punts de sincronització per calcular algo.

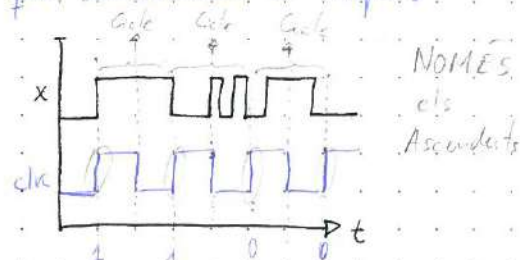
Es poden definir els punts de sincronització:

0 $\xrightarrow{1}$ Flanc Ascendent 1 $\xrightarrow{0}$ Flanc Descendent

En IC només Ascendent

El "temps" que està en cada posició no és el mateix (simetria) $\left(\begin{array}{c} \text{1} \\ \text{0} \end{array} \right)$

⚠ NOMBRES importants el valor del senyal en els punts de sincronització. Els altres canvis no.



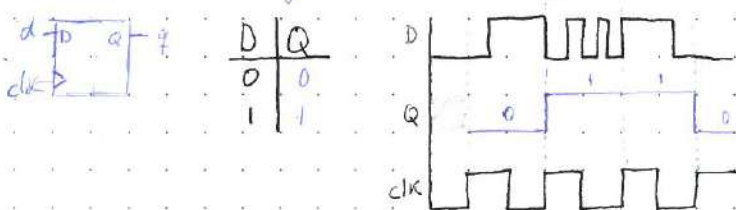
Biestable D

Component que permet emmagatzemar informació (1 bit). S'ha de guardar 12.2% increment 12.2% Biestables

Estat del CLS: Info. saved in Biestable; K biestables $\rightarrow K$ bits estat $\rightarrow 2^K$ estats diferents.

2 senyals entrada: D i CLK; 1 senyal sortida: Q. # Pot tenir valor inicial dif.

Quan hi ha un flanc Ascendent, replica el valor de D a Q durant 1 cicle.



Com que és Real, aquest component també té T_P.

Exemple Veure seq. "011"

a) "No hem vist res" \rightarrow '0'

b) "Hem vist un '0'" \rightarrow '0'

c) "Hem vist un '1'" \rightarrow '0'

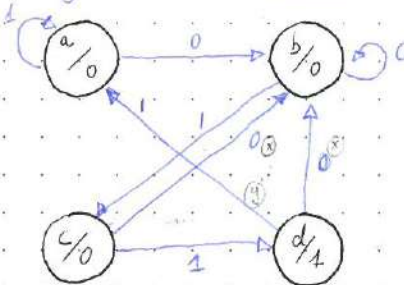
d) "Hem vist un '1'" \rightarrow '1'

Etapes o Estats Valors

Si veiem un res \rightarrow veiem 1 \rightarrow no hem vist res però no comença amb la seq.

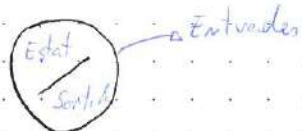
Si veiem 25 '0' no importa, encara no comencem. Només ens interessa CLS Hem vist (La resta 24 no operem res)

Graf d'estats d'un CLS



⊗ Si veiem un '0', no fa falta començar de nou tot, pots anar directe a b)

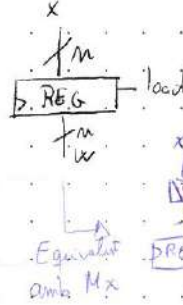
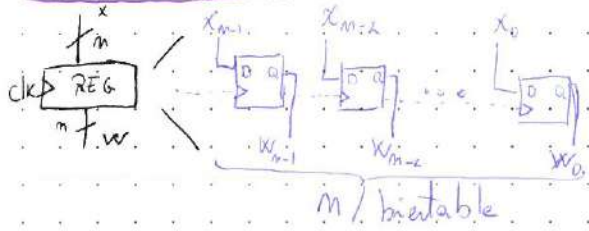
⊙ Si veiem un '1' després de completar seq. com que aquí no comença amb '1', seq. que no hem vist res.



⚠ MOLT IMPORTANT det. correlatant els estats.

CLS (b)

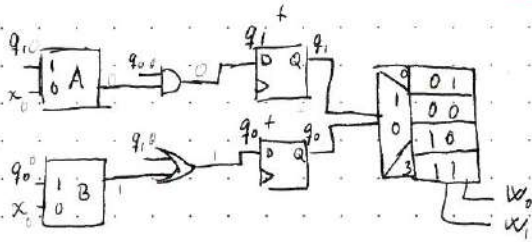
Circuit Registre



El load és com un enable.
Si és '0', aguantarà el bit fins al següent load = '1'.



CLS (c)



$x_1 x_0$	A
0 0	0
0 1	0
1 0	1
1 1	1

$x_1 x_0$	B
0 0	1
0 1	1
1 0	0
1 1	0

Anàlisi Lògica

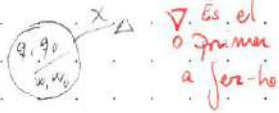
Que està calculant el CLS?

Com opera? \rightarrow Estat, transicions...

\Rightarrow Obtenir la TV de les funcions H i G \Rightarrow Graf d'Estat CLS

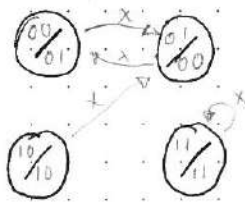
Moore o Mealy? Està en Moore; Entrada: x ; Sortida: w_0, w_1 ; Sortida de IN.

bits d'estat? 2 {0,1} Ubers = 2 Bitable; Com a molt hi ha 4 estats.



Em aguant
cas mirant
la ROM i la copiem

$q_1 q_0$	$w_1 w_0$
0 0	0 1
0 1	0 0
1 0	1 0
1 1	1 1



$q_1 q_0 x$	$q_1 + q_0 +$
0 0 0	0 1
0 0 1	0 1
0 1 0	0 0
0 1 1	0 0
1 0 0	0 1
1 0 1	0 1
1 1 0	1 1
1 1 1	1 1

Anàlisi Temporal

Calcular el temps de ciclo que pot calcular el CLS. El T_{cicle} no pot ser infinitament petit.

La paraula "mínim" \rightarrow El circuit opera a màxima velocitat.

Per tal que CLS funcioni correctament cal que qualsevol càlcul pugui acabar en el T_{cicle} .

Abans que arribi el següent punt de sincronització s'han d'efectuar tots els càlculs.

Tipus de càlculs: - Entrada \rightarrow Bitable

- Bitable \rightarrow Bitable

- Bitable \rightarrow Sortida

D'aquí
aça fem
el que
fa Temps

Clacant
primer càlcul
el camí crític
de les 3 categories

$\Delta T_{cicle} > MAX$

a) Entrada → Bicatable ; $x_1 \rightarrow A \rightarrow \text{AND} \rightarrow q_1^+$ $30 + 40 + 20 = 90 \mu\text{s}$ # de munt som a mínim és 90 μt.
 $x_0 \rightarrow B \rightarrow \text{OR} \rightarrow q_0^+$ $30 + 30 + 20 = 80 \mu\text{s}$ # de munt som a mínim és 90 μt.

Les entrades, com que són físiques, també requereixen un temps d'establiment t_{stab} i llavors

segueix en ve donat quin és el t_{stab} de les entrades. Així és aquest el MAX

b) Bicatable → Bicatable ; $q_1 \rightarrow A \rightarrow \text{AND} \rightarrow q_1^+$ $50 + 40 + 20 = 110 \mu\text{s}$ $50 + 20 = 70 \mu\text{s}$
 $q_0 \rightarrow B \rightarrow \text{OR} \rightarrow q_0^+$ $50 + 30 + 30 = 110 \mu\text{s}$ $q_0 \rightarrow \text{AND} \rightarrow q_0^+$

⚠ Els nívols que sumen Bicatable són els que inicien en Bicatable.

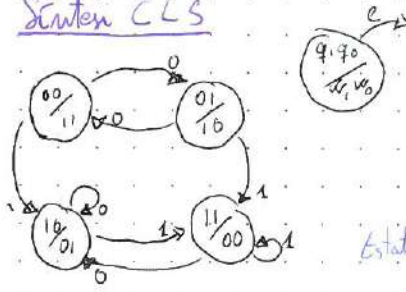
⚠ No sumen Bicatable on arriben

c) Bicatable → Sortida ; $q_1 \rightarrow \text{ROM} \rightarrow w_1$ $50 + 100 + 30 = 180 \mu\text{s}$ # de munt agut és el MAX
 $q_0 \rightarrow \text{ROM} \rightarrow w_0$ $50 + 100 + 30 = 180 \mu\text{s}$ # de munt agut és el MAX

⚠ Aquí també hi ha temps d'establiment. Señal sortida.

⚠ Els camins crítics són aquells que equen al Tacle (Pot ser 1 o varios i s'han d'acurats).

Scriten CLS



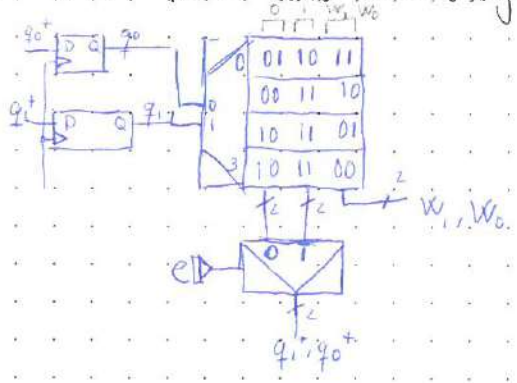
Preliminars

"Tiro de bits que descomen tota l'info. rellevant d'un estat." Són ides, transicions.

Estat "01" = $\frac{0}{00} \frac{1}{11} \frac{w_1 w_0}{10}$ "Tiro de bits que ressumen l'estat."

1) N° Bicatable: Té 2 Bicatable. ($\log_2(4) = 2$)

2) Construir ROM amb tota l'informació de l'estat.



6.1. Def. CLS. Def. del CLS de Moore

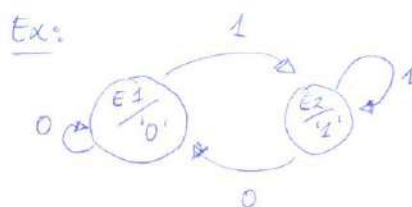
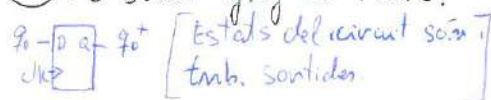
Sortides no depèn exclusivament dels valors d'Entrada. Circuit capaç de tenir un històric i modificar sortida de manera corresponent.

En cas de CLS de Moore, sortides menys depèn de l'estat del circuit.

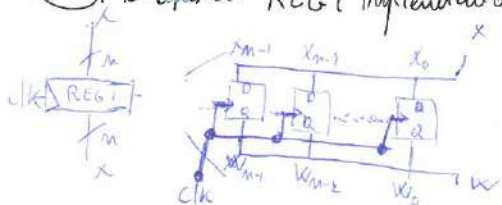
6.2. Exemple de CLS

Un circuit que necessiti trobar una seqüència específica de bits.

6.3. Dibuixa graf de Moore.



6.5. Dibuixa REG i implementació.



6.6.

- NO és un CLS, és un CLC que es retroalimenta.
- Si és CLS corrent (Moore)
- Si és CLS corrent (Moore)
- Si és CLS corrent (Mealy)

6.7. Digueu afirmació certa.

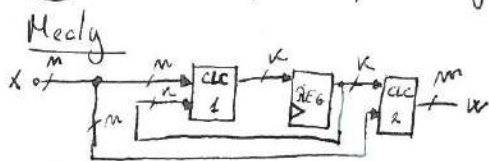
El contingut de la REG és important per a saber com dibuixar el graf d'estats.

(Exemple de que si entre 00 i sort 01 de la REG) Així ja seria un estat. C) NO es pot saber.

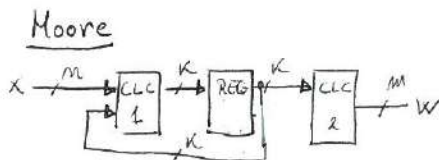
6.8. Condició ha de complir cycle del seyal per funcionar correctament.

Donat que en un CLC real els components tenen T_p , El temps de cycle del CLK ha de ser més gran que aquest retard (Comptant el camí crític) pg. hi hagi temps suficient per a establir la seyal i que no hi hagi comportaments incorrectes.

6.9. Dibuixa esquema per Mealy i Moore (General). $\underline{n} = IN, \underline{k} = REG, \underline{m} = OUT$

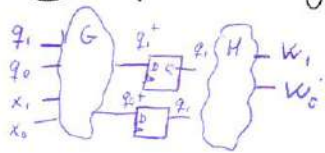


Mealy era aquell circuit on sortida també depèn de valors d'entrada. Per això veiem que al CLC 2, hi ha connectat directament l'entrada. RECORDA que REG ho d'una als dos CLCs pg afecta el seu valor (no és un simple connector).



En Moore podem veure que no hi ha un cable directe desde l'entrada fins al CLC 2. Així és pg sortida només depèn dels estats.

6.10. A partir del graf dibuixes Taula Transicions i sortides.



q_1	q_0	x_1	x_0	q_1^+	q_0^+	w_1	w_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	1	0	0
0	0	1	1	1	1	0	0

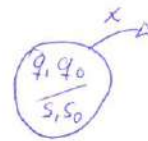
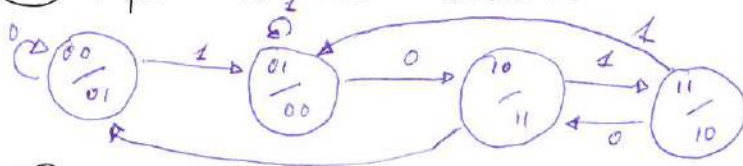
Aquest 0 me canvia
des de 0 a 1
amb que
sorte 'x'

q_1	q_0	w_1	w_0
0	0	1	1
0	1	0	1
1	0	x	x
1	1	1	0

q_1	q_0	x_1	x_0	q_1^+	q_0^+
1	0	0	0	x	x
1	0	0	1	x	x
1	0	1	0	x	x
1	0	1	1	x	x

q_1	q_0	x_1	x_0	q_1^+	q_0^+
1	1	0	0	0	1
1	1	0	1	1	1
1	1	1	0	1	1
1	1	1	1	0	0

6.11. A partir de taula → Dibuir.



⚠️ CUIDADO
amb la llegenda.

6.12. Acaba la taula [...]

Nº de	00	01	02	03	...	09	10	11	12	13	14
Estad	E0	E1	E2	E0	...	E0	E1	E0	E2	E0	E1
Entrada	0	0	0	1	...	0	1	1	0	0	0
Sortida	0	0	1	0	...	0	0	0	1	0	0

⚠️⚠️ Imprimir en etats
NO el valor d'om vos.

6.13. Acaba Taula [...]

Nº de	00	05	06	07	08	09	10	11	12	13	14
Estad	00	11	01	01	01	11	11	01	11	11	00
Entrada	00	00	11	11	01	10	00	01	10	11	00
Sort	11	10	01	01	01	10	10	01	10	10	11

6.14. 7 estats de Moore, quants Bistables? Necessita 3 Bistables. Ex: $7 + 8 = 2^3 = 8 \Rightarrow 3$ Bistables.

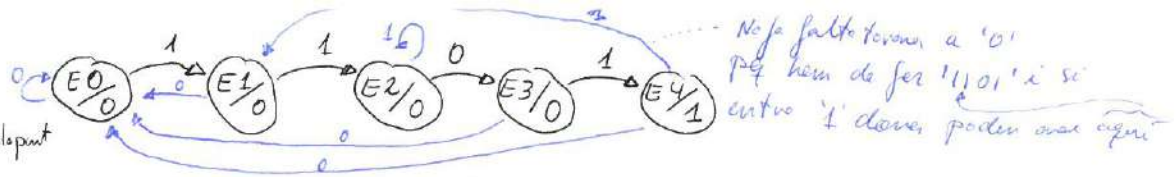
6.15. Fer taula Transicions i sortida a partir Dibuir.

q_1	q_0	x	q_1^+	q_0^+
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

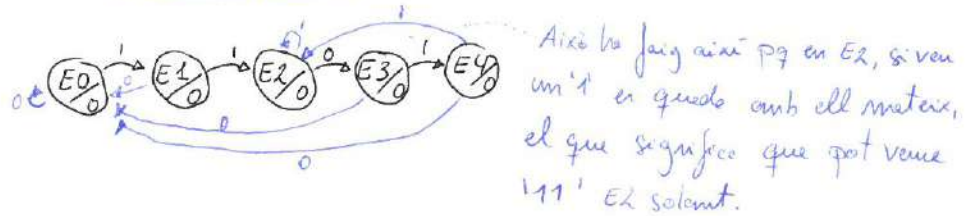
q_1	q_0	s_1	s_0
0	0		
0	1		
1	0		
1	1		

6.17. Respon.

a) Seq. '1101' No Solapant



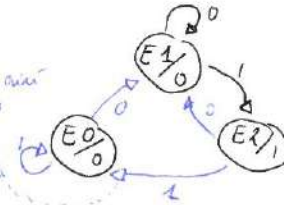
b) Seq. '1101' Solapant



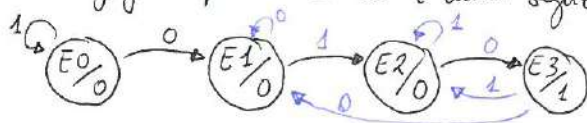
c) $i \in [(x(c-2) == 0) \text{ AND } (x(c-1) == 1)] w(c) = 1; \text{ else } w(c) = 0;$

Si és el mateix un detector de flanc ascendent que un detector de seq. "01". L'única cosa és que aquest detector de flanc marcarà més cops '1' (En aquest Exercici)

Aquest el deb diria PG si s'anés a "E1" la seq. "11" marcaria més la mat.



d) Fer graf i completa taula de l'estat següent: [...]



La taula l'he feta bé en el PC (mot sorrel)

6.18.

a) Dibuixa esquema lògic a partir de graf. Per a treballar millor, codificarem els estats a Binari per així fer-ho més senzilla.

Ara ja podem fer la Taula Transicions (q_m^+ és prox. clst).

Codificació Estats

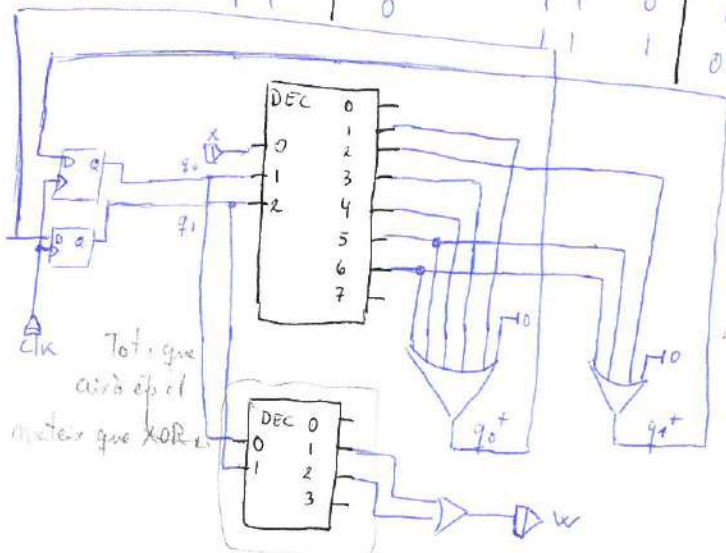
Ei	q_1	q_0
E0	0	0
E1	0	1
E2	1	0
E3	1	1

Taula Sortides

q_1	q_0	w
0	0	0
0	1	1
1	0	1
1	1	0

Taula Transicions

q_1	q_0	x	q_1^+	q_0^+
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



□ No he aïtat pg. els cables Van connectats a l'invers al sortida de OR

b) Implementa circuit anterior amb sume minterms.

Dibuxat en pissarra d'Google Photos i fet amb simplificació minterms (Respost-me).

6.19. Esquema lògic (ROMs x2). Fa la TV trmb.

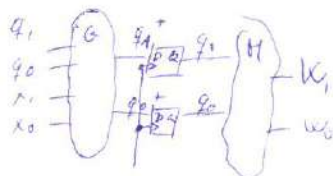
Sortides		Transicions	
q_1	q_0	w_1	w_0
0	0	1	1
0	1	0	1
1	0	0	0
1	1	x	x

q_1	q_0	x_1	x_0	q_1^+	q_0^+
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	0	0
0	0	1	1	0	1

q_1	q_0	x_1	x_0	q_1^+	q_0^+
0	1	0	0	0	0
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	0	1

q_1	q_0	x_1	x_0	q_1^+	q_0^+
1	0	0	0	0	1
1	0	0	1	0	0
1	0	1	0	1	0
1	0	1	1	1	0

q_1	q_0	x_1	x_0	q_1^+	q_0^+
1	1	0	0	x	x
1	1	0	1	x	x
1	1	1	0	x	x
1	1	1	1	x	x



6.80.

a) Enumere possibles camins # Camins que surten o entren de Bistable. NO els passa.

Camí	... $C_i \rightarrow C_j$...
1	$FF_2 \rightarrow C4_{k-1} \rightarrow Out$
2	$FF_0 \rightarrow C1_{a-d} \rightarrow FF_0$
3	$FF_0 \rightarrow C3_{g-j} \rightarrow FF_1$

Camí	... $C_i \rightarrow C_j$...
4	$FF_1 \rightarrow C2_{i-e} \rightarrow C1_{c-d} \rightarrow FF_0$
5	$FF_1 \rightarrow C2_{i-g} \rightarrow C3_{h-i} \rightarrow FF_1$
6	$In \rightarrow C1_{b-d} \rightarrow FF_0$

b) Calcule el T_p de cada camí.

Camí	Valors	Suma
1	$100 + 80$	$180 \mu t.$
2	$100 + 40$	$140 \mu t.$
3	$100 + 20$	$120 \mu t.$

Camí	Valors	Suma
4	$100 + 30 + 10$	$140 \mu t.$
5	$100 + 60 + 70$	$230 \mu t.$
6	$100 + 50$	$150 \mu t.$

Suma només 1 vegada.

Segon Bistable-Bistable o Bistable-OUT

c) Quin és el camí crític? El camí 5 amb un T_p de $230 \mu t.$

d) Quin és el cicle mínim sistema? El cicle mínim serà de $230 \mu t.$