

- Duración del examen: 1 hora 45 minutos.
- La solución a cada ejercicio debe escribirse en el espacio reservado para ello en el propio enunciado.
- No podéis utilizar calculadora, móvil, apuntes, ...
- La solución al examen se publicará mañana en Atenea y las notas se publicarán en una semana

Ejercicio 1 (1,5 puntos) **Criterio: 0,5 por fila, 0,25 con un grupo erróneo, 0 si hay 2 o más errores**

Cada uno de los apartados pregunta sobre un ciclo concreto de la ejecución de una instrucción en el SISC Von Neumann. Escribid el valor de los bits de la palabra de control que genera el bloque SISC CONTROL UNIT durante el ciclo a que hace referencia cada apartado. Poned x siempre que no se pueda saber el valor de un bit (ya que no sabemos cómo se han implementado las x en la ROM_OUT). Para cada apartado/fila se indica el nodo/estado de la UC en ese ciclo y la instrucción (en ensamblador) que está almacenada en el IR en ese ciclo.

Apartado	Nodo/Estado (Mnemo Salida)	Instrucción en IR (en ensamblador)	Palabra de Control															
			@A	@B	Pc/Rx	Ry/N	OP	F	P/I/L/A	@D	WrD	Wr-Out	Rd-In	Wr-Mem	LdIr	LdPc	Byte	Alu/R@
a	D	JALR R5, R3	011	101	1 0	00	100	xx	xxx	0 0 0 0 0 0	x	x	x	xxxx	xx			
b	Movhi	MOVHI R2, 0x85	010	110	0 0	10	010	00	010	1 0 0 0	x	0	x	x	FF85	85		
c	Addr	LDB R1, 3 (R1)	001	001	0 0	00	100	xx	xxx	0 0 0 0 0 0	x	x	x	0003	43			

Ejercicio 2 (2 puntos) **Criterio: 0,5 puntos por fila, corrección binaria**

Indicad qué cambios se producen en el estado en el SISC Von Neumann después de ejecutar cada una de las instrucciones de la tabla suponiendo que antes de ejecutarse cada una de ellas PC=0x1234, Ri=0x7788 y que el contenido de todas las direcciones pares de la memoria es 0x85 y el de las impares es 0xAA. Utilizad el mnemotécnico $MEM_b[...]$ = ... y/o $MEM_w[...]$ = ... para indicar cambios en la memoria.

Instrucción a ejecutar	Cambios en el estado del computador
LD R1, 10(R6)	R1 = 0xAA85, PC = 0x1236
MOVI R1, 0xFA	R1 = 0xFFFFA, PC = 0x1236
BNZ R3, 8	PC = 0x1246
STB 3(R5), R3	Mem _b [0x778B] = 0x88, PC = 0x1236

Ejercicio 3 (1 punto) **Criterio: 0,25 cada fila, corrección binaria**

Completad las filas y columnas de la siguiente tabla que representa un subconjunto de la ROM_OUT de la unidad de control del SISC Von Neumann. Poned x siempre que un bit pueda valer tanto 0 como 1.

@ROM	Bz	MxF	WrD	R@/PC	Pc/Rx	LdIR	Ry/N	Estado
3	0	0	1	x	0	x	1	Cmp
5	0	1	0	x	0	0	0	Addr
9	0	x	0	1	x	x	x	Stb
12	0	1	0	x	0	x	x	Bnz

Ejercicio 4 (3 puntos)

El programa ensamblador de la derecha se ha traducido a lenguaje máquina para ser ejecutado en el SISC Von Neumann, situando la sección `.text` a partir de la dirección `0x1000` de memoria y justo a continuación la sección `.data`.

a) Una vez cargado el programa en memoria:

- ¿A qué dirección de memoria corresponde la etiqueta, o dirección simbólica, `V1`? (0,25 puntos) **Criterio: binario**

`V1 = 0x101E`

- ¿Cuál es el word almacenado en las siguientes direcciones de memoria? (0,5 puntos) **Criterio: 0,25 por apartado, binario**

`Memw[0x1002] = 0x9110`

`Memw[0x100E] = 0x8903`

b) Una vez ejecutado el programa en el computador SISC Von Neumann ¿Cuál es la dirección de memoria escrita por la instrucción `ST`? ¿Cuál es el valor escrito? (1 punto) **Criterio: 0,25 la dirección , 0,75 el contenido, binario**

`Memw[0x1032] = 0x01FF`

```

FLAG = -1
.data
MAGIC: .word 0x89FF
V1:     .word 1, 2, 4, 8, 16
        .word 32, 64, 128, 256
        .word FLAG
V2:     .word 0

.text
        MOVI    R0, lo(V1)
        MOVHI   R0, hi(V1)
        MOVI    R1, lo(FLAG)
        MOVHI   R1, hi(FLAG)
        MOVI    R2, 0
L1:      LD      R3, 0(R0)
        CMPEQ   R4, R3, R1
        BNZ     R4, L2
        ADD     R2, R2, R3
        ADDI    R0, R0, 2
        BZ      R4, L1
L2:      MOVI    R7, lo(V2)
        MOVHI   R7, hi(V2)
        ST      0(R7), R2

.end

```

c) Indicad el número total de instrucciones ejecutadas por el código de la sección `.text` y desglosadlo en instrucciones lentas y rápidas. Calculad el tiempo de ejecución para el computador Harvard unicycle y el Von Neumann suponiendo que sus tiempos de ciclo son 2.500 y 1.000 u.t. respectivamente. Finalmente, ¿cuánto vale x para que sea cierta la afirmación: *el computador Harvard unicycle tarda un x % menos que el Von Neumann en ejecutar dicho código.* ? (1 punto). **Indicad tanto las operaciones como el resultado. 0,25 el apartado, 0,1 si operaciones correctas pero resultado incorrecto**

$$N_{total} = 5 + 9 \times 6 + 3 + 3 = 65 \quad N_{rapidas} = 5 + 9 \times 5 + 2 + 2 = 54 \quad N_{lentas} = N_{total} - N_{rapidas} = 65 - 54 = 11$$

$$T_{ejec}(Harv.Uni.) = N_{total} \times 2500 = 65 \times 2500 = 162500 \text{ uts}$$

$$T_{ejec}(VonNeu.) = N_{rapidas} \times 3 \times 1000 + N_{lentas} \times 4 \times 1000 = 162000 + 44000 = 206000 \text{ uts}$$

$$x = 100 - (T_{ejec}(Harv.Uni.) \times 100) / T_{ejec}(VonNeu.) = 100 - 78,88 = 21,12 \%$$

d) Una vez ejecutada la instrucción `ST`, ¿qué hará el computador? (0,25 puntos) **Criterio: binario**

Una vez ejecutada la instrucción `ST`, el computador realiza el Fetch sobre la siguiente instrucción de memoria (`0x101C`), que corresponde a la dirección simbólica `MAGIC`. El computador decodificará su contenido (`0x89FF` \rightarrow `BNZ R4, -1`). Como el valor de `R4` es diferente de 0, esta instrucción constituye un bucle infinito con lo que el computador ejecutará esta instrucción indefinidamente.

Ejercicio 5 (2,5 puntos)

Completad el diseño del SISC Von Neumann para que ejecute, **además** de las instrucciones originales, 8 nuevas instrucciones LDESC_k (*k* es un entero entre +3 y -4, es decir, LDESC+3, LDESC+2, ..., LDESC-3 y LDESC-4):

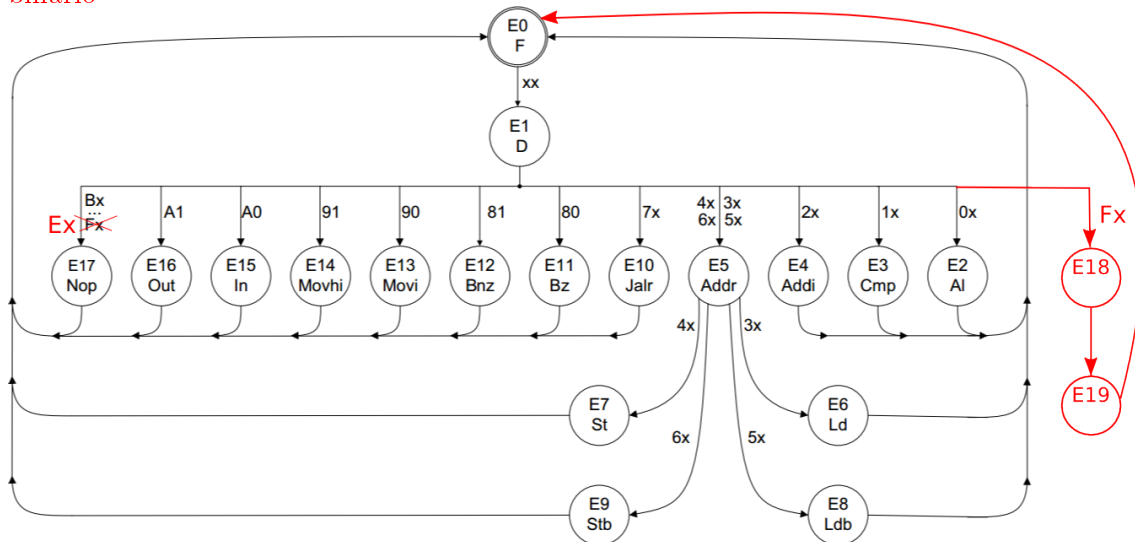
- Codificación: 1111 aaa bbb ddd kkk
- Sintaxis: LDESC_k Rd, Ra, Rb
- Semántica: $Rd = Mem_W[Ra + Rb \times 2^k]$; donde *k* es la interpretación de los bits 2, 1 y 0 de la instrucción como un entero codificado en complemento a 2.

Para poder ejecutar las nuevas instrucciones, os proponemos que modifiquéis únicamente la ALU y el contenido tanto de la ROM_OUT como el de la ROM_Q+.

a) Indicad cómo modificaríais la tabla de funcionalidades de la ALU. (0,5 puntos) **Criterio: binario**

F			OP			
<i>b</i> ₂	<i>b</i> ₁	<i>b</i> ₀	11	10	01	00
0	0	0	$X + Y \times 2^0$	X	CMPLT (X, Y)	AND (X, Y)
0	0	1	$X + Y \times 2^1$	Y	CMPLE (X, Y)	OR (X, Y)
0	1	0	$X + Y \times 2^2$	MOVHI (X, Y)		XOR (X, Y)
0	1	1	$X + Y \times 2^3$	X & (~1)	CMPEQ (X, Y)	NOT (X)
1	0	0	$X + Y \times 2^{-4}$		CMPLTU (X, Y)	ADD (X, Y)
1	0	1	$X + Y \times 2^{-3}$		CMPLEU (X, Y)	SUB (X, Y)
1	1	0	$X + Y \times 2^{-2}$			SHA (X, Y)
1	1	1	$X + Y \times 2^{-1}$			SHL (X, Y)

b) Indicad qué modificaciones introduciríais en el grafo de estados de la unidad de control. (0,5 puntos) **Criterio: binario**



c) Indicad la(s) dirección(es) de la ROM_Q+ (en binario) y su contenido (en hexadecimal) para implementar la transición que hayáis añadido desde el estado E1 (D). (0,5 puntos) **Criterio: 0,25 las direcciones, 0,25 el contenido**
ROM_Q + [00001111x] = 0x12 (asumiendo que el nodo tenga el identificador 18)

d) Indicad el contenido de las filas de la ROM_OUT que sea preciso modificar así como las acciones a realizar (la tabla adjunta tiene el número suficiente de filas, incluso es posible que no sean necesarias todas) (1 punto) **Criterio: 0,5 punto por fila, 0,25 con un error, 0 con dos o más errores**

@ROM	Bnz	Bz	WrMem	RdIn	WrOut	WrD	Ldlr	Byte	R@/Pc	Alu/R@	Pc/Rx	Ry/N	P//L/A1	P//L/A0	OP1	OP0	MxN1	MxN0	MxF	F2	F1	F0	Mx@D1	Mx@D0
18	0	0	0	0	0	0	0	x	x	x	0	1	x	x	1	1	x	x	0	x	x	x	x	x
19	0	0	0	0	0	1	x	0	1	x	x	x	0	1	x	x	x	x	x	x	x	x	0	0

Acciones asociadas al estado
(en lenguaje de transferencia de registros)

$R@ = RX + RY \cdot 2^k$
 $Rd = Mem[R@]$