#### Introducció

Aquest document mostra els canvis lògics que provocaria afegir 3 noves instruccions anomenades "LdD", "AlD", "CmpD" i quins canvis físics s'haurien d'implementar.

#### Noves instruccions

L'enunciat demana implementar 2 noves instruccions ("AID" i "CmpD") per a poder fer una operació aritmètica o una comparació fent ús del valor d'un registre juntament amb un valor de memòria.

Per la naturalesa de l'arquitectura, es requereix una tercera instrucció ("LdD") que permeti guardar el valor de memòria, sinó el temps de cicle seria massa llarg.

#### **Funcionament**

Per complir els requisits, s'ha hagut d'implementar:

- 1 Biestable ("RMem")
- 2 MUX-2-1 ("RY/RMem", "Rb/R@-Pc")

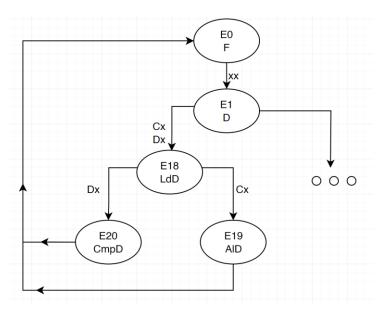
RMem: S'encarrega de guardar durant un cicle el valor que surt de la memòria.

**RY/RMem**: Serveix per decidir quin Biestable ("RY" o "RMem") entra per l'entrada "Y" de l'ALU i poder fer l'operació/comparació.

**Rb/R@-Pc**: Permet decidir quin valor ("Rb" o "R@-Pc") entrarà a la memòria. Això permet que el valor que surti per "B" del REGFILE pugi anar directe a l'entrada de la memòria i no perdre cicles guardant el valor en el registre "R@.

#### Graf d'Estats

Les instruccions ja conegudes no canvien. S'afegeixen les 3 instruccions esmentades on "LdD" sempre s'efectuarà prèviament a "AlD"/"CmpD" donat que es necessita guardar el valor que surt de la memòria.



# Accions a Registres en cada Estat

Tant "Fetch" com "Decode" continuen igual.

"LdD" guarda en RMem el valor de memòria. És important entendre que això es possible donat que per accedir a aquest valor no s'ha de realitzar cap operació.

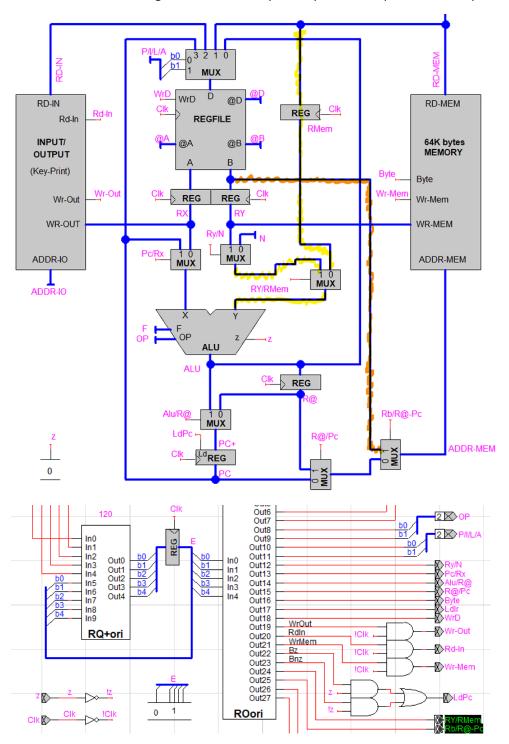
"AID" i "CmpD" fan la seva funció de forma transparent per l'ALU, només canvia quin valor de Biestable es fa servir.

Node	/Estat	Accions
Número	Mnem.	(En llenguatge de transferencia de registre)
E0	F	IR< MEMw[PC] // PC < PC+2
E1	D	R@ < PC+SE(N8)*2 // RX < Ra // RY < Rb
E18	LdD	RMem < MEMw[Rb]
E19	AID	Rd < RX AID RMem
E20	CmpD	Rd < RX CmpD RMem

### Modificacions Hardware

S'afegeix 2 Multiplexors 2-1 per controlar quin Biestable entra per l'entrada Y de l'ALU, com quin valor entra per la memòria, si ho farà el valor de "B" o el de "R@/Pc"

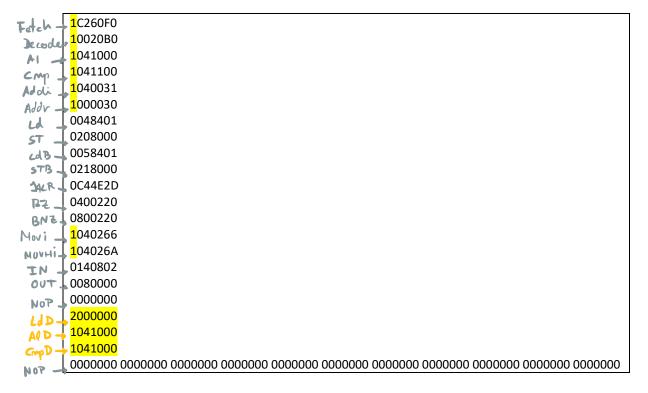
És requereixen 2 noves senyals de control que les controlarà la ROM\_OUT, es per això que s'hauran de modificar algunes instruccions per adaptar-les a aquesta nova arquitectura.



## Contingut ROM OUT

Les parts de color gris es mantenen igual. Les parts de color groc són les modificades.

"@ROM"	Rb/R@-Pc	RY/Rmem	Bnz	Bz	WrMem	RdIn	WrOut	WrD	Ldlr	Byte	R@/Pc	Alu/R@	Pc/Rx	Ry/N	P/I/L/A1	P/I/L/A0	OP1	0 <b>P</b> 0	MxN1	MxN0	MxF	F2	F1	F0	Mx@D1	Mx@D0	NODE
0	0	1																									F
1	x	1																									D
2	x	1																									Al
3	X	1																									Cmp
4	х	1																									Addi
5	х	1																									Addr
6	0	X																									Ld
7	0	X																									St
8	0	X																									LdB
9	0	X																									StB
10	x	X																									Jalr
11	X	X																									Bz
12	Х	Х																									Bnz
13	X	1																									Movi
14	Х	1																									Movhi
15	X	X																									In
16	X	X																									Out
17	X	X																									Nop
18	1	X	0	0	0	0	0	0	0	0	Х	X	X	X	X	X	Х	X	Х	X	Х	Х	X	X	Х	X	LdD
19	х	1	0	0	0	0	0	1	Х	X	Х	X	0	1	0	0	Х	X	х	X	0	Х	X	X	0	0	AID
20	Х	1	0	0	0	0	0	1	Х	X	Х	X	0	1	0	0	Х	Х	Х	Х	0	Х	X	Х	0	0	CmpD
2131	Х	Х																									Nop



## Taula ROM Q+

Donat que estem afegint noves instruccions, requereixen de nous estats en el graf d'estats. Es per això que haurem de modificar la ROM\_Q+ que és l'encarregada de controlar en quin estat estem per a que pugi gestionar la nova arquitectura.

En aquesta taula podem veure les implantacions per les noves instruccions, la resta es manté igual.

Q	1	Q+							
F	X	D							
	[]								
D	AID	LdD							
D	CmpD	LdD							
	[]								
LdD	!(AID+CmpD)	x							
LdD	AID	AID							
LdD	CmpD	CmpD							
LdD	!(AID+CmpD)	x							
AID	X	F							
CmpD	X	F							

q4	q3	q2	q1	q0	115	114	<b>I13</b>	<b>I12</b>	<mark>18</mark>	Q+
0	0	0	0	0	X	X	Х	X	Х	"0x01"
					[]					
0	0	0	0	1	1	1	0	0	Х	"0x12"
0	0	0	0	1	1	1	0	1	X	"0x12"
					[]					
1	0	0	1	0	0	X	Х	Х	Х	
1	0	0	1	0	1	0	0	X	X	X
1	0	0	1	0	1	0	1	0	X	
1	0	0	1	0	1	0	1	1	Х	"0x13"
1	0	0	1	0	1	1	0	0	X	"0x14"
1	0	0	1	0	1	1	0	1	Х	
1	0	0	1	0	1	1	1	0	X	x
1	0	0	1	0	1	1	1	1	X	
1	0	0	1	1	Х	Х	Х	Х	Х	"0x00"
1	0	1	0	0	X	X	х	X	X	"0x00"

#Vegades	Q+							
32	1							
[]								
2	"0x12"							
2	"0x12"							
[	.]							
16	"0x00"							
2	"0x00"							
2	"0x00"							
2	"0x13"							
2	"0x14"							
2	"0x00"							
2	"0x00"							
2	"0x00"							
32	"0x00"							
32	"0x00"							

### Contingut RQ+ori

```
02 02
03 03
04 04
05 05 05 05 05 05 05 05
0a 0a
0b
0c
Occade -
0d
Ωe
0f
10
11 11
<mark>12 12 12 12</mark>
11 11 11 11
Addy
LL
ST.
AIP
```

Les files representen en quin estat estem.

Les columnes representen a quin estat volem anar.

El valor que es veu és el valor en hexa del estat següent (Desde "Fetch" [E0] → "Decode" [E1])

### Altres Implementacions

- En comptes de fer servir un nou registre, es podria haver ficat el multiplexor abans del registre "RY" i decidir si es guarda el valor de "B" o el que surt per memòria (També s'hauria d'haver afegit un cable que connectés la sortida de memòria amb aquest multiplexor).

- És va pensar si era possible fer servir l'estat "Al"/"Cmp" en comptes de crear-los. Això no és possible perquè donat la naturalesa de la meva implementació, requeria senyals addicionals i les instruccions ja implementades millor no tocar-les.