

SOLUCIO E2 (temas 4, 5, 6 i 7)

Duración: 1 hora 45 minutos. La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello mañana por la tarde y las notas antes de una semana.

X	Xu	Xs
1111 0000	240	-16
0000 1111	15	15
1010 1010	170	-86

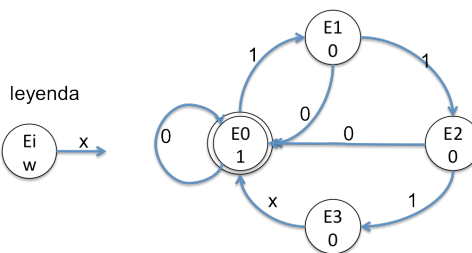
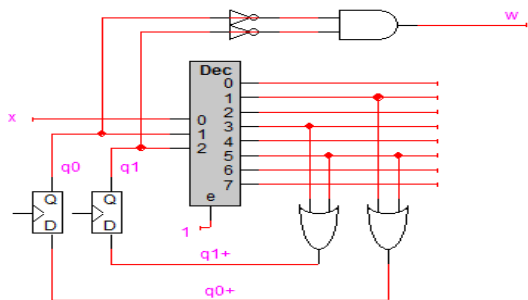
1. (Objetivo 5.6 (i 2.4)) (1 punto) Cada fila de la tabla tiene 3 columnas con: el vector de 8 bits X, el valor que representa X interpretado como un número natural codificado en binario, Xu, y el valor que representa X interpretado como un número entero codificado en complemento a dos, Xs. Completad todas las casillas vacías.

2. (Objetivos 4.9 y 5.11) (1.5 puntos) Dado el esquema del CLC a bloques de la derecha, completad la siguiente tabla que indica el valor de las salidas del circuito para cada uno de

X	Y	a	b	c	d	e	W
1111 0000	1111 0000	1	0	1	0	0	0000 0000
1000 0000	0000 0001	1	1	1	0	1	0111 1111
0000 0000	1111 1111	0	0	1	1	0	0000 0001

los tres casos concretos de valores de las entradas (un caso por fila):

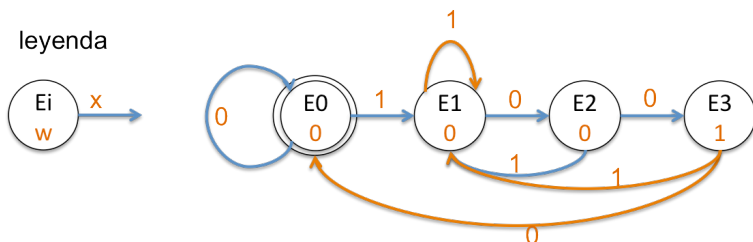
3. (Objetivo 6.13) (1,5 puntos) Dibujad el grafo de estados (y la leyenda) del siguiente circuito secuencial. Los biestables se inicializan a 0.



4. (Objetivos: 5.10 y 5.12) (2 puntos) Completad el cronograma simplificado y el grafo de estados (y la leyenda) del circuito secuencial con una entrada, x, y una salida, w, cuyo funcionamiento es el siguiente: **w vale 1 en el ciclo c siempre y cuando la entrada sea 1 en el ciclo c-3 y no haya otro 1 hasta el ciclo c.** La salida vale 0 en cualquier otro caso. Completad la fila w del cronograma y después de completar el grafo podéis completar la fila Estado siguiendo el grafo y comprobando que la salida w es la esperada.

Ciclo	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16
Estado	E0	E0	E1	E2	E3	E0	E1	E1	E2	E3	E1	E2	E1	E2	E1	E2	E3
x	0	1	0	0	0	1	1	0	0	1	0	1	0	1	0	0	0
w	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1

leyenda



Cada fila con error con error
0.5 puntos menos

Cada fila con error con error
0.5 puntos menos

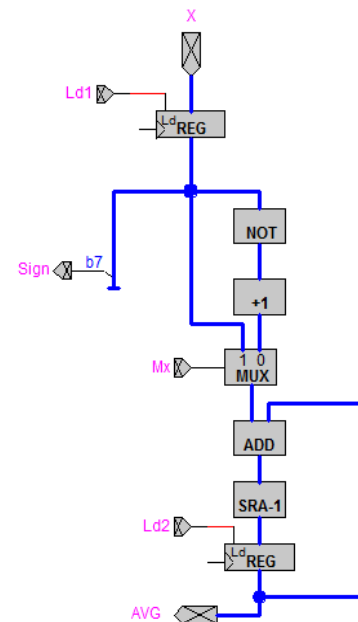
Cada nodo o arista mal -0.25

Cronograma (1): cada estado o W mal -0.5
Grafo (1): cada transición mal -0.5

5. (Objetivos: 7.7, 7.8, 7.10 y 6.13) (4 puntos) Queremos diseñar un circuito, utilizando un PPE, que vaya calculando la media entre el **valor absoluto** de la entrada y la media actual. Por ejemplo, si la entrada es 2, -3, 5, -2 la salida (Avg) será $1=((0+2)/2)$, $2=((1+3)/2)$, $3=((2+5)/2)$, $2=((3+2)/2)$. Las entradas estarán siempre entre -1000 y 1000.

El PPE se comunica con un circuito productor de los números a través del bus X de 8 bits y sabe cuando el valor de bus es estable mediante un protocolo de handshake de 4 fases. Por lo tanto, nuestro PPE tiene 2 entradas (X, REQ) y 2 salidas (Avg y ACK)

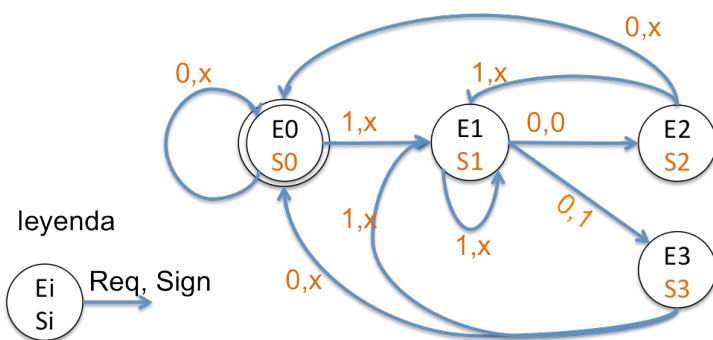
Para diseñar nuestro PPE, utilizaremos la unidad de proceso (UP) de la figura teniendo en cuenta que el valor inicial de todos los registros es 0.



- a) Escribe la etiqueta, el nombre del bloque estándar, de los dos bloques usados en la UP para que se realicen los cálculos correctos. (0.5 puntos)

B1: NOT B2: SRL-1 o SRA-1

- b) Completad el grafo de estados de la UC del PPE (no olvidéis la leyenda del grafo y la tabla de salidas en la que podéis poner las columnas que necesitéis. Puede que necesitéis arcos que no están dibujados). (2 puntos)



	Ack	Ld1	Mx	Ld2
S0	0	1	x	0
S1	1	0	x	0
S2	0	1	1	1
S3	0	1	0	1

- c) Si se implementa la UC del PPE con el número mínimo de biestables, una ROM y un multiplexor de buses (0.5 puntos)

¿Cuántas palabras tiene la ROM y de cuántos bits por palabra? 4 palabras de 12 bits

¿Cuántos bits utilizamos para seleccionar la salida del multiplexor? 2

- d) Si la UC del PPE se implementa como en el apartado c) y suponiendo los siguientes parámetros temporales, ¿cuál es el camino crítico del PPE (nombra la secuencia de bloques por la que pasa)? ¿Cuál es el tiempo de ciclo mínimo del PPE? (1 punto):

- La señal Req y el bus X estarán estables a partir de 50 u.t. después del inicio del ciclo.
- La señal Ack y el bus AVG deben estar estables 40 u.t. antes del final de ciclo.
- El tiempo de propagación de cada sumador, B1 y B2 es de 150 u.t..
- Los biestables de los registros y de la UC tienen un tiempo de propagación de 100 u.t.
- La ROM tiene un tiempo de propagación de 330 u.t.
- Tiempo de propagación de los multiplexor es de 100u.t.

Camino crítico: FF1 (oFF0) – ROM – Mx – Mux – ADD + B2 + REG

Tiempo de camino crítico: $100(\text{FF1}) + 330(\text{ROM}) + 100(\text{Mux}) + 150(\text{ADD}) + 150(\text{B2=SRL-1}) + 100(\text{Mux del REG}) = 930$