

Project2 Report

■ Members&team work

B04902015 王哲愷

完備 data_memory、ALU、ALUControl、tag comparator、revise CPU 的功能。

B04902103 蔡昀達

建立最基礎模型，並成功確保各 module 能夠 compile，read/write of cache、write report。

■ Modules Implementation

● Pipeline Registers

為了做到記憶體存取延遲 10 cycle，需要在 PC 跟 pipeline registers 上新增處理 stall 的 signal

● Dcache_Top

負責處理記憶體讀寫操作，如果 cache hit，就直接從 cache 讀寫資料；如果 cache miss，依照下列步驟處理：

1. hit miss 會將 stall signal 設為 1，Data Memory is available.
2. 判斷 cache 是否 dirty，不是的話跳到第四步
3. 進行 write back，等到 Data Memory ack 完成
4. 賦予 Data Memory 的 read 權限，將 miss address 的資料從 Data Memory 調出，送到 Register 儲存
5. 當第三步完成以後，賦予 cache 的 write 權限，將剛剛儲存在 Register 的資料寫入 cache 裡面，並更新 cache tag，Data Memory is unavailable.
6. 寫入 cache tag 以後，狀態會變成 cache hit，直接從 cache 繼續讀寫原先操作的資料。

● Dcache_Tag_Sram

它會根據 input 的 enable, write 信號，寫入或輸出指定 address 的資料

處理 cache 的 Tag 欄位共有 24 個 bit：

- 23: Valid-invalid bit
- 22: Dirty bit
- 21-0: Tag bit

- Dcache_Data_Sram

負責存放 cache 的 data，因為 offset 是 5 bits，一個 row 共有 $2^5=32$ 個 bytes

它也會根據 input 的 enable, write 信號，寫入或輸出指定 address 的資料

■ Problems and Solutions

+ Coding Convention

相較於 project 1 而言，我們的 code 在 project 2 開始遵照一定的 coding style，方便組員間互相閱讀 code、debug