

简单组合逻辑电路的设计

2017011620 计 73 李家昊

2019 年 4 月 14 日

1 实验目的

1. 深入理解用小规模数字集成电路组成组合逻辑电路的分析与设计方法。
2. 通过全加运算电路和减法运算电路的设计，熟悉原码、反码、补码的概念，以及用补码实现减法运算的方法。

2 实验原理

2.1 二进制加法运算电路

设计一位全加器，其逻辑表达式为

$$\begin{aligned}D_n &= A_n \oplus B_n \oplus C_n \\C_n &= A_n \cdot B_n + C_{n-1}(A_n \oplus B_n) \\&= \overline{A_n \cdot B_n} \cdot \overline{C_{n-1}(A_n \oplus B_n)}\end{aligned}$$

设计电路图如下

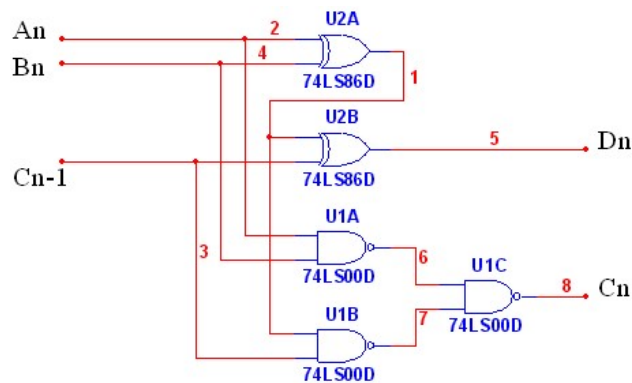


Figure 1: 一位二进制加法运算电路

将多个全加器级联，得到多位二进制加法器，例如将两个全加器级联，得到两位二进制加法器，电路图如下

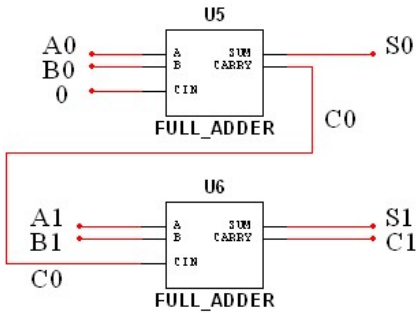


Figure 2: 两位二进制加法运算电路

2.2 两位减法运算电路

利用补码进行减法运算，电路图如下

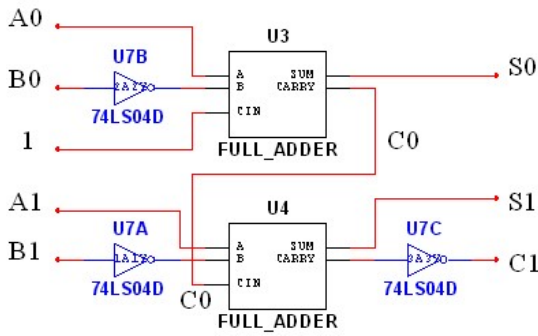


Figure 3: 两位二进制减法运算电路

2.3 改进的减法运算电路

要求显示原码。记原码为 O_0, O_1 ，列出功能表：

C_1	S_1	S_0	O_1	O_0
0	x	x	S_1	S_0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	1

Table 1: 改进减法器功能表

写出逻辑表达式

$$O_0 = S_0$$

$$O_1 = \overline{C_1}S_1 + C_1(S_0 \oplus S_1)$$

利用数据选择器可根据 C_1 的取值进行分类选择，设计电路图如下：

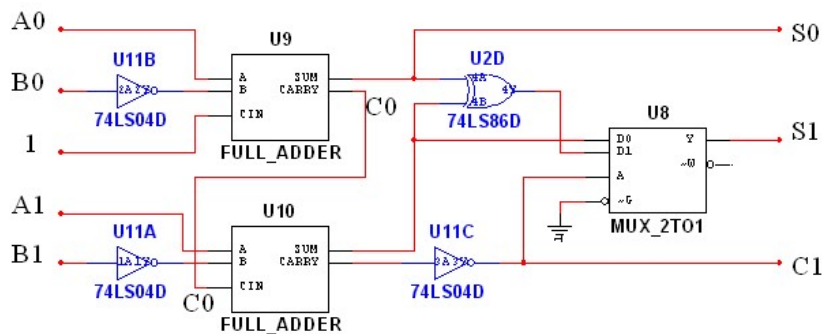


Figure 4: 改进的两位二进制减法运算电路

3 实验内容

1. 基本要求：实验内容 (1) 实现两位全加运算。
2. 提高要求一：实验内容 (2) 实现两位减法运算。

当 $A \geq B$ 时，数码管显示出相减的差值；当 $A < B$ 时，数码管显示出用补码表示的差值，借位信息用发光二极管指示。

3. 提高要求二：实验内容 (3) 改进的两位减法运算。

当 $A \geq B$ 时显示所得的差；当 $A < B$ 时显示出负号及用原码表示的差值。

4 注意事项

1. 器件摆放尽量按逻辑产生先后顺序，逻辑清晰且便于查错。
2. 带译码器的数码管，不用的高位应该置零（接地）不能悬空，否则显示不正确。
3. 接插电路时要认真检查，不要漏接，尤其要注意电源线和地线不要漏接；不要窝腿造成漏接。
4. 不许带电操作，接插线及更换元件时要关电源。

5 思考题

设计一个 4 位二进制除法运算电路。A 为被除数，B 为除数，C 为商数，D 为余数。要求画出具体逻辑图或框图，并描述其工作原理。

5.1 逻辑框图

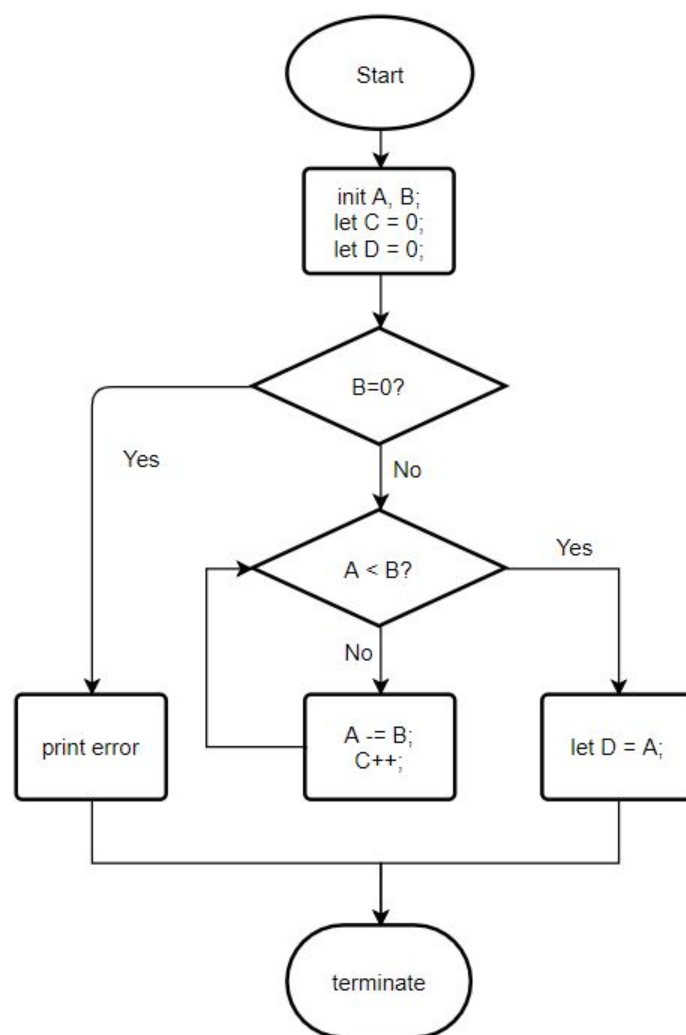


Figure 5: 四位二进制除法器逻辑框图

5.2 工作原理

1. 初始化被除数A，除数B，商数C 为零，余数D 为 0。
2. 若除数 $B = 0$ ，则输出错误信息，程序结束。
3. 否则，如果 $A \geq B$ ，则每次令A 减去B，商数C 增一，循环这一操作，直到 $A < B$ ，此时余数即为A，程序结束。

6 实验小结

1. 模块化思想在硬件设计中十分重要，本次实验中，我将一个一位二进制全加器视为一个模块，通过两个全加器模块级联设计出两位二进制全加器，模块化使得我可以对每个模块分别调试，提高了设计效率。
2. 不同模块要使用不同颜色的导线接线，以便区分。
3. 芯片接入之前最好进行简单的功能测试，确保芯片能正常工作。
4. 可以利用 LED 灯进行电路调试，检测芯片功能以及电路输出。
5. 感谢老师和助教的耐心指导！