

Laboratorio di Elettronica

Esercizi della Lezione 7:

Porte logiche

Valentino Liberali, Alberto Stabile



UNIVERSITÀ DEGLI STUDI DI MILANO
Dipartimento di Fisica "Aldo Pontremoli"

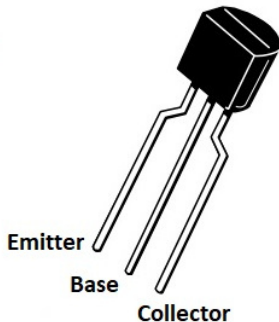
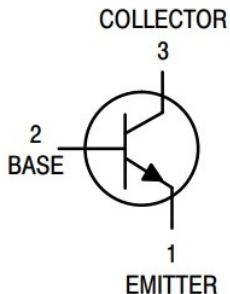
E-mail: valentino.liberali@unimi.it, alberto.stabile@unimi.it

Milano, 19-20 maggio 2022

- 1 Simulazione dei circuiti con BJT
- 2 Modello del BJT per SPICE
- 3 Caratteristica statica ingresso-uscita
- 4 NOR e NAND RTL
- 5 Latch
- 6 Oscillatore ad anello

Transistore bipolare 2N3904

2N3904 NPN Transistor

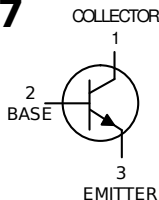


C-E Voltage: 40V
C-B Voltage: 60V
Collector Current: 200mA

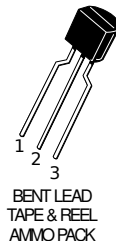
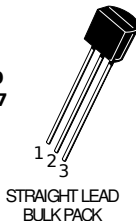
AVVERTENZA: Consultare sempre il “data sheet” per la numerazione dei terminali!

Transistore bipolare BC337

BC337



**TO-92
CASE 29
STYLE 17**



AVVERTENZA: Consultare sempre il “data sheet” per la numerazione dei terminali!

BJT in SPICE

In SPICE, un transistoro bipolare a giunzione si indica con:

```
Qxxxxxxx nc nb ne modelname
```

dove nc, nb e ne sono rispettivamente i nodi di collettore, base, ed emettitore) e modelname è il nome di un “modello” che contiene i parametri, in una riga separata (.MODEL).

Inverter RTL – simulazione con SPICE

Netlist SPICE:

```
* NOT GATE
*
.INCLUDE BJT.SPI
VCC 1 0 5V
RC 1 2 1.8K
VIN 3 0 PULSE(0 5 1U 10N 10N 9.99U 20U)
RB 3 4 18K
Q1 2 4 0 2N3904
.OP
.TRAN 10N 50U
.PLOT TRAN V(3) V(2)
.END
```

Modello del BJT per SPICE – 2N3904

```
.MODEL 2N3904 NPN (  
+ IS=4.9148E-15 BF=191.70 VAF=100 IKF=.28579  
+ ISE=11.882E-15 NE=1.4422  
+ BR=5.6808 VAR=100 IKR=61.753E-3 ISC=71.145E-12  
+ NC=1.6595 NK=.8296 RB=5.8072 RC=.70808  
+ CJE=6.9435E-12 VJE=.61872 MJE=.27802  
+ CJC=3.7572E-12 VJC=1.2237 MJC=.28886  
+ TF=523.89E-12 XTF=83.066 VTF=67.769 ITF=1.8804  
+ TR=10.000E-9 )
```

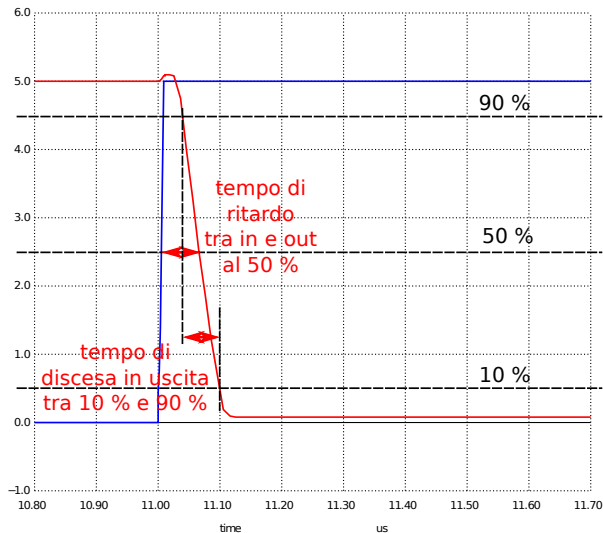
Modello del BJT per SPICE – BC337

```
.MODEL BC337 NPN( IS=3.94E-14 BF=175 VAF=109.4 IKF=0.8  
+ ISE=7.4E-15 NE=1.3 BR=20.5 NR=0.974 VAR=14.25 IKR=0.1  
+ ISC=3.16E-13 NC=1.2 RB=1.1 RE=0.1259 RC=0.0539  
+ CJE=6.3E-11 TF=7.5E-10 CJC=1.58E-11 VJC=0.505  
+ MJC=0.39 TR=8.5E-8 )
```

Nella riga `.MODEL` ci sono i parametri delle due giunzioni B-E e B-C:

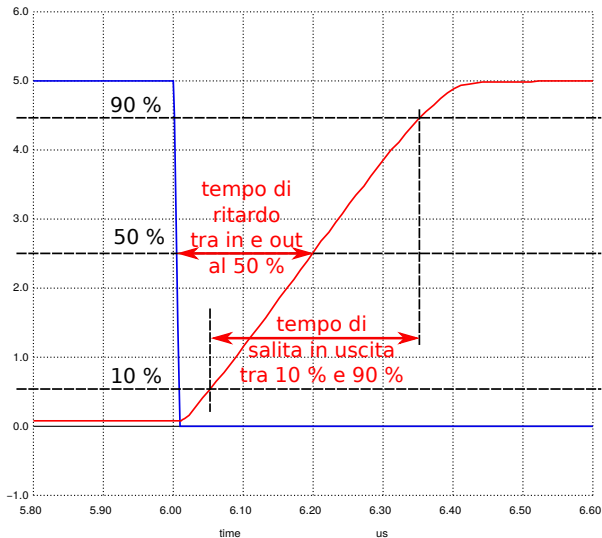
- i parametri della giunzione B-E hanno nomi che finiscono in E oppure in F (*forward*)
- i parametri della giunzione B-C hanno nomi che finiscono in C oppure in R (*reverse*)
- il guadagno di corrente β in regione attiva è BF (*forward*) oppure BR (*reverse*)

Inverter RTL – risultati della simulazione con SPICE (1/3)



blu = ingresso (con salita = 10 ns); rosso = uscita

Inverter RTL – risultati della simulazione con SPICE (2/3)



blu = ingresso (con discesa = 10 ns); rosso = uscita

Inverter RTL – risultati della simulazione con SPICE (3/3)

La tensione in uscita a una porta logica NOT in tecnologia RTL ha un andamento non simmetrico:

- in **discesa** viene pilotata dal transistor bipolare Q acceso, che funziona come un generatore di corrente \rightarrow la capacità della giunzione base-collettore viene scaricata a corrente elevata e costante
- in **salita** viene pilotata dalla resistenza $R_C \rightarrow$ la capacità della giunzione base-collettore viene caricata con una costante di tempo $R_C \cdot C$ (la salita è più lenta)

Caratteristica statica ingresso-uscita

La **caratteristica statica ingresso-uscita** è il grafico che riporta la variabile elettrica di uscita (in ordinata) in funzione della variabile elettrica di ingresso (in ascissa).

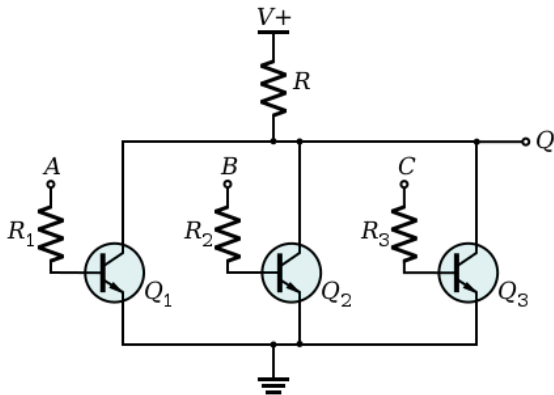
In SPICE, si può ottenere con una “DC sweep”:

```
* inverter RTL
.include BC337.SPI
VCC 5 0 5V
VIN 1 0
RC 5 3 2.2K
RB 1 2 22K
Q1 3 2 0 BC337
.OP
.DC VIN 0 5 0.01
.PLOT DC v(1) v(2) v(3)
.END
```

Attenzione! Per la DC sweep analysis, il generatore di ingresso NON deve avere nessun valore: i valori minimo e massimo e l'incremento sono specificati nella riga .DC

NOR RTL

Con questa tecnologia si possono realizzare porte logiche anche più complesse come ad esempio una NOR.



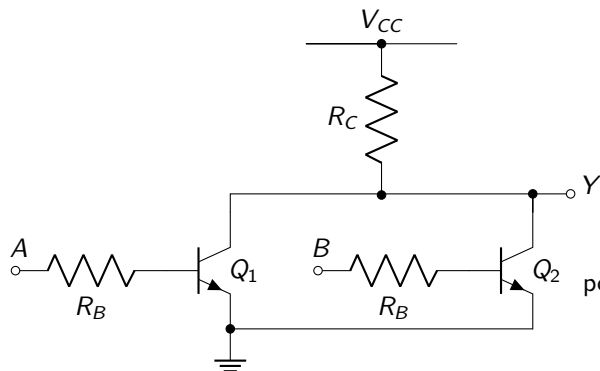
Porta logica NOR in tecnologia RTL
(da Wikipedia)

A	B	C	Q
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

“Tabella della verità” della
porta logica NOR

L'uscita è al livello logico alto solo se tutti gli ingressi sono bassi.

NOR RTL



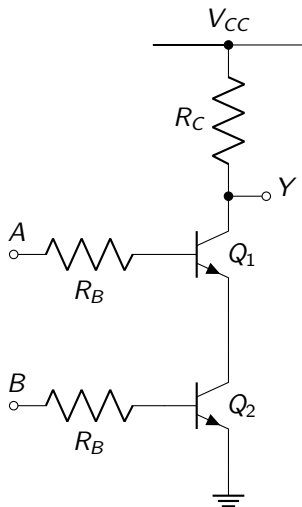
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

“Tabella della verità” della
porta logica NOR a 2 ingressi

Se tutti gli ingressi sono bassi, tutti i transistori sono spenti, non passa corrente, e l'uscita è alla tensione alta.

Se almeno un ingresso è alto, allora c'è almeno un transistor acceso, passa corrente, e l'uscita si porta ad una tensione bassa (prossima a zero).

NAND RTL



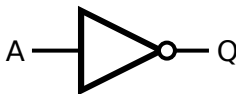
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

“Tabella della verità” della porta logica NAND a 2 ingressi

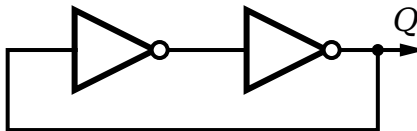
Se tutti gli ingressi sono alti, tutti i transistori sono accesi, passa corrente, e l'uscita si porta ad una tensione bassa (prossima a zero).

Latch

Simbolo della porta logica NOT:



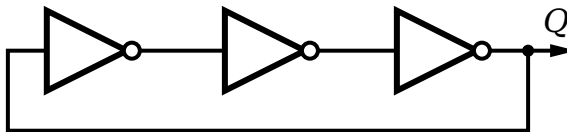
Il più semplice elemento di memoria è il “latch”, fatto con un anello di retroazione in cui ci sono due porte logiche NOT (retroazione positiva).



Collegando temporaneamente il nodo Q alla tensione alta (o bassa), questo valore di tensione rimane memorizzato nel latch fino a che viene mantenuta l'alimentazione.

Oscillatore ad anello

Un anello di retroazione in cui ci sono tre (o un numero dispari di) porte logiche NOT ha una retroazione negativa. I ritardi di propagazione non permettono al circuito di avere un punto di lavoro stabile, e il circuito continua ad oscillare tra il valore basso e il valore alto, con un periodo pari al doppio della somma dei ritardi lungo l'anello.



Aggiungendo una capacità in uno dei nodi, si può aumentare il periodo di oscillazione.