Αρχιτεκτονική Υπολογιστών - Διάλεξη 4

ΣΧΕΔΙΑΣΗ ΕΠΕΞΕΡΓΑΣΤΗ

1) Επικοινωνία με τη μνήμη
2) Καταχωρητές CPU
3) Ανάληψη / εκτέλεση εντολών
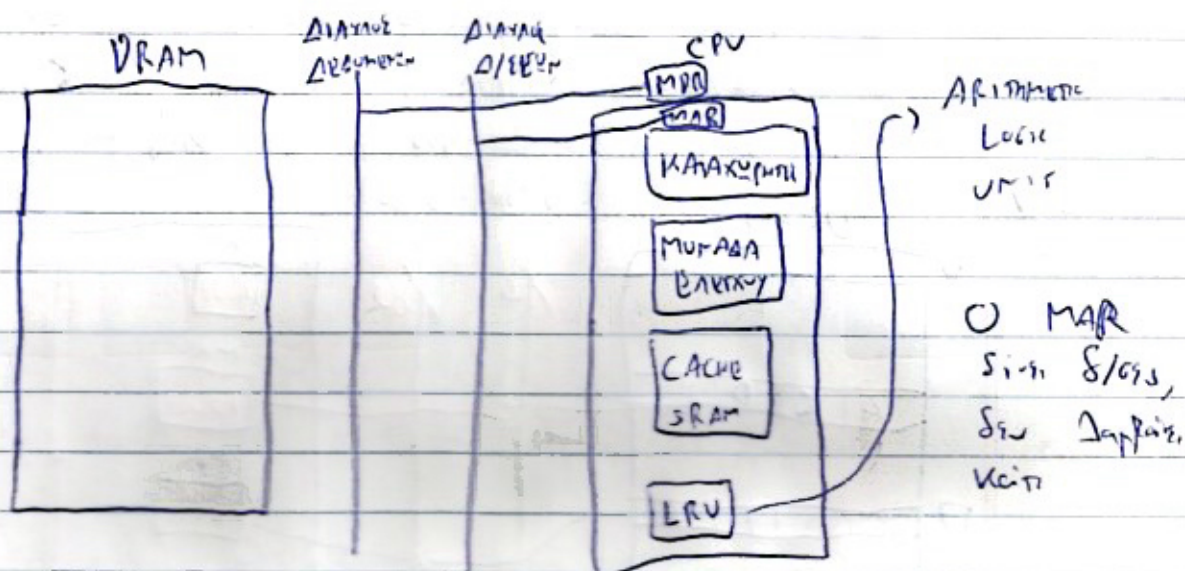
1) Memory Address Register (MAR)
Καταχωρητής Δ/νσης Μνήμης

Το μέγεθος πρέπει να είναι ανάλογο του πλήθους λέξεων της μνήμης. Π.χ. αν μια μνήμη διαθέτει 1Μ λέξεις, ο MAR έχει μέγεθος 20 bit, $2^{20} = 1M$

Ορίζει ο δίαυλος δ/νσεων.

2) MEMORY DATA REGISTER (MDR)

Ο MDR είναι ο καταχωρητής που μεταφέρει δεδομένα προς/από τη μνήμη. Έχει αριθμό σχέση με τον δίαυλο δεδομένων (ανάγνωση / εγγραφή)

ΑΣΚΗΣΗ

Δίνεται μια μνήμη 128 bytes, μέγεθος λέξης 4 bytes
1) Πόσες λέξεις έχει η μνήμη
2) Μέγεθος data bus, address bus, MAR, MDR
3) Να δείξετε τη μεταφορά της λέξης με δ/νση 17 από
   τη μνήμη προς τη CPU (όπως κατηγορηθεί 2)
4) Ο καταχωρητής R περιέχει τη λέξη ABCDE. Να δείξετε
   τη μεταφορά από τον R στη θέση μνήμης 12.
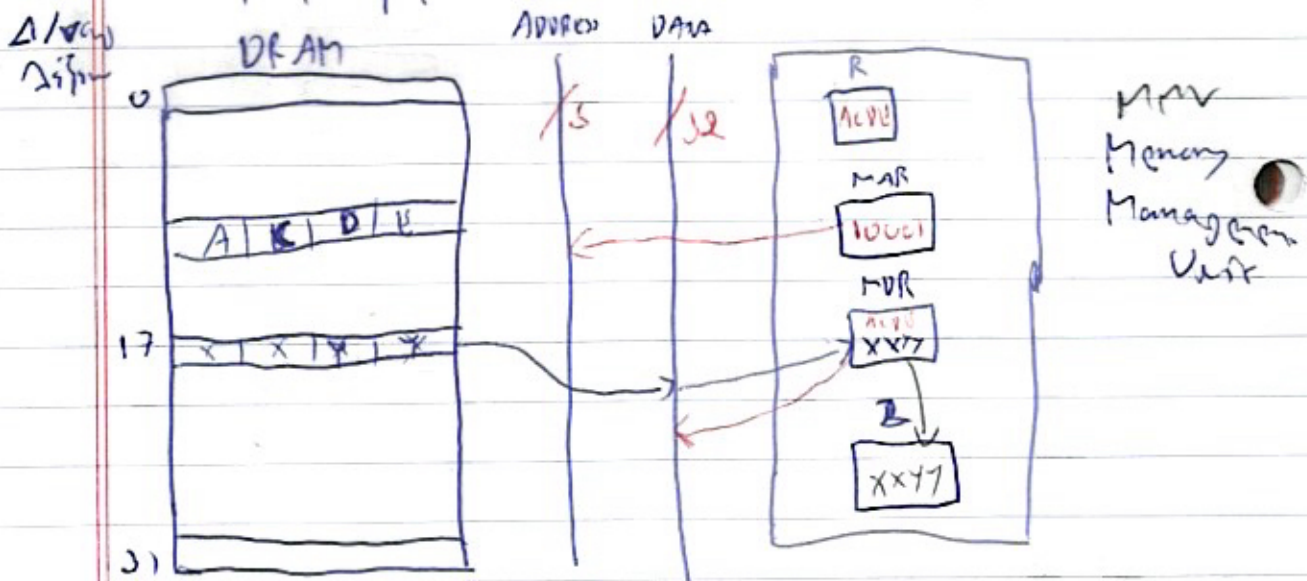
1) Μνήμη 128, λέξεις 4 bytes, άρα είναι $\frac{128}{4} = 32$ λέξεις
   Μέγεθος μνήμης 4 bytes

2) Data bus και ο MDR πρέπει να είναι τουλάχιστον
   32 bit (4 byte)
   Address bus και ο MAR είναι μήκος τουλάχιστον 5 bit
   για να μπορούν να διευθυνσιοδοτούν 32 λέξεις

   Η λέξη με δ/νση 17 γράφεται στο data bus μήκος
   32 bit. Από τη δίαυλο μεταφέρεται στον MDR. Ο MDR δέχεται από τη
   MDR ← M[MAR]   μνήμη M τα περιεχόμενα της
   MDR ← M[17]   λέξης στην οποία δείχνει ο
   MDR ← XXYY   MDR

3) Ανάγνωση μνήμης, R/w̄ = 1

Η CPU πρέπει να στείλει το σήμα R/w̄ στη μνήμη (γραμμή ελέγχου)
Ο MAR θα πρέπει να γράψει στον δίαυλο δ/νσης τη δ/νση 17 σε 5 bit (10001),
Η δ/νση 17 αποκωδικοποιείται (επιλογή του, επιλογή θέσης)

⊗ 2 ← MDR (μεταφορά καταχωρητή)

Η μεταφορά του βιβλίου έχει σε 2 χρόνους
T₀: MDR ← M[MAR] κύκλος ανάγνωσης μνήμης
T₁: 2 ← MDR (μεταφορά καταχωρητή)

Η μεταφορά καταχωρητών, γίνεται με τη βοήθεια ενός
εσωτερικού ή περισσότερων εσωτερικών διαύλων.

Εσωτερικών δίαυλος: Για επικοινωνία των καταχωρητών π.χ CPU

4) T₀: MDR ← R (ο R δεν μπλέκει με τα data bus)
   Ο MAR στέλνει τη δ/νση 01100 = 12 στο address
   bus.

T₁: M[MAR] ← MDR
    M[12] ← ACDB
    R/w̄ = 0

Κύκλος
εγγραφής
στη μνήμη

Ένα πρόγραμμα που τρέχει αποτελείται από 2 ~~πράγμα~~ πράγματα
1) Εντολές   2) Δεδομένα

DRAM

0 | 00 + 10S   Εντολές

127

) Δεδομένα

Εκτελείται η LDA
και θα αποθηκεύσει
τη δεδομένη της
S/σης 10S

Αρχιτεκτονική
Harvard
(Εντολές η Δεδομένα
ΘΕ ξεχωρίζει
ημπικά μνήμ
η και η
διαφορετική μνήμες)
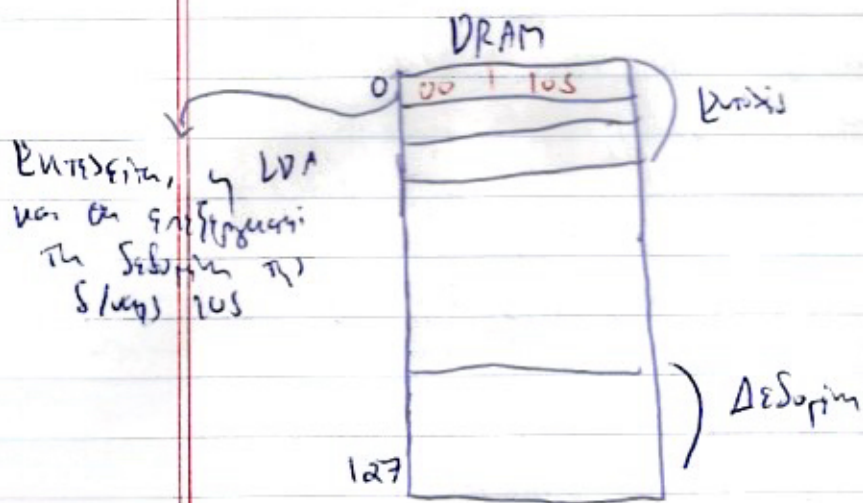
Έστω ότι κάθε λέξη μνήμης είναι 16 bit και έχουμε 128 θέσεων.
Έστω ασύμμετρη 4 εντολές:

	OPCODE
1) LDA	00
2) STA	01
3) ADD	10
4) SUB	11

OPCODE: Ένας αριθμός ο οποίος
είναι μοναδικός για
κάθε εντολή. Με 4
εντολές θέλω 2 bit
OPCODE

Επειδή η μνήμη έχει 128 θέσεων απαιτούνται 7 bit θέσεων

1η μνήμη εντολής. Η εντολή χαρακτηρίζεται από ένα OPCODE
και μία διεύθυνση μνήμης η οποία είναι η θέση όπου βρίσκεται
τη δεδομένη της εντολής. Αυτή η μνήμη ονομάζεται απευθείας
διευθυνσιοδότηση μνήμης (για παράδειγμα) και η μνήμη της είναι αυτή

Κωδικός ΠΑΡΑΓΩΓΗΣ

OPCODE	A
2bit	7 bit

7bit αχρησιμοποίητα γιατί
η ίδια μνήμη είναι 16 bit
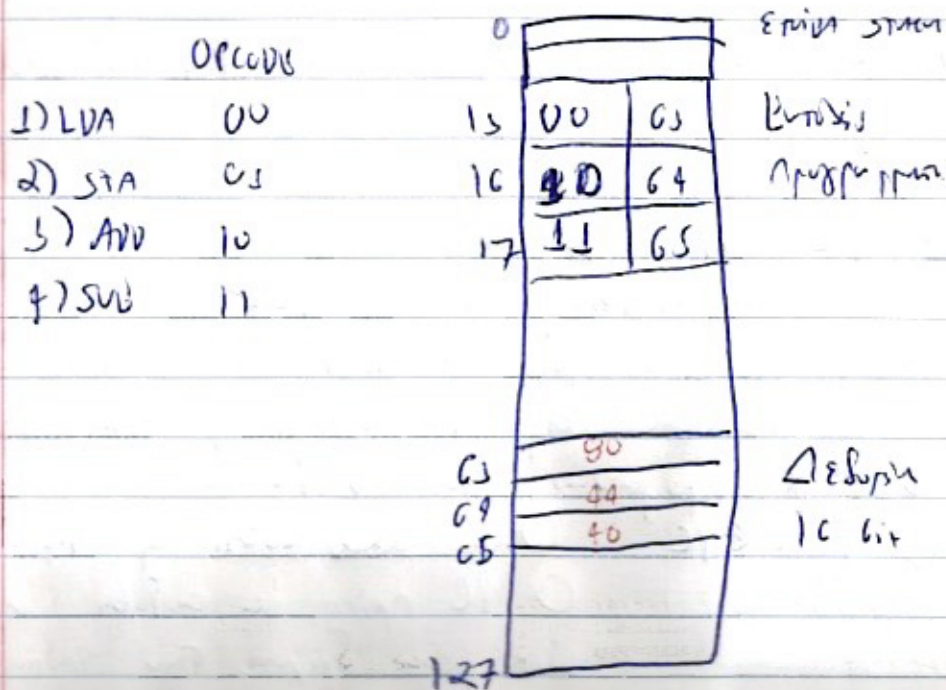
OPCODE

1) LDA   00
2) STA   01
3) ADD   10
4) SUB   11

Επάνω Στοίβα

15	00	0J
16	10	64
17	11	65

Εντολές
Προγράμματα

03	90
09	04
05	70

Δεδομένα
16 bit

127

Ένα πρόγραμμα εκτελείται στο σύστημά μου και το πρόγραμμα
αποτελείται από 3 εντολές. Η μορφή εντολής του συστήματός μου

OPCODE	Παράμετρος
	A

2 bit   7 bit
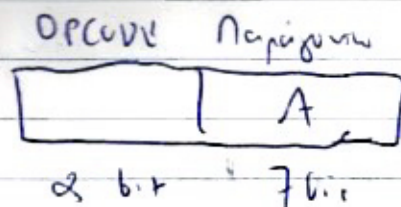
Κάθε θέση μνήμης 16 bit
είμαι για τις εντολές περισσότε
7 bits.

PC (Program Counter) Κρατάει τη θέση μνήμης της
επόμενης προς εκτέλεση εντολή
$$PC \in 15$$

IR (Instruction Register): Κρατάει το OPCODE της εντολής που
εκτελέσετε.

1) Οι εντολές έρχονται από τη μνήμη και είναι άγνωστες στη
CPU μέχρι ο IR να διαβάσει το OPCODE. Για τον λόγο
αυτό η διαδικασία μεταφοράς των εντολών στην CPU είναι
ΙΔΙΑ για όλες τις εντολές (Κύκλος Ανάκλησης)

2) Ο IR αποθηκεύει και κάποια δεδομένα ελέγχου

---

1) Ο PC πρέπει να δείχνει τη θέση όπου βρίσκεται η εντολή προς εκτέλεση, δηλαδή PC←15

2) Θέλουμε τα περιεχόμενα (εντολές) που βρίσκονται στη θέση 15 να προσκομιστεί στη CPU. Πρέπει η θέση 15 να δοθεί στο MAR, προερχόμενο από τον PC

T₀: MAR ← PC   Όταν δοθεί η τιμή στον MAR ο PC πρέπει να αυξηθεί κατά 1 έτσι ώστε να δείχνει την επόμενη θέση (ΔΙΑΔΙΚΑΣΙΑ ΑΥΞΗΣΗΣ ΤΟΥ PC) PC←16

T₁: MDR ← M[MAR]   δηλαδή MDR ← M[PC]
                          MDR ← M[15]

$$MDR \leftarrow \boxed{00 \mid 63} \rightarrow \text{Δίνη του παράδειγμα A}$$

Στο βήμα T₁ της ανάκλησης ΠΑΝΤΑ ο MDR περιέχει
1) OPCODE που θα δοθεί στο IR
2) τη θέση μνήμης που βρίσκονται τα δεδομένα που θα επεξεργαστεί η εντολή

T₂: IR ← MDR[OPCODE]

T₀: MAR ← PC
T₁: MDR ← M[MAR]
T₂: IR ← MDR[OPCODE]

Στο t₂ η CPU ξέρει ποια εντολή εκτελεί