

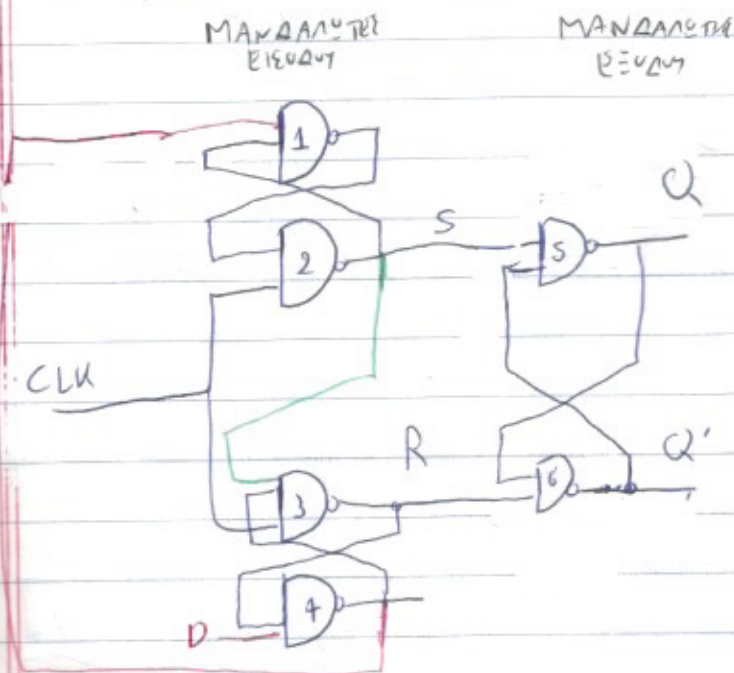
## Αρχιτεκτονική Υπολογιστή - Διάλεξη 2

Μαθητήριος

$t+1$ : Τίπλο εφέδα ενόπου χρονί αγγί  
 $t$ : Τίπλο εφέδα τρέχοντα χρονί αγγί

S	R	$Q_{t+1}$	$Q'_{t+1}$	
0	0	1	1	(ΑΜΕΡΙΒΙΜΗ)
0	1	1	0	
1	0	0	1	
1	1	$Q_t$	$Q'_t$	(ΗΡΕΜΙΑ)

Το FLIP FLOP ανάλυσις. Την τμήν σίκα D πάλι αμν το πολδί CLK πρσπαίγι, αμν  $0 \rightarrow 1$



Αν το πολδί CLK παρσπερσθί  $\hookrightarrow$  σίκαδ αμν παρσπερσθί σίκαδ ΤΩΤΕ

1) Αν  $CLK=0$  ΤΩΤΕ  $S=R=1$  κα. το κίνηηρ ΗΡΕΜΕΙ

D: Το bit που σίκαρσθί, αμν σίκαρσθί πρσπ για κν αμν κν-πρ. Ανι το D εφέδα κα. αμν σίκα παρσπερσθί σίκαδ



CLK

ΠΡΟΒΛΕΨΗ

- 1) CLK=0, V=1, t=0
- 2) CLK=1, V=1, t=5
- 3) CLK=1, V=0, t=7
- 4) CLK=0, t=10, V=0
- 5) CLK=1, t=13, V=0

1) CLK=0, τότε οι Q=0, Q'=1  
Ανυποψίαστη &  
Αν CLK=0, τότε S=R=1 (HYPHEN)

2) CLK=1, V=1

CLK=1, Με V=1 να R=1, & (4)=0 <sup>από τις 4</sup>  
Το αψηφάμε και το (4) γιατί είναι 0

Αφού (1)=1

Επειδή CLK=1, & (2) έχει 2 φορές, 1 φορά & (2)=0

Αφού S=0, αψηφάμε Q=1=V

Με R=1, Q'=0

Όταν το ποσό είναι 1, Q=V, S=0, R=1

Όταν CLK αυξηθεί και V σε 1 το S, R αλλαξάνε και  
1, 1 σε 0, 1

3) Αν το CLK αυξηθεί 1 και το V αλλαξάνε σε 0  
Αφού (4)=1 οπότε & (1) έχει 1 φορά, 1 φορά να  
το S το οποίο είναι 0. Αφού & (2) είναι 0. Αφού  
S=0 να ενοηθεί & αλλαξάνε το V σε 0. Αφού  
το CLK σε αυξηθεί και V σε 1

4) HYPHEN (S=R=1)



5)  $Q=0, Q'=1$

To CLK 

Όταν  $CLK=0$  (και  $S=0$ ) τότε  $S=R=1$

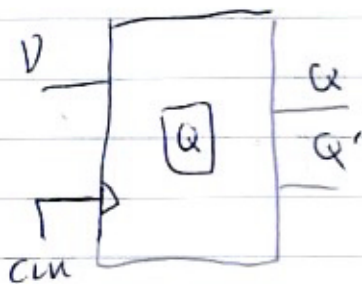
Όταν  $CLK$  πέσει και  $Q \rightarrow 1$  για  $S=R=1$  και:

Αν  $D=0$  θα γίνει  $S=1, R=0$  οπότε  $Q=0$

ή αν  $D=1$  θα γίνει  $S=0, R=1 \Rightarrow Q=1$

Αν το  $D$  αλλάξει, ενώ  $CLK=1$  τότε η αλλαγή αυτή δεν επηρεάζει τα  $S, R$  άρα και το  $Q$ .

D FLIP FLOP (D  $\rightarrow$  Data)



1) Όταν το  $CLK$  πέσει και  $Q=1, Q'=0$

2) Όταν το  $CLK$  πέσει και  $Q=0, Q'=1$  και η αλλαγή του  $D$  στην επόμενη κατάσταση  $\rightarrow S=0$  και  $R=1$  ή  $S=1, R=0$

3) Αν  $CLK=0$  (idle)  $\rightarrow S=R=1$

Άλλα τύποι FLIP-FLOP

$JK: \left. \begin{array}{l} J \\ K \end{array} \right\} \rightarrow$  Χαρακτηριστικά του D FLIP FLOP πάλι με μία κατάσταση για την κατάσταση του FLIP-FLOP

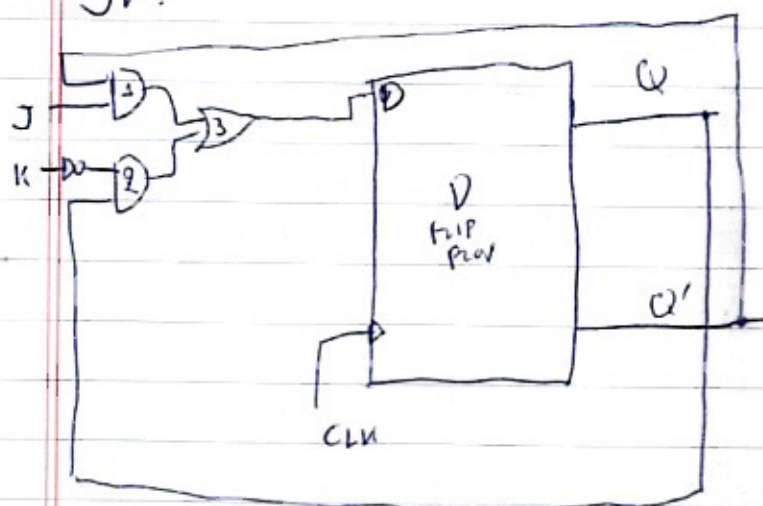
Τα αλυσίδες κατασκευάζονται με χρήση του CPU και

1) κατασκευάζονται

2) προγράμμιση

3) κατασκευάζονται οδική και υλοποιούνται με JK FLIP FLOP και με T και με D

JK:



J	K	$Q_{t+1}$	$Q'_{t+1}$	
0	0	$Q_t$	$Q'_t$	(HREMIA)
0	1	0	1	
1	0	1	0	
1	1	$Q'_t$	$Q_t$	(antiqopi)

-  $J=0$ ,  $Q(1)=0$

$K=0$ ,  $K'=1$  and  $Q(2)=0$  and  $Q(1)=0$  and  $Q(2)=0$

- And  $Q=0$  and  $Q(2)=0$ ,  $Q(1)=0$ , and  $D=0$

And  $D=0$ ,  $Q_{t+1}=0$

- And  $Q=1$ ,  $Q(3)=1$ ,  $Q_{t+1}=1$  and  $Q_{t+1}=Q_t$

- And  $J=0$ ,  $K=1$  and  $Q(1)$  and  $Q(2)=0$

And  $Q_{t+1}=0$

-  $J=1$ ,  $K=0$  and  $Q(1)$  and  $Q(2)=1$  and  $Q_{t+1}=1$

$J=K=1$  and  $Q(2)=0$  and  $Q(1)=1$  and  $Q_{t+1}=Q'_t$



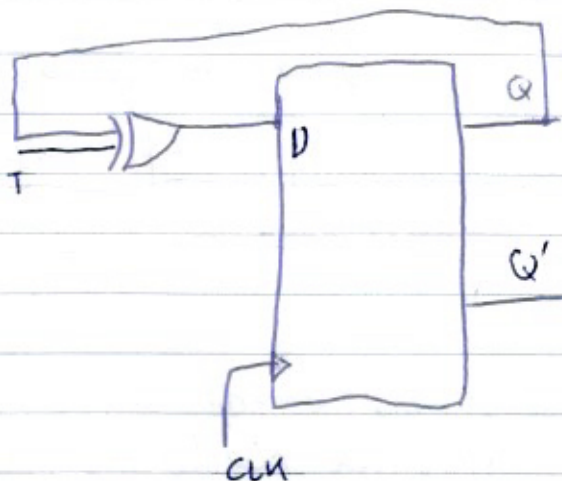
Συνθήκες  $J=K=0$  (Χρηρική)

$J=K=1$  (Αντιστροφή)

$J=0, K=1, Q_{t+1} = J=0$

$J=1, K=0, Q_{t+1} = J=1$

T:



T	$Q_{t+1}$	$Q'_t$
0	$Q_t$	$Q'_t$
1	$Q'_t$	$Q_t$

To flip flop acts, depending on the controlling signal, performs any complementary.

$$Q \oplus 0 = Q$$

$$Q \oplus 1 = Q'$$

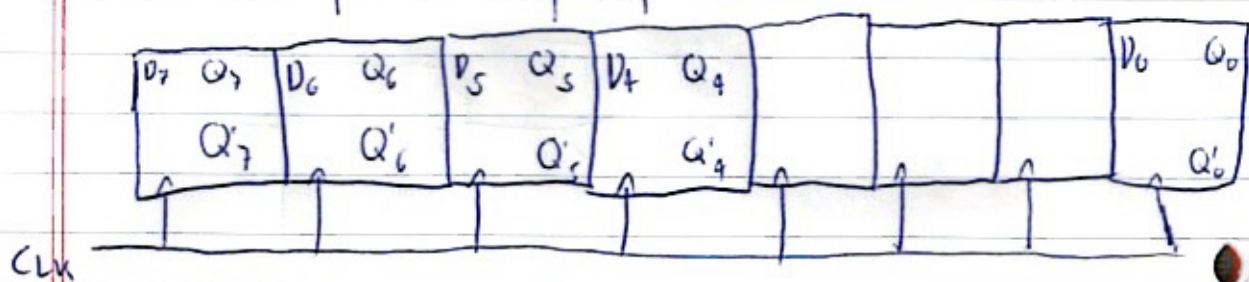
T = Toggle

Αν  $T=0$  τότε η (1) διατ. είναι  $Q \oplus 0 = Q$ . Άρα  $D=Q$  οπότε στο TCLK παύει στο 1 το κώδικα της αναλογίας, το ίδιο bit.

$T=1$ , η (1):  $1 \oplus Q = Q'$  (αντιστροφή)

Καταχωρητής: Αποθηκεύει αριθμούς που εισέρχονται από  
επεξεργαστή & CPU (PC, IR, MAR, MDR, SP, R<sub>0</sub>,  
R<sub>1</sub>, R<sub>2</sub>, ...) )

8 bit για 8 D Flip Flop



Ο καταχωρητής διαθέτει 8 flip flop και για κάθε ποδό, οταν θύλωση να αναγνωρίσει 8 bit, τότε η αναγωγή γίνεται από το CLK παλσο και 0 → 1 (ΓΑΤΟΥΡΟ)

Μετρητής: Ένα κώδικας το οποίο παρσι από 0 έως  $2^N - 1$  και  
N το αριθμός flip flop παρσι  
Για N=3: Έχουμε από 0-7

Υπόψη: Για κάθε παρσις για X. Αν  $X=0$  πρ το κώδικας  
αυτοίς. και η ίδια κατάσταση. Αν  $X=1$ , παρσις, ην επόμεν  
τιμή, Έαν 2 flip flop A, B

Αν  $A, B = 00$  τότε 0 παρσις αυτωση 0  
 $AB = 01$  —//— 1  
 $AB = 10$  —//— 2  
 $AB = 11$  —//— 3



# ΠΑΡΜΕΤ ΚΑΤΑΣΤΑΣΗ

# ΕΠΟΜΕΝΗ ΚΑΤΑΣΤΑΣΗ

$A_t$	$B_t$	$X$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

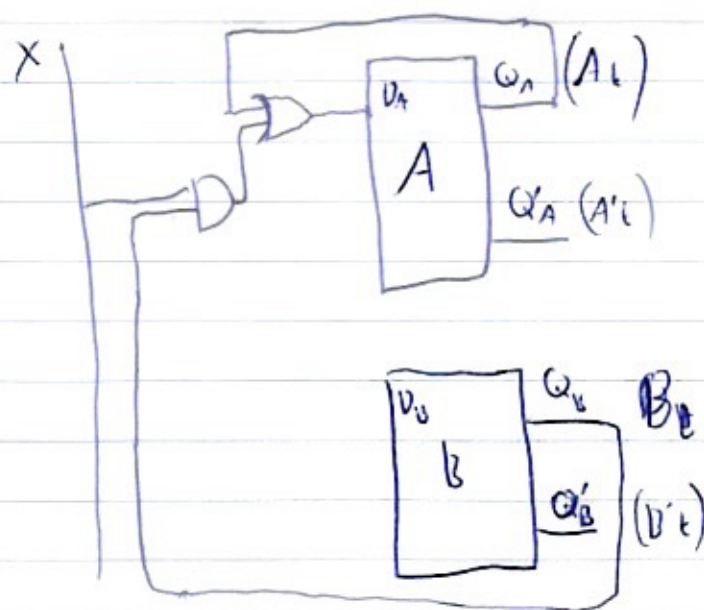
$A_{t+1}$	$B_{t+1}$
0	0
0	1
0	1
1	0
1	0
1	1
1	1
1	1

(Case 0 αυξάνει α 1)

(Case 1 αυξάνει α 2)

(Case 2 αυξάνει α 3)

Προβλέπουμε ότι η κατάσταση 3  
θα προκύψει με frequency 0  
Αυτός είναι ο λόγος για τον οποίο



Συνδυαστικό  
+  
Flop Flop

$A_t$	$B_t X$	00	01	11	10
0				1	
1		1	1	1	1

$$A_{t+1} = A_t + B_t X$$