

삼성 퍼스널컴퓨터③

SPC-1000

이 글은 5회 연재로 제재되며 주요 목차는 다음과 같다.

제1회

- I. SPC-1000의 개요
- II. SPC-1000의 CPU와 주변LSI

제2회

- III. 입출력 콘트롤시스템(IOCS)

제3회

- IV. SPC-1000의 Circuit Diagram과 Timing Chart

제4회

- V. Basic Interpreter

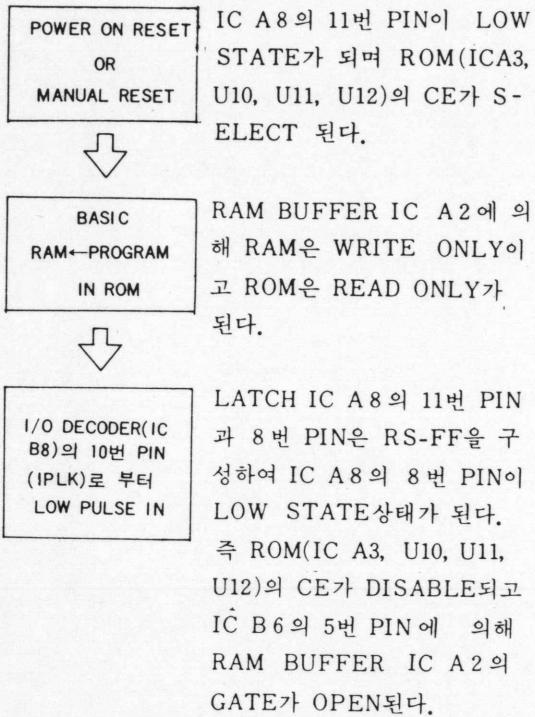
제5회

- VI. Basic Program의 기법

1. TIMING CHART

1. GENERAL VIEW OF THE SYSTEM

A. POWER ON RESET OR MANUAL RESET SEQUENCE



B. INTERRUPT SEQUENCE

SCREEN이 끝날 때마다 IC H9(68047)의 39 번 PIN \overline{FS} 가 LOW(2.032ms)가 되며 미분회로 (200pf $15\text{k}\Omega$)에 의해 IC F2의 2 번 PIN에 약 $6\ \mu\text{s}$ 의 LOW PULSE가 INPUT된다. 또한 IC A8 의 3번 PIN과 6번 PIN이 TOGGLE을 구성하여 IC A8의 6 번 PIN이 HIGH STATE가 되며 INTERRUPT ACKNOWLEDGE SIGNAL (\overline{M}_1 , \overline{IORQ} LOW)이 발생하며 INTERRUPT처리 (FRAME COUNT IN PROGRAM)가 이루어진다.

C. I/O DECODER 및 I/O MAP

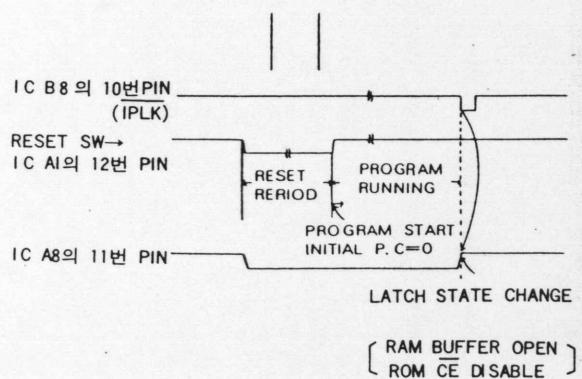
I/O DECODER(IC B8)의 OUTPUTS 8PIN으로 I/O CHIP들을 ACCESS하며 I/O MAP은 아래와 같다.

I/O MAP

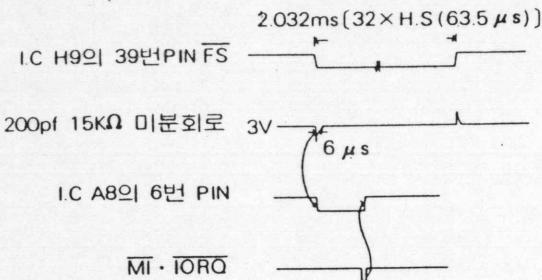
- H0000~H17FF : IC B8의 15번 PIN \rightarrow (VRAM)
- H0000~H07FF : TEXT AND GRAPHIC 1
- H0800~H0FFF : ATTRIBUTTE AND GRAPHIC 2
- H1000~H17FF : PROGRAMMABLE CHARACTER GENERATOR AND GRAPHIC 3
- H2000~H3FFF : IC B8의 14번 PIN \rightarrow (GMODE)
- GRAPHIC MODE REGISTER(IC F5) SELECT
- H4000~H5FFF : IC B8의 13번 PIN \rightarrow (PSG)
- PROGRAMMABLE SOUND GENERATOR CHIP SELECT
- H4000 : ADDRESS-LATCH ADDRESS
- H4001 : DATA-IN, OUT ADDRESS
- H6000~H7FFF : IC B8의 12번 PIN \rightarrow (SMODE)
- SYSTEM OUTPUT PORT REGISTER(IC E5의 9번 PIN) SELECT
- H8000~H8009 : IC B8의 11번 PIN \rightarrow (KBD)
- KEY MATRIX OUTPUT DER(IC C8의 1번, 19번 PINS) SELECT
- HA000~HBFFF : IC B8의 10번 PIN \rightarrow (IPLK)
- ROM으로 부터 RAM으로 PROGRAM을 읽기고 난 후 MEMORY CHIP SELECT STATE CHANGE를 위한 SIGNAL
- HC000~HDFFF : IC B8의 9번 PIN \rightarrow (EXT1)
- EXTERNAL I/O CHIP SELECT
- HE000~HFFFF : IC B8의 7번 PIN \rightarrow (EXT2)
- EXTERNAL I/O CHIP SELECT

2. TIMING CHART 및 DESCRIPTION

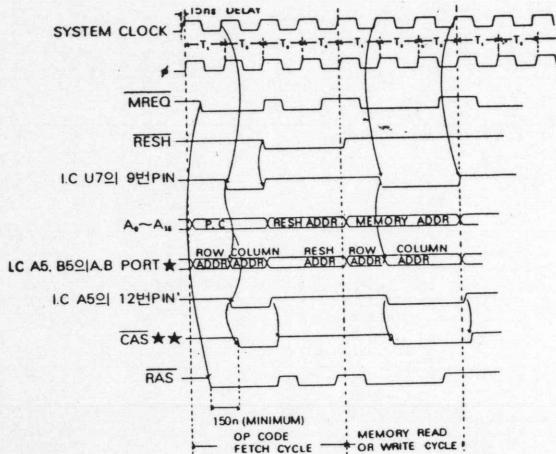
A. RESET TIMING 및 DESCRIPTION



B. INTERRUPT TIMING 및 DESCRIPTION



C. C.P.U(Z-80) TIMING 및 DESCRIPTION

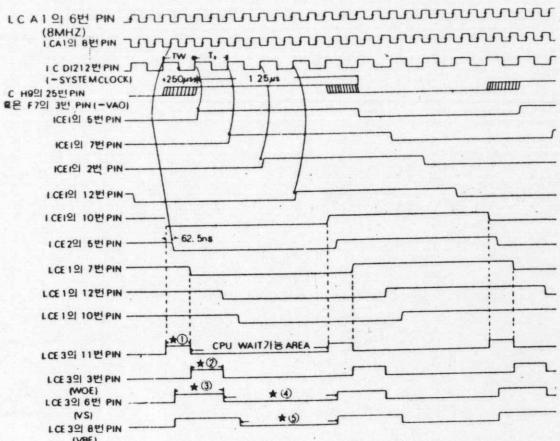


- ★ ROW ADDR : A₆, A₅, A₄, A₃, A₂, A₁, A₀, A₁₄ : HIGH STATE일 때 SELECT
- COLUMN ADDR : A₁₃, A₁₂, A₁₁, A₁₀, A₉, A₈, A₇, A₁₅ : LOW STATE일 때 SELECT
- ★★ IC A5의 12번 PIN SIGNAL을 1.8kΩ, 22pf로 DELAY IC D2로 PULSE SHAPNESS 하여 CAS SIGNAL을 만든다(MITSUBISHI CHIP 사용시 RAS TO CAS가 150ns 이상이어야 한다).

※ NOTE

- MITSUBISHI MEMORY 사용시 RAS TO CAS LOW TIME 150ns 이상.
- TOSHIBA MEMORY 사용시 RAS TO CAS LOW TIME 20~50ns 이어야 함.
따라서 TOSHIBA CHIP 사용시 1.8kΩ, 22pf DELAY를 제거할 수도 있다.

D. CONTROL PART TIMING 및 DESCRIPTION



* IC E1의 10번 PIN : VAO(IC H9의 25번 PIN)가 1μs~1.25μs DELAY

E2의 5 번 PIN : VAO가 1μs+62ns~1.25μs+62ns DELAY

E2의 7 번 PIN : VAO가 1μs+185ns~1.25μs+185ns DELAY

E2의 2 번 PIN : VAO가 1.25μs+62ns~1.5μs+62ns DELAY

E2의 12번 PIN : VAO가 1.25μs+187ns~1.5μs+187ns DELAY

E2의 10번 PIN : VAO가 1.5μs+62ns~1.75μs+62ns DELAY

* ★① CPU WAIT INHIBIT AREA

* ② CPU ACCESS시 VRAM BUFFER GATE OPEN OR MEMORY OUTPUT ENABLE AREA

* ③ CPU가 MEMORY ACCESS시 MEMORY CHIP SELECT SIGNAL PERIOD

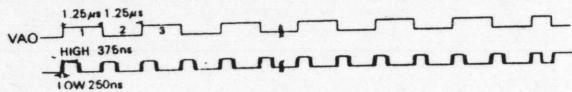
* ④ VDG가 MEMORY ACCESS시 MEMORY CHIP SELECT SIGNAL PERIOD

* ⑤ VDG가 MEMORY ACCESS시 VRAM GATE OPEN OR MEMORY OUTPUT ENABLE AREA

NOTE 1 : Tw의 *① (NEGATIVE GOING EDGE)가 ★①에 나타나고 연달아 ★③이 있기 때문에 ★①에 의해 CPU에 VRAM BUS를 할당하는 신호를 만들고 ★③에 의해 CPU에 VRAM B-

US를 할당함.

NOTE 2 : IC E 3의 6번PIN과 VAO의 TIMING CHART를 보면 1.25μs중 VAO의 STATE TOGGLE시 전반 375ns가 CPU에 의한 MEMORY ACCESS로 사용하고 나머지 기간이 VDG에 의한 MEMORY ACCESS로 사용됨.

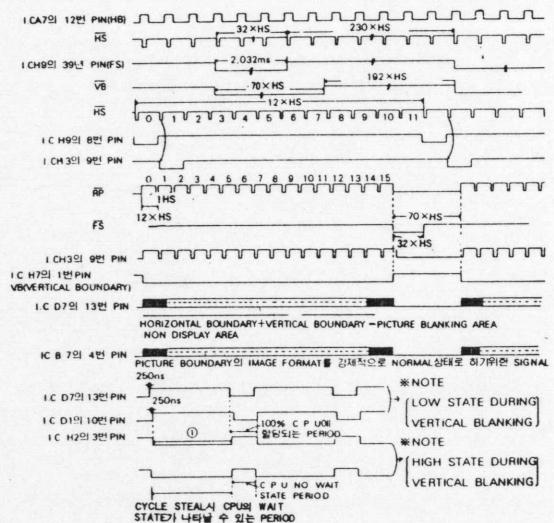


High : CPU가 MEMORY를 ACCESS할 수 있도록 CPU에 BUS를 할당하는 기간.

Low : VDG가 MEMORY를 ACCESS할 수 있도록 VDG에 BUS를 할당하는 기간.

HIGH와 LOW 상태가 250ns 겹치는 부분은 CPU "CLOCK"(4MHz)와 VDG CLOCK(대략 6.2 MHz)가 SYNCHRONOUS하지 않기 때문에 VDG의 VAO를 CPU CLOCK으로 '동기화'될 때 나타나는 TIMING ERROR임.

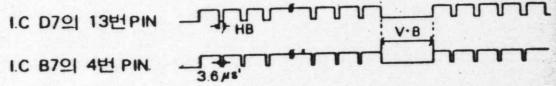
NOTE 3 : CONFLICT CONTROL SIGNAL은 IC E 3의 11번PIN, IC E 3의 3번PIN, IC E 3의 6번PIN, IC E 3의 8번PIN의 기본 SIGNAL로부터 GATE와 MULTIPLEXER를 통한 처리를 거친 후 TGBE, AGBD, CGCS 등의 CONTROL SIGNAL을 만들기 때문에 대략 30ns~70ns DISPLAY가 있음.



★① CPU와 VDG가 번갈아 VRAM을 ACCESS 할 수 있는 PERIOD

- CPU의 MEMORY FETCH CYCLE 시 T4STATE
- CPU의 MEMORY READ OR WRITE 시 T3STATE
- CPU의 I/O READ OR WRITE 시 T3 STATE

를 CPU에 전적으로 할당할 수 있도록 25 Ons 이상의 MARGIN 을 주는 기간.



IC B7의 4번 PIN이 LOW일 때(H·B의 처음 1 LINE이 LOW일 때) 강제적으로 H·V BOUNDARY를 NORMAL IMAGE 상태로 한다.

○ CONFLICT CONTROL SIGNAL(NEGATIVE LOGIC)

$$\begin{aligned}
 \overline{\text{TGCS}} &= \overline{\text{VS}} \cdot \overline{\text{CY0}} + \text{VS} \cdot (\overline{\text{A/G}} \cdot \overline{\text{GY0}} + \overline{\text{A/G}}) \\
 \overline{\text{AGCS}} &= \overline{\text{VS}} \cdot \overline{\text{CY1}} + \text{VS} \cdot (\overline{\text{A/G}} \cdot \overline{\text{GY1}} + \overline{\text{A/G}}) \\
 \overline{\text{CGCS}} &= \overline{\text{VS}} \cdot \overline{\text{CY2}} + \text{VS} \cdot (\overline{\text{A/G}} \cdot \overline{\text{GY2}} + \overline{\text{A/G}}) \\
 \overline{\text{TGOE}} &= \overline{\text{AGOE}} = \overline{\text{VS}} \cdot \overline{\text{RD}} \cdot \overline{\text{WOE}} + \text{VS} \cdot \overline{\text{VBE}} \\
 \overline{\text{CGOE}} &= \overline{\text{VBE}} \cdot \overline{\text{RD}} \cdot \overline{\text{WOE}} + \overline{\text{VBE}} \cdot \overline{\text{CGS}} \\
 \overline{\text{TGBE}} &= \overline{\text{VRAM}} \cdot \overline{\text{WOE}} \\
 \overline{\text{AGBE}} &= \overline{\text{CY1}} \cdot \overline{\text{WOE}} + \overline{\text{VBE}} \cdot \overline{\text{CY1}} \\
 \overline{\text{CGBE}} &= \overline{\text{CY2}} \cdot \overline{\text{WOE}} + \overline{\text{VBE}} \cdot \overline{\text{CCS}} \\
 \overline{\text{TGW}} &= \overline{\text{AGW}} = \overline{\text{CGW}} = \overline{\text{TGBD}} = \overline{\text{AGBD}} = \overline{\text{WR}} \cdot \overline{\text{WOE}} \\
 \overline{\text{CGBD}} &= \overline{\text{VBE}} \cdot \overline{\text{WOE}} \cdot \overline{\text{WR}} + \overline{\text{VBE}} \cdot \overline{\text{CGS}} \\
 \overline{\text{CGXS}} &= \text{VS} \cdot \overline{\text{A/G}} \quad \overline{\text{CGS}} = \overline{\text{A/G}} \cdot \overline{\text{GY2}} + (\overline{\text{INT}} / \overline{\text{EXT}}) \cdot \overline{\text{A/S}} \\
 \text{CGS} &= \overline{\text{A/G}} \cdot (\overline{\text{GY0}} + \overline{\text{GY1}}) + \overline{\text{A/G}} \cdot (\overline{\text{INT}} / \overline{\text{EXT}} + \overline{\text{A/S}})
 \end{aligned}$$

TG=TEXT AND GRAPHIC RAM : 2K

AG=ATTRIBUTE AND GRAPHIC RAM : 2K

CG=CHARACTER GENERATOR AND GRAPHIC RAM : 2K

TGCS, AGCS, CGCS; CHIP SELECT SIGNAL

NAL

TGOE, AGOE, CGOE; OUTPUT ENABLE SIGNAL

TGW, AGW, CGW; WRITE ENABLE SIGNAL

TGBE, AGBE, CGBE; BUFFER ENABLE

TGBD, AGBD, CGBD; BUS DIRECTION
CGXS; CG ADDRESS MULTIPLEX SIGN-
AL

VS: LOW : CPU가 VRAM ACCESS 시 ME-
MORY CHIP SELECT : VRAM
CHIP SELECT SIGNAL
HIGH : VDG가 VRAM ACCESS 시 ME-
MORY CHIP SELECT

WOE : Low : CPU가 VRAM ACCESS 시 ME-
MORY OUTPUT ENABLE OR
VRAM BUFFER GATE OPEN
SIGNAL.

VBE : Low : VDG가 VRAM ACCESS 시 ME-
MORY OUTPUT ENABLE OR
VRAM BUFFER GATE OPEN
SIGNAL

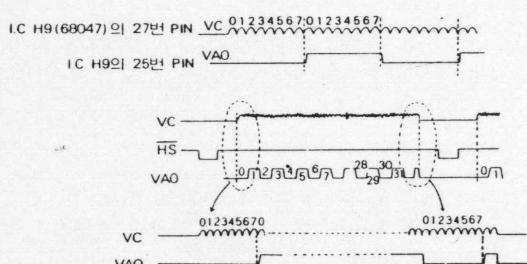
CY0, CY1, CY2 : CPU가 VRAM CHIP SEL-
ECT 할 때 LOW ENABLE SIGNAL

GY0, GY1, GY2 : VDG가 VRAM CHIP SEL-
ECT 할 때 LOW ENABLE SIGNAL

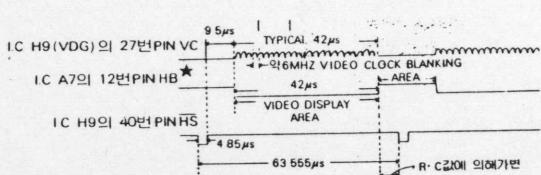
VRAM : CPU가 VRAM을 ACCESS할 때 I/O
DECODER에서 나오는 LOW ENABLE SI-
GNAL

E. VIDEO PART TIMING 및 DESCRIPTI-
ON

i) HS, VC, VAO TIMING RELATION

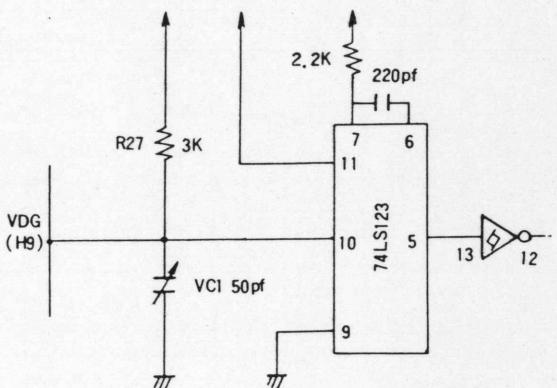


ii) VC, HB, HS TIMING RELATION



★ IC A7의 12번PIN에 SIGNAL 이
42μs

안나오고 LOW가 될 때 화면에 GLITCH NO-
ISE 또는 1ST COLUMN에 RANDOM DATA
가 나온다.



iii) VDG AND VRAM RELATION 및 SIGNAL FLOW

a) TEXT/SEMIGRAPHIC MODE시(SCREE-
N MODE 0, 1시)

○ VRAM MAP

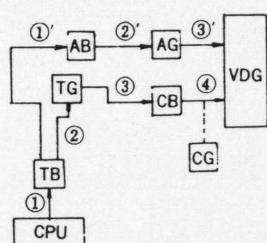
ICG2 : TEXT RAM → 4PAGE

ICG1 : ATTRIBUTE RAM → 4PAGE

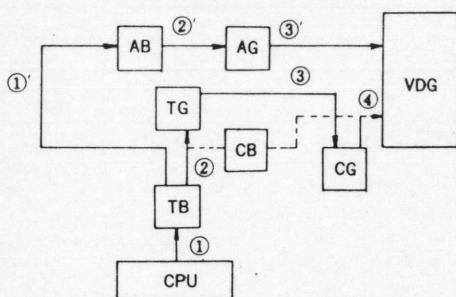
ICG7 : PROGRAMMABLE CHARACTER GENE-
RATOR RAM

{ 8×12 CHARACTER OCCUPIED AREA
8×4 BLANK AREA
8×16 CHARACTER BLOCK
128×(8×16)CHARACTER

○ INTERNAL CHARACTER OR SEMIGRA-
PHIC MODE시 SIGNAL FLOW



○ EXTERNAL CHARACTER MODE 시 SIGNAL FLOW

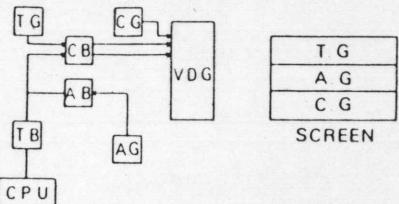


b) GRAPHIC MODE 시(SCREEN MODE 2, 3, 4, 5)

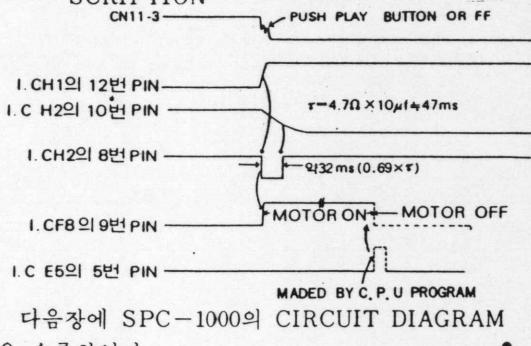
○ VRAM MAP

ICG2 : GRAPHIC RAM0 → 2K BYTE
 ICG1 : GRAPHIC RAM1 → 2K BYTE
 ICG7 : GRAPHIC RAM2 → 2K BYTE } TOTAL 6K BYTE

○ SIGNAL FLOW(CB를 통해서 TG, AG의 DATA가 VDG로 간다)



F. CASSETTE CONTROL TIMING 및 DESCRIPTION



다음장에 SPC-1000의 CIRCUIT DIAGRAM
을 수록하였다.

전기 전자 : 유무선 통신 컴퓨터 계열 취업알선 및 의뢰안내서

본 학원에서는 21년간 각 회사의 요청에 따라 전기 · 전자 · 통신 기술자를 양성, 각 계열회사에 배출하여 왔습니다. 앞으로도 계속 기술인 양성에 전력을 다하여 귀사에서 원하는 기술인을 계속 배출할 것이며, 관계 모든 회사에서 아래와 같은 기술자가 필요하실때엔 본 학원 취업 담당자 앞으로 연락해 주시면 해당기술자를 염선하여 요청에 응해 드리겠습니다.

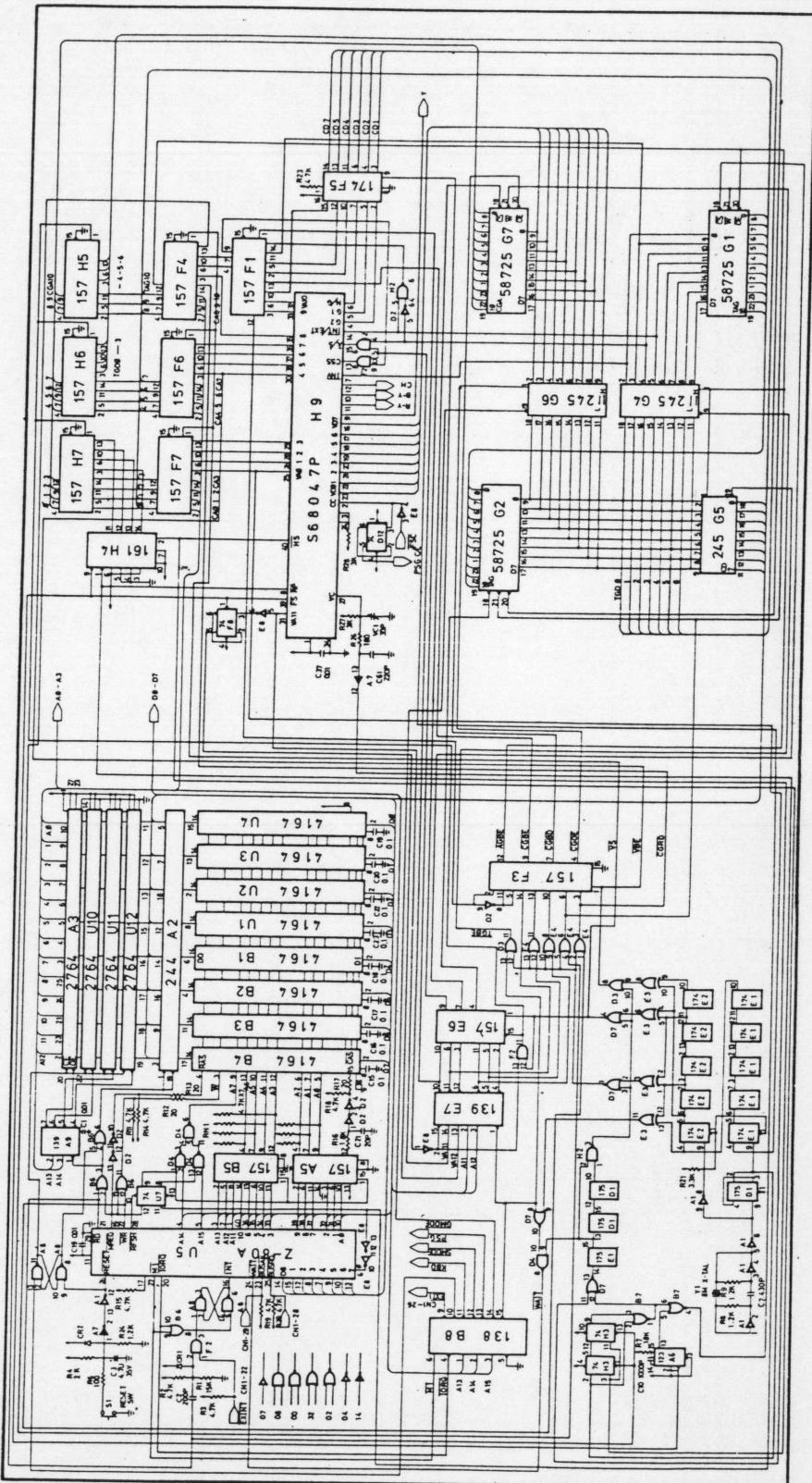
----- 본 기술학원에서 양성되는 기술자 -----

- ① 전기 · 전자 · 전파통신 · 유·무선 설비기사 1,2급. 자격증 소지자.
- ② 전기 · 전자 · 전파통신 · 무선설비 · R / TV 기능사 1,2급 자격증 소지자.
- ③ 특수급(전화, 레이다, 다중무선설비기사) 자격증 소지자.
- ④ 마이크로 컴퓨터 기술자.
- ⑤ 가정 전자제품 수리기사 및 전기공사 취급할 수 있는 기술자.
- ⑥ 전기 전자제품 조립공

연락처 : 용산구 갈월동 17. (남영 3거리 금성극장 건너편 신탁은행 뒤) 754-1751, 754-1044. 한국전파학원 취업 담당자 앞.

2. CIRCUIT DIAGRAM

CIRCUIT DIAGRAM



CIRCUIT DIAGRAM

