

به نام خدا

درس طراحی سیستم‌های مبتنی بر ASIC / FPGA

دکتر مهدی شعبانی

دانشکده مهندسی برق

دانشگاه صنعتی شریف

تمرین سری اول

نیمسال اول ۱۴۰۲ - ۱۴۰۱

نکاتی در مورد انجام این تمرین :

- ۱- برای تحویل تمرین، تمامی فایل‌ها از جمله مازول‌ها و تست‌بنچ‌ها به همراه گزارشی از نحوه‌ی انجام کار به همراه نتایج مربوطه را در سامانه آپلود کنید. برای تحویل کدها، فقط فایل‌های مربوط به مازول‌ها و تست‌بنچ‌ها را در فولدرهای جداگانه قرار دهید (هر فولدر مربوط به هر سؤال و هر بخش نیز در فولدر جداگانه). برای سؤالات دارای فایل‌های اضافی مثل فایل مموری یا txt آن‌ها را نیز تحویل دهید. از ارسال کل پروژه پرهیز کنید!!!!
- ۲- کد تحویل داده شده توسط شما باید قابل سنتز و شبیه‌سازی باشد و در صورت این‌که کد سنتز و شبیه‌سازی نشود، نمره‌ای به آن تعلق نمی‌گیرد.
- ۳- مشورت و کمک گرفتن از یک‌دیگر، جستجو در اینترنت و کتاب‌ها و.... کاملاً جایز می‌باشد ولی تمرین باید توسط خود شما انجام شود. در صورت مشاهده شباهت غیرعادی نمره سؤال برای همه‌ی افراد کاملاً صفر می‌شود.
- ۴- سعی کنید در تمرین برنامه‌نویسی، هم از سطح رفتاری و هم سطح جریان داده استفاده کنید تا به هر دو سطح مسلط شوید.
- ۵- در صورت وجود هر گونه ابهام یا سؤال در مورد تمرین، آن را با ایمیل AmirMZeyghami@gmail.com در میان بگذارید.
- ۶- این تمرین برای تمرین کدزنی و شبیه‌سازی شما در نظر گرفته شده است و صرفاً صورت سؤالات طولانی است و هدف اصلی افزایش تسلط شما در کدزنی می‌باشد؛ از انجام این تمرین نهایت لذت را ببرید!

۱- در این سؤال با ساختارهای مختلف یک FIR فیلتر آشنا می‌شوید و دو ساختار رایج آن‌ها را پیاده‌سازی می‌کنید.

الف - در مورد ساختار کلی FIR تحقیق کنید و ساختار رایج آن را بکشید. سپس یک فیلتر FIR با ده tap پیاده‌سازی کنید. فرض کنید مقادیر ضرایب ۸ بیتی است و برای معین نمودن ضرایب، سه ورودی داریم :

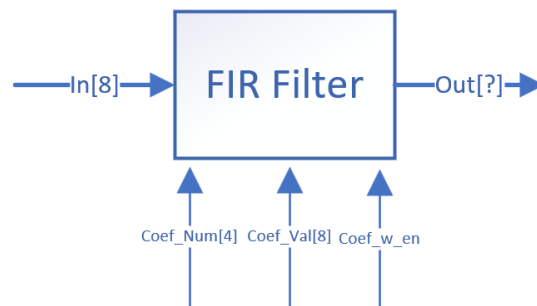
شماره ضریب مورد نظر

مقدار ضریب

یک بیت جهت تغییر مقدار ضریب موردنظر با نام write_en

در هر لبه کلاک، اگر write_en یک باشد، مقدار ضریب مورد نظر در لبه‌ی کلاک بعدی تغییر می‌کند. این فیلتر یک ورودی ۸ بیتی به صورت stream دریافت می‌کند و خروجی نیز stream است؛ محاسبه کنید که با این ویژگی‌ها، خروجی حداکثر چند بیتی است و همین مقدار بیت را برای آن در نظر بگیرید. جهت نمایش صحت عملکرد ساختار پیاده‌سازی شده، testbench بنویسید و ورودی را فقط در یک لبه کلاک ۱ کنید و در بقیه‌ی لحظات صفر؛ خروجی باید مقادیر ضرایب باشد.

ساختار خواسته شده در نهایت به صورت زیر می‌باشد :



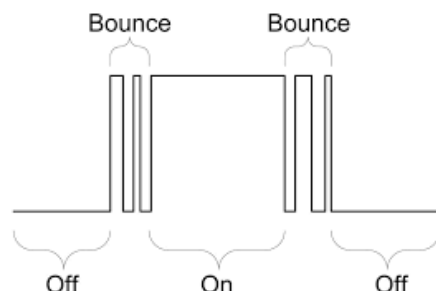
ب- در مورد symmetric بودن ضرایب و ساختار تغییر یافته برای فیلتر وقتی ضرایب symmetric هستند تحقیق کنید و ضمن ارائه ساختار خود برای یک فیلتر با ۹ ضریب، کد وریلاگ آن را نوشته و با تست ذکر شده در قسمت الف، شبیه‌سازی کنید.

ج- مزیت عمده‌ی ساختار پیشنهادی در قسمت ب با قسمت الف (با فرض symmetric بودن ضرایب) را بیان کنید.

د- فرض کنید که ضرایب فقط مقادیر ۱، ۰ و -۱ را به خود می‌گیرند. ساختار فیلتر طراحی شده در قسمت الف را بهینه کنید.

در این سؤال، استفاده از ضرایب یک فیلتر پایین گذر واقعی و استفاده از generate block برای پیاده‌سازی امتیازی است. لازم است که نحوه‌ی تعیین ضرایب به صورت کامل شرح داده شود. در صورت علاقه‌مندی، می‌توانید ماژول نوشته شده در قسمت الف و ج را به صورت جداگانه سنتز کنید و منابع مصرف شده در آن دو را مقایسه کنید.

۲ - در Embedded System ها، کلید فشاری از اهمیت ویژه‌ای برخوردار می‌باشد؛ یکی از مشکلات این نوع کلیدها، bouncing آن‌ها می‌باشد؛ یعنی بعد از فشار دادن کلید، اگر خروجی کلید را با استفاده از اسکوپ ببینیم، شکلی مانند زیر دارد.



اگر فرکانس تغییرات شکل موج حاصل شده از فشار دادن کلید از فرکانس کاری موردنظر کمتر باشد، همان‌طور که واضح است، فشار داده شدن کلید چندین بار اعمال می‌گردد؛ به این اثر، Bouncing گفته می‌شود که در اثر لرزش کلید فشاری (یا هر کلید دیگری) ایجاد می‌شود.

فرض کنید یک کلید فشاری به FPGA متصل شده است؛ مبنای این که کلید زده شده است، آن است که لبه‌ی بالارونده ببینیم. ماژولی طراحی کنید که با زده شدن کلید، تنها یک‌بار آن را اعمال کند؛ اصطلاحاً به این عمل Debouncing گفته می‌شود و کار آن این است که ورودی نویزی بگیرد و خروجی تمیز تولید کند. اگر ورودی این ماژول شکل قبل باشد، خروجی باید یک شکل موج مربعی باشد. فرکانس کاری را ۲۰ مگاهرتز در نظر بگیرید. با نوشتن testbench و اعمال یک ورودی نویزی، صحت عملکرد ماژول خود را نشان دهید. در طراحی ماژول، مدت زمانی که ورودی در اثر لرزش کلید می‌تواند نویزی باشد را دلخواه در نظر بگیرید و ماژول را برای این فرض خود طراحی کنید.

۳ - در این سؤال با نحوه‌ی صحت سنجی ساختارهای پیاده‌سازی شده با استفاده از Matlab آشنا می‌شوید. توصیه می‌شود در مورد fixed point مطالعه کنید.

الف - با استفاده از نرم‌افزار Matlab، یک پریود کامل از یک موج سینوسی با طول ۱۰۲۴ در نظر بگیرید و آن را fixed - point کنید. (فیکس پوینت مورد نیاز : (1,16,14)). نتایج را باید در دو فایل با فرمت mem بنویسید. حال کدی بنویسید که دو آرایه ۱۶ بیتی به عمق ۱۰۲۴ را با مقادیر سینوسی ساخته شده در متلب، مقداردهی اولیه کند (سینوس و کسینوس). برای این کار باید در بلوک initial، از تسک سیستمی \$readmemb یا \$readmemb استفاده کنید. طرز کار این دو تسک به راحتی با سرچ از اینترنت به دست می‌آید. سپس ماژولی بنویسید که از این دو آرایه استفاده کند و خروجی سینوسی با فرکانس ۱، ۲، ۴، ۸ و... برابر فرکانس موج سینوسی ساخته شده را بسازد. برای مشخص کردن فرکانس خروجی یک ورودی ۳ بیتی در نظر بگیرید که فقط می‌تواند مقادیر ۱، ۲، ۳ و ۴ بگیرد که این مقادیر در واقع متناظر فرکانس اولیه، دو برابر فرکانس اولیه، ۴ برابر فرکانس اولیه و... است.

ب- برای تست ماژول نوشته شده در قسمت الف، تست بنچی بنویسید که خروجی ماژول در دو حالت دلخواه ورودی را روی یک فایل txt. بنویسد. هر یک از دو حالت را در متلب به فرم $\sin + i \cdot \cos$ در آورده و با استفاده از دستور fft یا pwelch طیف آن‌ها را رسم کنید. فرکانس نمونه‌برداری را دلخواه در نظر بگیرید و فرکانس‌های موج‌های تولیدی توسط خود را صحت‌سنجی کنید.

ج- در مورد هسته‌های نرم‌افزاری و سخت‌افزاری تحقیق کنید و کاربرد آن‌ها را شرح دهید و چند نمونه به عنوان مثال نام ببرید. در مورد DDS و کاربردهای آن با مطالعه‌ی دیتاشیت آن (مربوط به شرکت زایلینکس) توضیح دهید. سعی کنید ارتباط بخش‌های مختلف این تمرین با DDS را توضیح دهید.

۴- در این تمرین با استفاده از شیفت رجیستر، یک Sequence Detector را پیاده‌سازی خواهید کرد.

فرض کنید در یک رشته بیت ورودی می‌خواهیم وجود ۰۱۰۱۱۱۰۱۰۰۰ را تشخیص دهیم. ماژولی بنویسید که در هر کلاک یک بیت ورودی دریافت کند و اگر رشته بیت مذکور مشاهده شد، خروجی به مدت یک کلاک، ۱ شود و در غیر این صورت صفر بماند.

۵- یک واحد ALU با دو ورودی ۴ بیتی و یک خروجی ۸ بیتی طراحی کنید که ۴ عمل جمع، ضرب، تفریق و تقسیم را انجام دهد. این واحد باید قابلیت پیاده‌سازی داشته باشد و طبیعتاً نمی‌توانید از عملگر تقسیم استفاده کنید. یک ورودی دو بیتی نیز برای کنترل در نظر بگیرید و با نوشتن تست‌بنچ این واحد را تست کنید. اطلاعات فیکس پوینت خروجی در هر ۴ عمل را مشخص کنید. فرض کنید ورودی‌ها اعداد صحیح هستند. ماکزیمم رزولوشن عمل تقسیم را چقدر است؟ راهنمایی: این رزولوشن بستگی به نحوه‌ی برخورد شما با تقسیم دارد.

۶- در این سؤال با ساختار DSP48های موجود در تراشه‌های شرکت زایلینکس آشنا می‌شوید.

الف- ساختار کلی DSP48های شرکت زایلینکس را مطالعه کنید و با بیان ساختار کلی، آن را شرح دهید.

ب- یک ضرب‌کننده مختلط با ورودی‌های ۱۸ بیتی و خروجی‌های به طول مناسب طراحی کنید. ساختار پیاده‌سازی شده را سنتز کنید و تعداد DSPهای استفاده شده را گزارش کنید. ساختار داده شده باید دارای پایپ-لاین در مکان‌های مورد نیاز باشد و تعداد DSPهای استفاده شده کمینه باشد. تعداد DSPهای موردنظر را با مقایسه با کد و قسمت الف توجیه کنید.

ج- حال یک ورودی را ۱۹ بیتی در نظر بگیرید و پس از سنتز تغییر در تعداد DSPهای گزارش شده را با توجه به قسمت الف توجیه کنید.

د- ساختار ب را شبیه‌سازی کنید و صحت عملکرد آن را بررسی کنید.

راهنمایی : ماژول طراحی شده ۴ ورودی ۱۸ بیتی را به عنوان ورودی می‌گیرد که هر دوتای آن مربوط به یکی از اعداد مختلط است و دو خروجی مربوط به نتیجه‌ی ضرب که در نهایت یک عدد مختلط هستند و خروجی‌ها چند کلاک بعد (بسته به معماری از ۴ کلاک به بعد یا بیشتر) از اعمال ورودی‌ها مقدار می‌گیرند.

۷- یک شیفت رجیستر طراحی کنید که با استفاده از یک سیگنال کنترلی، شیفت به راست، شیفت به چپ، لچ یا مقدار ورودی را load کند. برای مطالعه‌ی نحوه عملکرد این شیفت رجیستر می‌توانید به ICهای با عملکرد یکسان مراجعه کنید. سپس این شیفت رجیستر را شبیه‌سازی کنید و صحت عملکرد آن را بررسی نمایید.

۸- در این سؤال با CRC آشنا می‌شوید و یک فرستنده و گیرنده‌ی ساده را شبیه‌سازی می‌کنید.

الف- در مورد کاربرد CRC در شبکه تحقیق کنید و کاربردهای آن را شرح دهید.

ب- یک فرستنده طراحی کنید که با یک سیگنال کنترلی start، ورودی ۸ بیتی دلخواه را دریافت، CRC-8 مربوطه را تولید می‌کند و در نهایت یک عدد ۱۶ بیتی ارسال می‌شود. این فرستنده را شبیه‌سازی کنید و صحت عملکرد آن را مطمئن شوید.

ج- یک گیرنده طراحی کنید که با سیگنال کنترلی valid، عدد ۱۶ بیتی را دریافت می‌کند و بررسی می‌کند که مقدار CRC درست محاسبه شده است یا نه؛ اگر درست محاسبه شده بود، عدد ۸ موردنظر روی خروجی قرار می‌گیرد و در غیر این صورت ورودی دور ریخته می‌شود. توجه کنید که خروجی نیز باید با سیگنال valid متناظر به خود نمایش داده شود. با نوشتن تست‌بنچ، صحت عملکرد این گیرنده را مطمئن شوید.

د- فرستنده و گیرنده را به هم متصل کنید. با شبیه‌سازی (نوشتن تست‌بنچ جداگانه) یک عدد ۸ بیتی دلخواه را با استفاده از فرستنده ارسال کنید و بعد از چندین کلاک آن را روی خروجی گیرنده مشاهده کنید. (چون سیستم در شرایط ایدئال و بدون نویز کار می‌کند، CRC قطعاً درست است ولی ماژول شما باید یک‌بار بتواند CRC را تولید و بار دیگر در گیرنده چک کند.

ه- (امتیازی) یک سیگنال کنترلی به عنوان ورودی به فرستنده اضافه کنید با نام noise که اگر یک بود، بعد از محاسبه‌ی CRC، یک بیت را تغییر دهد و سپس ارسال کند. قسمت د را تکرار کنید و نتیجه را گزارش کنید.

راهنمایی: برای تولید CRC، می‌توانید از کدهای موجود در اینترنت استفاده کنید. در صورت استفاده از این کدهای آماده، کدها را بخوانید و سعی کنید منطق موجود در کدها را درک کنید.

۹- (امتیازی) الف- در مورد primitiveها و attributeهای موجود در زبان برنامه نویسی سخت‌افزار تحقیق کنید و کاربردهای آن‌ها تشریح کنید. با هم چه تفاوتی دارند؟

ب- با استفاده از attribute های موجود در زبان برنامه نویسی، ماژول نوشته شده در سؤال ۶ قسمت ب را به گونه ای تغییر دهید که در مرحله سنتز از DSP برای ضرب استفاده نشود و ضرب و جمع شما با استفاده از LUT پیاده سازی شود. سپس ماژول نهایی را سنتز کنید و با استفاده از گزارش سنتز تأثیر استفاده از attribute مذکور را بررسی کنید.

یک وبسایت کاربردی جهت آشنایی بیشتر با کاربردهای FPGA و مشاهده ی پروژه های مختلف:

<https://www.fpga4fun.com>

موفق باشید