

- P18 – Оценка качества вариантов
- P8 – Разработка технического задания на блоки.
- P19 – Формирование функций блока.
- P20 – Формирование формата данных.
- P21 – Состав элементов базы.

Переходы T4, T5, T6 срабатывают когда в позициях P6, P7, P8 появляются маркеры продолжения процесса проектирования. Переходы T7, T8, T9 срабатывают когда в предыдущих позициях появляются маркеры. В каждой позиции процесса проектирования возможны временные задержки, связанные с необходимостью синхронизации передачи данных. В сетях Петри это описывается как модельное время, чтобы моделировать не только последовательность событий, но и их привязку ко времени. Переход T10 является окончанием системотехнического проектирования и срабатывает в момент, когда во всех позициях: P9, P10, P11 появляются маркеры, что свидетельствует об окончании разработки задания. При срабатывании этого перехода маркер переходит в позиции: P12, P13, означающий готовность к новому циклу системотехнического проектирования. Далее, срабатывает переход T11, после чего T3 поступает в PDM систему в разработанном виде.

Функции управления процессами в PDM-системе предназначены для контроля способов создания и изменения данных. Управление процессами касается поддержки процедур ЖЦ и их влияния на данные об изделии. Среди его функций можно выделить три основные группы [1,3]:

1. *Управление работой* (рассматривают, что происходит с данными, когда кто-либо над ними работает).
2. *Управление потоком работ* (управляют передачей данных между людьми).
3. *Протоколирование работы* (отслеживают все события и действия, которые происходят при выполнении первых двух групп функций в течение всей истории проекта).

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Алексеев А.В., Борисов А.Н., Вилюмс Э.Р., Слядзь Н.Н., Фомин С.А.* Интеллектуальные системы принятия проектных решений. – Рига: Зинатне, 1997.
2. *Дмитров В.И.* Компьютерная поддержка непрерывных поставок и жизненного цикла продукции - основа обеспечения конкурентоспособности государств в XXI веке. – М.: Вестник машиностроения, 1996.
3. *Норенков И.П., Кузьмик П.К.* Информационная поддержка наукоемких изделий. CALS-технологии. – М.: МГТУ им. Н.Э. Баумана, 2002.
4. <http://www.cals.ru/conferences/CALS/materials/index.html>.
5. <http://www.calscenter.com/gmccals/install/rpz.htm>.

А.А. Лежебоков

РЕШЕНИЕ ЗАДАЧИ РАЗМЕЩЕНИЯ ЭЛЕМЕНТОВ СБИС С УЧЁТОМ ВРЕМЕННЫХ ЗАДЕРЖЕК*

Введение. Разработка методов и алгоритмов решения задачи размещения осуществляется на протяжении многих лет, но по-прежнему является актуальной задачей. Это связано с тем, что данная задача является NP-полной и разработка

* Работа выполнена при поддержке программы развития научного потенциала высшей школы РНП.2.1.2.2238

универсальных алгоритмов, позволяющих находить оптимальное решение за приемлемое время, затруднительна.

Анализ последних научных публикаций позволяет сделать вывод о том, что в современном процессе автоматизированного проектирования интегральных схем вследствие увеличения степени интеграции решающую роль играет учет параметров межсоединений, например, таких как электрические временные задержки. В настоящее время существует много алгоритмов посттопологической оптимизации цифровых схем, которые или пренебрегают задержками межсоединений, или же используют слишком грубые значения временных параметров, в результате чего увеличивается погрешность в расчетах временных моментов переключений схемы.

В таблице приведён сравнительный анализ временных характеристик транзисторов и межсоединений для различных технологий изготовления СБИС.

Таблица

Анализ временных характеристик транзисторов и межсоединений

| Технология | Задержка в транзисторе | Задержка в линии, $Lint=1mm$ |
|-------------------------------------|------------------------|------------------------------|
| 1.0 μm (Al, SiO ₂) | ~ 20 ps | ~ 1 ps |
| 100 nm (Cu) | ~ 5 ps | ~ 30 ps |
| 35 nm (Cu) | ~ 2.5 ps | ~ 250 ps |

Как видно из таблицы при изготовлении СБИС по технологии 35 nm временные параметры межсоединений доминируют над аналогичными параметрами транзисторов. Поэтому разработка алгоритмов, позволяющих найти приемлемое по качеству и по трудоемкости решение задачи размещения элементов СБИС с учетом временных задержек, является весьма актуальной проблемой, стоящей перед разработчиками САПР.

Обзор существующих методов решения. Одним из путей решения отмеченной проблемы является разработка алгоритмов размещения, минимизирующих длину межсоединений с учетом заранее заданных ограничений на временные характеристики схемы [1]. Одновременно с длиной необходимо учитывать и сопротивление межсоединений. В данном подходе необходим учет реальных топологических параметров схемы.

Другим путем решения проблемы минимизации задержки является учет размеров логических элементов. Если известна емкостная нагрузка межсоединения, то размеры ведущего логического элемента могут быть оптимизированы с целью минимизации задержки. Для большой нагрузки используется каскад элементов. Задача выбора размеров элементов состоит в определении каскада элементов и размеров каждого элемента.

В общем случае может быть использован также метод, основанный на оценке и задании размеров транзисторов с целью определения оптимальных размеров каждого транзистора для оптимизации характеристик общей схемы.

Другим эффективным способом уменьшения задержек межсоединений является метод введения буферов [2], а также метод оценки и задания размеров соединений. Известно несколько подходов последнего метода, но все они оптимизируют размеры отдельного соединения, в результате чего емкостью связи между соседними линиями пренебрегается. В [3] предложен алгоритм, в котором этот недостаток исправлен.

Более эффективным подходом считается объединенная оптимизация элементов и межсоединений. Такой метод представлен в работе [4], в котором целевая функция состоит в минимизации суммарной задержки.

Выбор вышеуказанных оптимизационных алгоритмов обусловлен их применением в программных системах для физического проектирования и логического синтеза. Лучший результат показывает метод, который представляет собой совокупность нескольких алгоритмов оптимизации. Но даже при этом методе улучшение задержки межсоединений незначительно. Поэтому становится ясно, что нужны новые подходы для решения проблем с задержками межсоединений.

Разработка алгоритма. Предлагаемый алгоритм решения задачи размещения направлен, на минимизацию задержек критических путей схемы. Основным критерием в таком алгоритме выступает не суммарная длина связей, а суммарная величина временных задержек схемы. В качестве математической модели схемы предлагается использовать гиперграфовую модель, как наиболее адекватную. Обобщённая структурная схема алгоритма размещения представлена на рис.1.

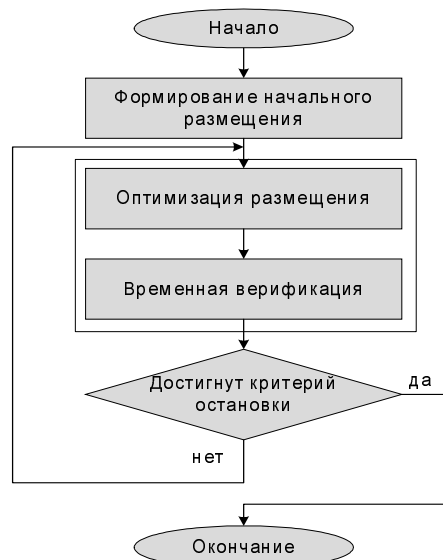


Рис.1. Обобщённая структурная схема алгоритма

Алгоритм состоит из нескольких этапов.

Формирование начального размещения. Начальное размещение элементов предлагается выполнять последовательным алгоритмом, как наименее ресурсоёмким, но, в то же время, позволяющим достичь некоторой оптимизации. Основным критерий на данном этапе – суммарная длина межсоединений, а цель – его минимизация. Решающее правило большинства последовательных алгоритмов размещения по связности основано на предположении, что наиболее связанные элементы следует располагать максимально близко друг к другу [5]. На каждом шаге алгоритма выбирают в соответствии с некоторой оценкой очередной элемент и позицию для его установки.

Оптимизация размещения. На данном этапе решения задачи размещения используется комбинированный критерий – суммарная длина межсоединений с учётом заранее заданных временных характеристик схемы. Для оптимизации полученного начального размещения предлагается использовать модифицированный генетический алгоритм.

Временная верификация. Временная верификация проводится с целью временного согласования сигналов в проектируемом устройстве. При временной ве-

рификации оценивается скорость распространения сигналов и проверяются их временные соотношения. Например, это могут быть времена задержки распространения сигнала в различных узлах схемы или быстродействие устройства в целом [6]. Результатом этапа верификации схемы является отчёт о временных задержках сигналов и критические пути.

Критический путь – это цепочка связанных друг с другом логических элементов схемы от её входа до выхода, которые вносят наибольшую задержку в распространении сигнала. В большинстве известных алгоритмов, критический путь определяется как максимальное количество элементов, через которые проходит сигнал от одного входа до одного выхода. Отличительной особенностью предлагаемого подхода является учёт при определении критического пути не только количества элементов на критическом пути, но и временных параметров межсоединений для последующей посттопологической оптимизации.

Оценка критерия остановки. В процессе верификации проекта оценивается поведение устройства с учётом задержек, определяется критический путь, оценивается основной критерий алгоритма – суммарная величина временных задержек межсоединений схемы. Критериями остановки могут быть: количество итераций алгоритма или сходимость целевой функции.

В рассматриваемом алгоритме предлагается использовать критерий достижения заданного уровня сходимости целевой функции.

Совмещённый этап временной верификации и оптимизации. Самым важным этапом предложенного подхода к решению задачи является этап временной верификации и оптимизации. Как уже было сказано выше, для оптимизации начального размещения предлагается использовать модифицированный генетический алгоритм [7]. Рассмотрим модифицированную схему генетического поиска для задачи размещения, представленную на рис.2.

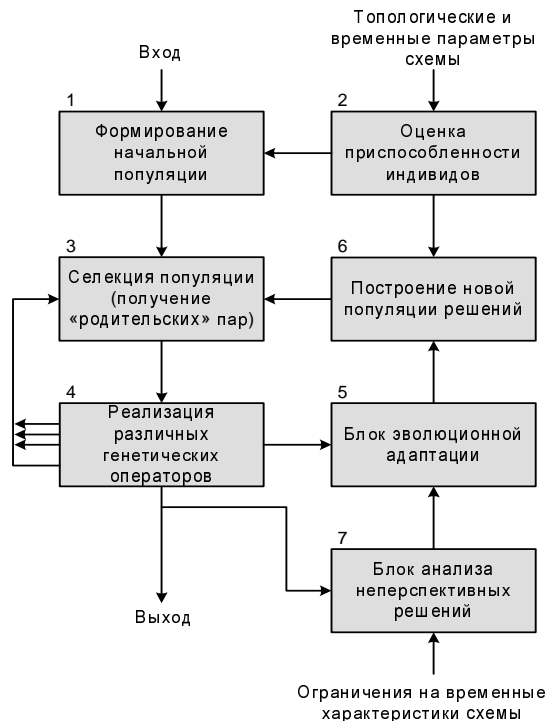


Рис.2. Модифицированная схема генетического поиска для задачи размещения

В первом блоке строится начальная (текущая) популяция решений. При построении популяции для каждой особи вычисляется оценка приспособленности – целевая функция, на которую оказывают влияние реальные топологические и временные параметры схемы (блок 2). Блок 3 выполняет селекцию популяции для получения одной или пары хромосом для участия в генетических операторах, которые выполняются в блоке 4. В этом блоке выполняются оператор кроссинговера, мутации и инверсии. При реализации алгоритма предлагается использовать как стандартные генетические операторы, так и их модификации. Блок 5 реализует стратегии адаптации и на основе обратных связей выбирает модель эволюции, а также порядок использования и применения различных алгоритмов генетической оптимизации. В 6-ом блоке осуществляется построение новой популяции решений, на основе выбранной в предыдущем блоке модели эволюции. Блок 6 собирает и анализирует перспективные, неперспективные и другие решения. Каждому решению (индивиду) после анализа присваивается определённый статус (перспективное, неперспективное, обычное) на основе заранее заданных временных характеристик схемы.

Предложенная схема генетического поиска позволяет варьировать размер популяции от генерации к генерации, что позволяет частично предотвращать преждевременную сходимость алгоритма в задачах размещения элементов. Эффективность предложенной схемы генетического поиска предполагается проверить экспериментальным путём.

Заключение. Предложенная стратегия поиска позволяет быстрее находить локально-оптимальные результаты. Это связано с параллельной обработкой множества альтернативных решений. Причём, в такой схеме возможно концентрировать поиск на получение более перспективных решений. Периодически на каждой итерации алгоритма можно проводить различные изменения (обмены хромосомами) в перспективных, неперспективных и других решениях.

В результате работы алгоритма определяется расположение элементов СБИС на коммутационном поле, удовлетворяющее основному критерию – минимальной суммарной величине задержек.

Если результат выполнения алгоритма не является удовлетворительным, необходимо внести изменения в проект на более ранних стадиях проектирования и выполнить процедуру размещения заново.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Shervani N.* Algorithms for VLSI physical design automation. – USA, Kluwer Academy Publisher, 1995. – 538 p.
2. *Ginneken L. P. P.* Buffer placement in distributed RC-tree networks for minimal Elmore delay // In Proc. IEEE Int. Symp. on Circuits and Systems. -1990. – pp. 865–868.
3. *Cong J., He L., Koh C. and Pan Z.* Global interconnect sizing and spacing with consideration of coupling capacitance // In Proc. Int. Conf. on Computer Aided Design. -1997. – pp. 570-573.
4. *Cong J., Koh C. and Leung K.* Simultaneous buffer and wire sizing for performance and power optimization // In Proc. Int. Symp. on Low Power Electronics and Design. - Aug. 1996. – pp. 271–276.
5. *Курейчик В.М.* Математическое обеспечение КТП с применением САПР. – М.: Радио и связь, 1990. – 352 с.
6. Автоматизация проектирования БИС. Под ред. Г.Г. Казеннова, М., Высшая школа, 1990.
7. *Гладков Л.А., Курейчик В.М., Курейчик В.В.* Генетические алгоритмы. – Ростов-на-Дону: Ростиздат, 2004. – 395 с.