

## Секция проектирования приборов, микросхем и микросистем

УДК 621.3.049.77.037.33

В.М. Самохвалов, В.Р. Сизов, Б.Л. Симонов, А.Р. Тизенберг

### СВЕРХБОЛЬШИЕ КМОП БМК С ВОЗМОЖНОСТЯМИ ПРИЕМКИ ПРОЕКТОВ, РЕАЛИЗОВАННЫХ НА ПЛИС

*ОАО «Ангстрем»,  
103460, Москва, Южная Промзона, ОАО «Ангстрем»,  
тел.: 5328102, факс: 5313270, e-mail: simonov@angstrem.ru*

Семейство базовых матричных кристаллов (БМК) семейства 1592ХМх предназначено для построения сложных цифровых и микропроцессорных устройств общего и специального применения с рабочей частотой до 50 МГц. Основой семейства является единый технологический процесс изготовления КМОП-схем с двумя уровнями металлизации с технологическими нормами 1,2 мкм. Все кристаллы семейства выполнены по принципу "море вентиляей" на основе нескоммутированных четырехтранзисторных ячеек с единой конструкцией библиотечных элементов и отличаются только размером ядра и количеством элементов ввода – вывода.

Старшим представителем семейства КМОП БМК 1592ХМх является кристалл 1592ХМ1 размером 10.47×10.47 мм<sup>2</sup> содержащий 100.000 ячеек ядра и 232 площадки ввода – вывода.

Основные эксплуатационные параметры приведены в табл.1.

#### **Библиотека элементов ядра**

Библиотека ядра семейства вентиляльных матриц 1592ХМх содержит в настоящее время более 170 элементов следующих категорий:

- комбинационная логика
- усилители тактового сигнала
- элементы с тремя состояниями
- триггеры-защелки, D-триггеры, JK-триггеры, RS- триггеры
- фрагменты сумматора, сумматора-вычитателя, синхронного счетчика
- дешифраторы, мультиплексоры

Элементы библиотеки ядра построены по принципу полной буферизации, при котором ни один входной вывод библиотечного элемента не связан электрически ни с одним внутренним выходом и ни один внешний выход не связан электрически ни с одним внутренним входом. Применение данного принципа позволяет упростить процесс проектирования и повысить достоверность проекта.

Все библиотечные элементы были аттестованы с применением программы SPICE на транзисторном уровне с последующей проверкой достоверности результатов при изготовлении тестового кристалла.

Таблица 1

Параметры	Минимум	Максимум
Напряжение питания	4.5В	5.5В
Низкий уровень входного напряжения, $V_{il}$ CMOS-вход TTL-вход	-0.5 В -0.5 В	$0.3 \times V_{dd}$ 0.8 В
Высокий уровень входного напряжения, $V_{ih}$ CMOS-вход TTL-вход	$0.7 \times V_{dd}$ 2.0 В	$V_{dd} + 0.5 В$ $V_{dd} + 0.5 В$
Емкость площадок ввода- вывода:		
вход	4.0 пФ	4.2 пФ
выход	3.8 пФ	4.4 пФ
вход - выход	4.0 пФ	4.5 пФ
Рабочая температура	-60 °C	85 °C

Среднее время задержки иллюстрируется рис.1.

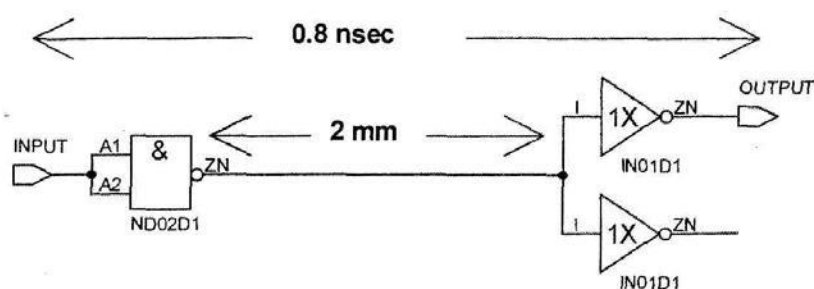


Рис.1

#### Библиотека элементов ввода – вывода

Библиотека ядра семейства вентильных матриц 1592XMx содержит в настоящее время более 60 элементов следующих категорий:

- КМОП и TTL выходы различной мощности
- КМОП и TTL выходы с тремя состояниями различной мощности
- КМОП и TTL входы-выходы с тремя состояниями различной мощности
- инвертирующие и неинвертирующие КМОП входы
- инвертирующие и неинвертирующие TTL
- входы с триггером Шмитта
- буферы тактового сигнала
- ячейки кварцевых генераторов

Для снижения уровня помех внутри кристалла и на выходе применена система разделения питания. Кристалл 1592XM1 содержит 32 фиксированных вывода шин земли и питания. При необходимости количество выводов питания может изменяться в зависимости от мощности, потребляемой микросхемой.

Средние времена задержек для элементов ввода и вывода приведены на следующем рис.2.

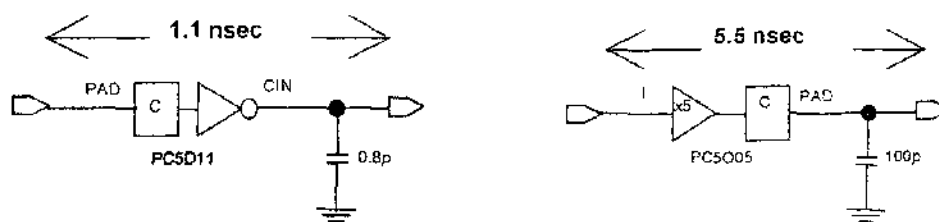


Рис.2

### Встраиваемые модули

Для расширения функциональных возможностей и области применения схем на основе БМК семейства 1592ХМх созданы подсистемы автоматической компиляции блоков ОЗУ и ПЗУ с заданными значениями по количеству слов и разрядности. Блоки ОЗУ и ПЗУ создаются из базовых транзисторов ячеек ядра и могут располагаться в любом месте кристалла. Создание всех необходимых представлений блоков в базе данных проекта производится автоматически. Пользователю необходимо заполнить простую форму, указав необходимые ему параметры блока.

Основные параметры генерируемых блоков представлены в табл.2.

Блок ОЗУ или ПЗУ максимального размера занимает около 12% площади ядра кристалла 1592ХМ1 и для увеличения количества слов или разрядности можно использовать несколько блоков.

### Маршрут проектирования

БМК семейства 1592ХМх и соответствующие библиотеки разработаны в среде проектирования системы CADENCE, в которой имеются все средства создания и верификации проекта. Для обеспечения альтернативного маршрута проектирования схем на основе БМК семейства 1592ХМх созданы базы данных библиотек с временными параметрами для системы OrCAD, функционирующей на персональных компьютерах. При этом разработчик может пользоваться либо собственными программными средствами верификации проекта, либо системой моделирования цифровых схем WinASCT, разработанной в ОАО «Ангстрем».

Таблица 2

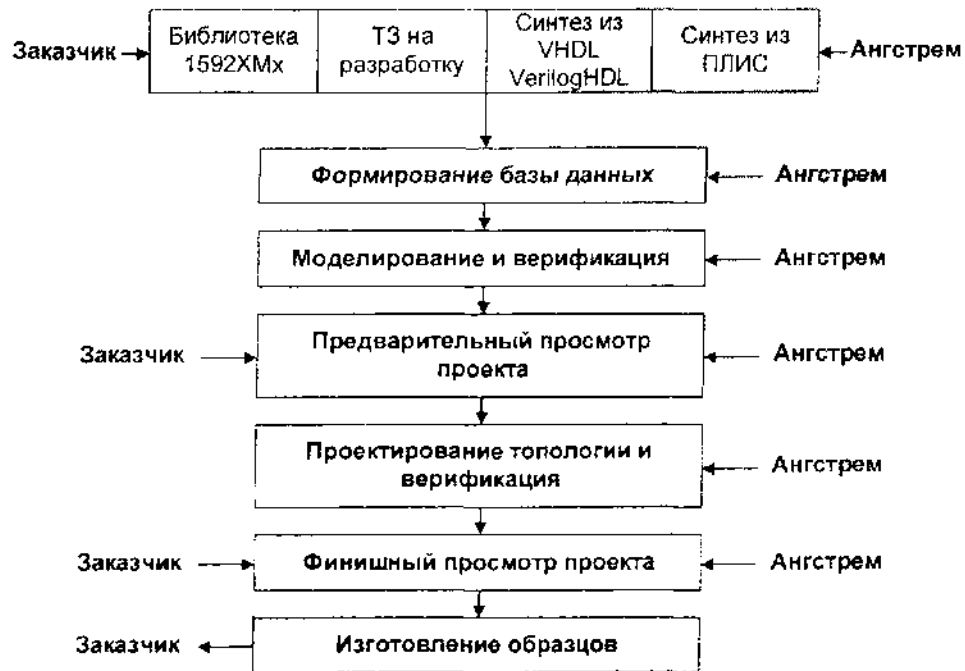
Параметр	ОЗУ	ПЗУ
Минимальное количество слов	8	32
Максимальное количество слов	256 (16 разрядов)	512
Максимальная разрядность	32 (128 слов)	32
Время доступа по чтению для блока максимального размера (нсек)	12	12
Размер максимального блока (мм <sup>2</sup> )	8.1	7.9

ОАО «Ангстрем» обеспечивает прием заказов на проектирование топологии схем на основе БМК в следующих представлениях:

- проект, выполненный в базисе библиотек семейства 1592ХМх;
- проект, представленный на поведенческом уровне в языках VHDL и VerilogHDL;
- проект, выполненный на ПЛИС различных фирм;
- техническое задание на разработку схемы.

Учитывая широкое распространение ПЛИС при проектировании первых образцов изделий, в ОАО «Ангстрем» разработан комплект программного обеспечения, позволяющий производить автоматизированный перевод проектов, выполненных на ПЛИС, в базис библиотек семейства 1592ХМх.

**Секция проектирования приборов, микросхем и микросистем**



В табл.3 приведены основные характеристики пакетов.

Таблица 3

<i>ПЛИС</i>	<i>Поддерживаемые библиотеки</i>	<i>Формат описания проекта</i>	<i>Формат описания тестов</i>
XILINX - Foundation Series Base PC	XC 2000, XC 3000, XC 4000, XC 4000E	XNF, программа LCA2XNF, ver.5.2.1	TVS
ACTEL - Actel Designer на платформах Cadence, Synopsys, Viewlogic	библиотеки View-Logic - ACT 2, 1200XL, ACT 3, ACT 3200 DX	Edif 2.0, версия программы VIEWlogic's edif-net (ver.5.00)	CMD или GEN
ALTERA - MAX+plus II Ver. 6.2 с применением языка AHDL	FLEX 8000, FLEX 10K, MAX5000, MAX 7000-7000S, MAX9000	Edif 2.0, версия программы «Altera EDIF 5.0»	VEC

Пакеты программ ASCT-Xilinx, ASCT-Actel и ASCT-Altera предназначены для:

- трансляции описания проектов и тестовых воздействий на них из систем проектирования ПЛИС фирм XILINX, Actel Corporation и ALTERA в систему логического моделирования микропроцессорных СБИС WinASCT;
- логического моделирования проектов в системе WinASCT в библиотеках систем проектирования ПЛИС фирм XILINX, Actel Corporation и ALTERA для получения эталонных результатов в системе WinASCT;
- автоматизированного перевода проектов в библиотечный базис БМК

1592XMx;

- моделирования и отладки проектов в системе WinASCT в режиме сравнения результатов с эталонными;
- передачи информации об аттестованном проекте в систему топологического проектирования;
- повторного временного логического моделирования с учетом топологических задержек перед передачей проекта.
- Реализованный на фирме ОАО «Ангстрем» маршрут перепроектирования БИС, выполненных в системах проектирования ПЛИС фирм XILINX, Actel Corporation и ALTERA, в полузаказные кристаллы фирмы ОАО «Ангстрем» состоит из следующих основных этапов.
- Трансляция описания проекта, переданного из системы проектирования ПЛИС в указанных форматах в стандартный текстовый файл описания структур - STR - формат.
- Трансляция тестовых воздействий и эталонных реакций, переданных из системы проектирования ПЛИС в указанных форматах в стандартный текстовый файл описания тестовых воздействий и эталонных реакций - TES - формат.
- Отладка проекта в системе WinASCT в библиотеке ПЛИС в режиме сравнения до получения совпадения результатов с эталонами.
- Перепроектирование проекта в заданный полузаказной кристалл, включающее доработку схем замены библиотечных элементов ПЛИС для заданного кристалла, формирование STR-файла в заданном базисе логических элементов, коррекцию схемы с учетом особенностей ПЛИС и БМК и временных соотношений.
- Моделирование проекта в режиме сравнения в указанных выше библиотеках до получения совпадения результатов с эталонами.

Выходной информацией всех систем является комплект файлов согласно стандарту фирмы ОАО «Ангстрем», описание списка цепей с одним (или несколькими) из форматов Verilog, VHDL или Edif 2.0, описание тестовых воздействий с эталонными реакциями в формате Verilog и VHDL.

УДК 621.382

**А.Н. Бубенников, В.В. Ракитин, А.В. Зыков, С.Б. Блинник**

### **МАСШТАБИРОВАННЫЕ БИПОЛЯРНЫЕ КОМПЛЕМЕНТАРНЫЕ ТРАНЗИСТОРНЫЕ СТРУКТУРЫ С НЕЛЕГИРОВАННОЙ БАЗОЙ ДЛЯ НИЗКОВОЛЬТНЫХ МИКРОМОЩНЫХ ЭЛЕМЕНТОВ УБИС**

*Московский физико-технический институт  
(гос. университет), 141700, Долгопрудный, Институтский, 9,  
факс: (095) 5765364, e-mail: abubenn@amber.arp.mipt.ru*

Конкуренция двух базовых направлений развития технологии и схемотехники - БИС-биполярного и МОП (КМОП) происходила в течение трех десятилетий (1960-1980 годы). Однако уже 90-е годы - это период, когда «рабочей лошадкой» цифровых СБИС и УБИС широкой номенклатуры стали разнообразные глубоко-субмикронные КМОП технологии и соответствующие микромощные схемотехники с прогрессирующим использованием низковольтных напряжений питания [1,2]. Главным ограничением биполярного направления развития биполярных СБИС и