

удельной производительности и конвейерной обработки данных и может быть основой для создания высокопроизводительных вычислительных комплексов.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Аладышев О.С., Дикарев Н.И., Овсянников А.П., Телегин П.Н., Шабанов Б.М. СуперЭВМ: области применения и требования к производительности. // Известия ВУЗов. Электроника, 2004. №1. С. 13-17.
2. Каляев А.В. Программирование виртуальных архитектур в суперкомпьютерах с массовым параллелизмом. // Информационные технологии и вычислительные системы. М.: Изд-во , 2000. № 2.
3. T. Makimoto. The Rising Wave of Field Programmability. Proceeding of Tehth International Conference on Field-Programmable Logic and Applications FLP-2000. Villach. Austria. August 2000. Springer Lecture Notes in Computer Science 1996. P. 1-6.
4. Ясинявичус Р. Параллельные пространственно-временные вычислительные структуры. Вильнюс: Мокслас, 1988. 183 с.
5. Каляев А.В. Многопроцессорные вычислительные системы с программируемой архитектурой. - М.: Радио и Связь, 1984. 240 с.

Н.А.Лукин

РЕКОНФИГУРИРУЕМЫЕ ПРОЦЕССОРНЫЕ МАССИВЫ ДЛЯ СИСТЕМ РЕАЛЬНОГО ВРЕМЕНИ: АРХИТЕКТУРЫ, ЭФФЕКТИВНОСТЬ, ОБЛАСТИ ПРИМЕНЕНИЯ

Назначение, выполняемые функции и типы

Непрерывное усложнение алгоритмов, реализуемых системами реального времени, приводит к необходимости введения в состав вычислительного оборудования новых процессоров. Это процессоры, архитектуры которых ориентированы на максимально эффективную реализацию определенных функций или процедур [1]. В этом случае возможно вычисление требуемых процедур с максимальной скоростью, что обеспечивает решение с помощью бортовых ЦВМ таких задач, которые еще недавно считались нереализуемыми в условиях малогабаритного приборного отсека. В качестве примеров можно привести задачу мониторинга конструкции летательного аппарата в полете и задачу обработки двумерных протяженных изображений в реальном времени на борту высокоманевренных объектов ракетно-космической техники.

Повышение эффективности бортовых систем управления в части решения основных задач невозможно без применения микроминиатюрных и высокопроизводительных специализированных процессоров, архитектура которых ориентирована на быструю реализацию базовых функций алгоритмов обработки информации с датчиков различных типов. Такие процессоры называются **функционально-ориентированными (ФОП)**, они представляют собой основной предмет настоящей статьи.

В современных системах реального времени можно выделить некоторые подсистемы, где требуется сейчас или может потребоваться в ближайшем будущем производительность порядка миллиардов операций в секунду. Это контуры первичной обработки данных и управления в составе электроники навигационных датчиков, оптические информационно-измерительные каналы, предназначенные для обработки в реальном времени изображений, многоканальные тракты обработки радиолокационной информации (ФАР), системы сжатия в реальном времени сверхбольших объемов информации для космических аппаратов.

Результаты исследований принципов эффективной реализации сложных алгоритмов в условиях жестких пространственно-временных ограничений на их реализацию приводят все большее число исследователей и разработчиков к целесообразности применения реконфигурируемых локально-связанных процессорных массивов, которые являются разновидностью однородных вычислительных сред (ОВС).

Настоящая статья представляет собой краткий обзор архитектур и аппаратной реализации уже разработанных ОВС, использование которых в системах реального времени оказалось эффективным.

ОВС разработки зарубежных фирм

Проект iWARP. В 1989 году группа ученых и инженеров Университета Карнеги-Меллона (США) разработала проект первого в мире одномерного систолического ФОП iWarp. Он был предназначен для реализации в реальном времени алгоритмов стереозрения, цифрового синтезирования апертур и обработки сигналов радара. Этот проект представлял собой одномерный массив ПЭ общим числом до 1500, работающих по принципу систолической обработки данных [2]. Каждый ПЭ состоит из трех основных блоков: вычислительного, коммуникационного и памяти. Вычислительный блок, основанный на RISC-архитектуре, имеет производительность 5 MFLOPS и содержит блоки аппаратной поддержки умножения, деления и извлечения квадратного корня. Коммуникационный блок представляет собой программируемый коммутатор, позволяющий в ходе обработки данных переназначать маршруты передачи данных и образовывать различные 2- и 3-мерные конфигурации. Блок памяти, расположенный на той же СБИС, что и два предыдущих блока, позволяет хранить до 256 слов данных и 2К слов программы. На рис. 1 приведена архитектура ПЭ iWarp [2]. СБИС ПЭ Warp были разработаны на фирме Intel, степень интеграции одной СБИС – 600 тыс. КМОП-транзисторов. Архитектура ПЭ позволяет образовывать различные топологии систолических систем: тор, кольцо, решетка. Независимо от вида системы, общим признаком является систолический принцип обработки и передачи данных [3]. На рис. 2 приведена гексагональная решетка, которую можно построить из ПЭ iWarp [3].

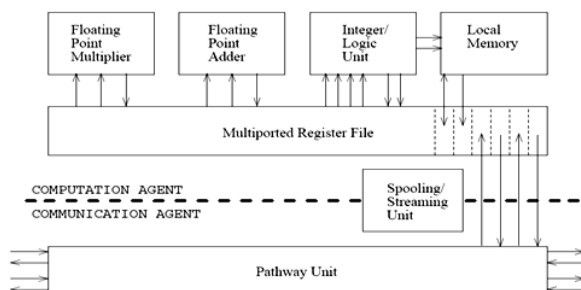


Рис. 1. Архитектура ПЭ iWarp

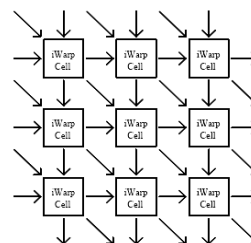


Рис. 2. Гексагональная решетка вычислительной системы на основе ПЭ iWarp

Проект GAPP. В середине 80-х годов в США параллельно с iWarp создавался проект ФОП, представляющей собой уже **двумерный массив одноразрядных** процессорных элементов. Он получил название GAPP – Geometric Arithmetic Parallel Processor. Это один из самых известных проектов ФОП на базе ОВС. Он неоднократно описан в литературе, в том числе отечественной [5]. Простота структуры ПЭ (он состоит из битового АЛУ, ОЗУ с организацией 128×1 бит и четырех мультиплексоров), позволила разместить в одном кристалле СБИС 72 ПЭ. За счет этого появилась возможность реализовать на одной печатной плате видеопроцессор, содержащий матрицу 64×64 ПЭ, что обеспечивает максимально быструю об-

работку изображений (время оконтуривания не превышает 9 тактов). В 2002 году фирма Terapec (USA) создала СБИС GAPP, содержащую 32×32 ПЭ (технология 0.25 мкм) [6].

Проект IMAP-CE. Фирмой NEC (Japan) разработан видеопроцессор для обработки изображений в реальном времени. Этот процессор представляет собой 4-е поколение линейных процессорных массивов с архитектурой SIMD. IMAP-CE состоит из 128 ПЭ с архитектурой VLIW и управляющего RISC-процессора, обеспечивающего генерацию потока команд для всех ПЭ. Пиковая производительность IMAP-CE составляет 51.2 GOPS при работе на частоте 100 МГц [7]. Процессорный элемент состоит из одного 8-разрядного ядра, 16-ти 8-разрядных регистров, блока ОЗУ емкостью 1 Кбайт и регистра маски для формирования признака активности ПЭ.

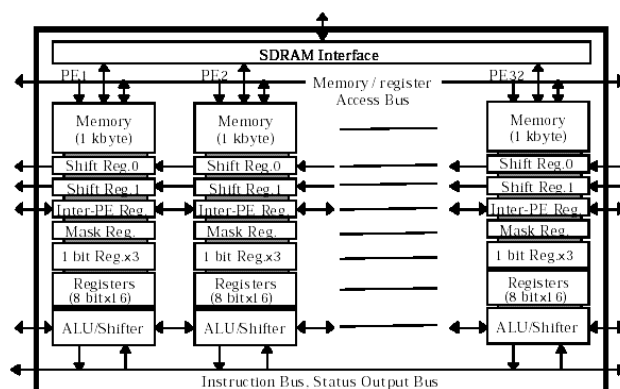


Рис. 3. Архитектура СБИС IMAP

Фирма NEC разработала СБИС IMAP, содержащую 32 ПЭ и являющуюся базовым компонентом системы. На рис. 3 приведена архитектура этой СБИС. Особенности этой архитектуры являются иерархия ОЗУ, непосредственные связи между ПЭ в СБИС, отсутствие умножителей в составе ПЭ, аппаратная поддержка операций с 1...8-разрядными переменными. Технические характеристики СБИС приведены в табл. 1.

Таблица 1

Основные технические характеристики СБИС IMAP

Количество ПЭ, шт.	32
Рабочая частота, МГц	40
Пиковая производительность (байтовые операции), GOPS	1.28
Емкость внутренней памяти, Кбит	256
Пропускн. способность лок. магистрали СБИС, Гбайт/сек	1.28
Пропускн. способность внешн. магистр. СБИС, Мбайт/сек	160
Технология	0.55 мкм КМОП
Число транзисторов, шт.	2 324 052
Максимальная мощность потребления, Вт	1.6

Проект PulseDSP. Исследования, проведенные фирмой Systolix Ltd (UK) показали возможность достижения производительности 18 миллиардов умножений с накоплением в секунду (18 GMACS) в объеме кристалла СБИС размером 5×5 мм², изготовленной по КМОП-технологии с проектными нормами 0.35 мкм. Разработчики остановились на концепции предварительной настройке каждого ПЭ на требуемую операцию и неизменности вида выполняемых процедур на протяжении всего времени решения задачи, таким образом, PulseDSP представляет собой реконфигурируемый процессорный массив (РПМ) [8].

На рис. 4 приведена архитектура ПЭ и процессорного ядра PulseDSP разработки фирмы Systolix Ltd, построенного на его основе. Особенности архитекту-

ры ПЭ являются наличие локальной памяти в каждом ПЭ и система представления чисел на основе фиксированной точки.

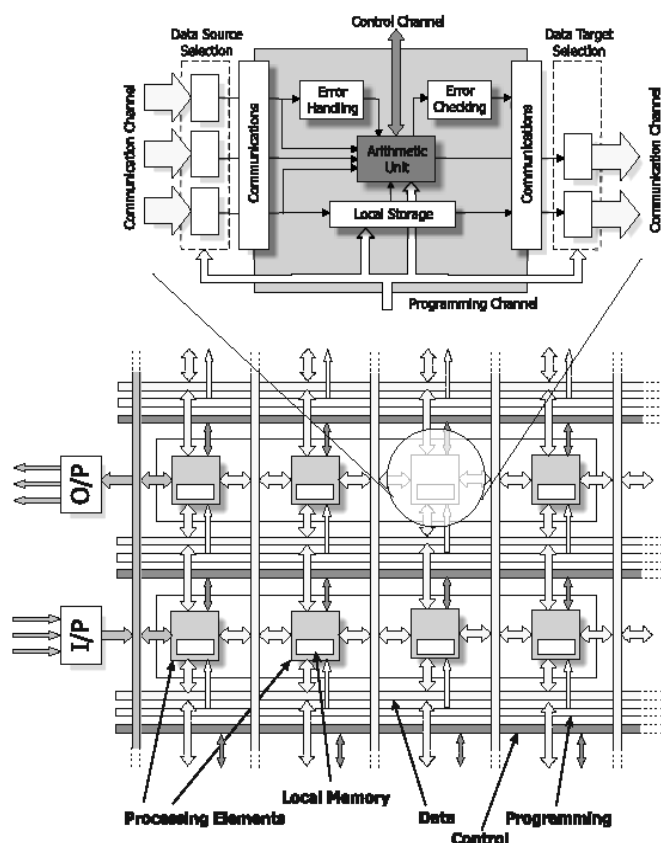


Рис. 4. Архитектура ПЭ и процессорного ядра PulseDSP на его основе

Фирмой разработано программное обеспечение, состоящее из САПР и библиотеки прикладных модулей, содержащей языковой интерфейс с языками С и VHDL.

Фирма Analog Devices (USA) внедрила эту архитектуру в один из своих АЦП – AD7725 со встроенным постпроцессором [9]. Его производительность – 1.2MSPS при частоте квантования 19.2 МГц и разрядности процессора от 24 до 32 бит.

Проект picoArray. Следующим примером РПМ является архитектура picoArray разработки фирмы picoChip Designs Ltd. (UK). Этот РПМ содержит 430 ПЭ, каждый из которых можно сравнить с возможностями архитектуры ARM9. Каждый ПЭ работает на частоте 160 МГц и выполняет три команды за один цикл. Все ПЭ взаимодействуют посредством шин с суммарной пропускной способностью 5Гбит/сек [10]. На рис. 5 изображена в общем виде архитектура PicoArray.

В состав архитектуры РПМ PicoArray входят ПЭ трех типов – для быстрой реализации процедур в алгоритмах типа Витерби, для быстрого умножения с накоплением и для быстрой реализации контроллерных процедур. Кроме того, в состав архитектуры входят коммутационный и интерфейсный элементы. Программирование задач реализуется посредством индивидуальной настройки каждого ПЭ на выполняемую функцию. Как вычислительное устройство PicoArray может увеличивать свою производительность путем каскадного наращивания. Pico Array изготовлен по 0.13 мкм технологии на фирме Taiwan Semiconductor Manufacturing Co.

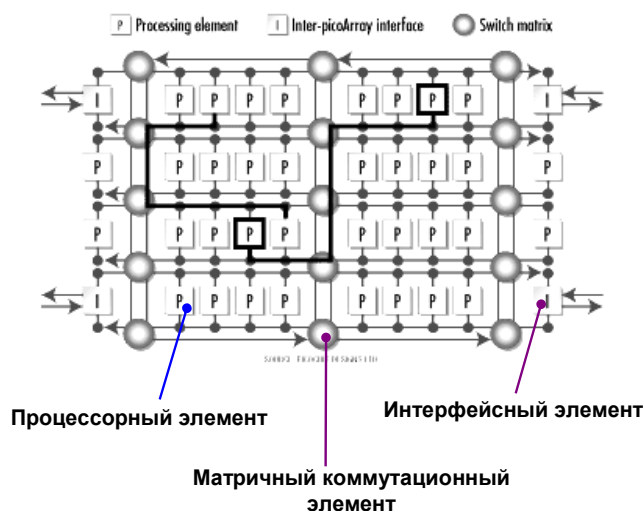


Рис. 5. Архитектура PicoArray

коммутации потоков данных между различными РАС и модули ввода/вывода для обмена ХРР с внешними устройствами.

На рис. 6 приведена архитектура типового модуля ХРР и его составляющих. Набор кластеров РАС состоит из массива ПЭ РАЕ, одного блока ОЗУ, блока СМ и интерфейсного блока I/O. Блок СМ задает необходимую топологию соединений между РАЕ, при этом на уровне программирования СМ можно динамически менять топологию, т.е. переходить от одной архитектуры к другой. В конце 90-х годов РАСТ предложила аппаратную реализацию модуля ХРР под названием ХРУ128-ES, предназначенного для цифровой обработки сигналов. Этот модуль представляет массив из 64 32-разрядных РАЕ на базе АЛУ, 16 РАЕ на базе ОЗУ и 4 32-разрядных блока ввода/вывода. Одна из ключевых идей, заложенных в разработку ХРР, состоит в том, что блоки РАЕ в зависимости от своего назначения в составе РАС могут включать в свой состав либо АЛУ, либо ОЗУ. Это осуществляется на этапе проектирования РАС и достигается за счет введения в состав РАЕ того или иного блока. Для обеспечения этого блоки АЛУ и ОЗУ полностью совместимы между собой по интерфейсу.

Фирмой РАСТ разработана СБИС ХРУ 128, содержащая 128 32-разрядных ПЭ, 32 блока ОЗУ и 16 блоков ввода/вывода. Эта СБИ выполняет 12.8 миллиардов умножений с накоплением в секунду при работе на частоте 100 МГц.

Проект Triscend. Одним из представительных примеров использования РПМ в составе системы на кристалле является СБИС Triscend A7S, разработанная фирмой Triscend Corp. (USA) [12]. В состав этой СБИС входят 32-разрядное ядро ARM7TDMITM, кэш данных/команд емкостью 8 Кбайт, ОЗУ емкостью 16 Кбайт, программируемая логическая архитектура из 25.600 логических вентилей, высокоскоростная шина данных (455 Мбайт/сек).

Встроенный РПМ носит название Configurable System Logic (CSL). Подсистема CSL представляет собой матрицу локально связанных между собой ячеек, которая осуществляет связь с ядром посредством внутренней шины данных. Ячейка CSL предназначена для выполнения различных арифметико-логических преобразований, запоминания данных и других вспомогательных функций и состоит из триггера и комбинационной логики, которые могут функционировать независимо.

Проект ХРР. Начиная с конца 90-х годов, фирма РАСТ ХРР Technologies (USA) выпускает высокопроизводительные вычислительные средства, основанные на использовании РПМ. Эта архитектура получила название ХРР (eXtreme Processor Platform) [11]. В состав ХРР входят набор кластеров процессорных элементов РАС, составляющих основное вычислительное ядро ХРР, блоки управления конфигурацией СМ для

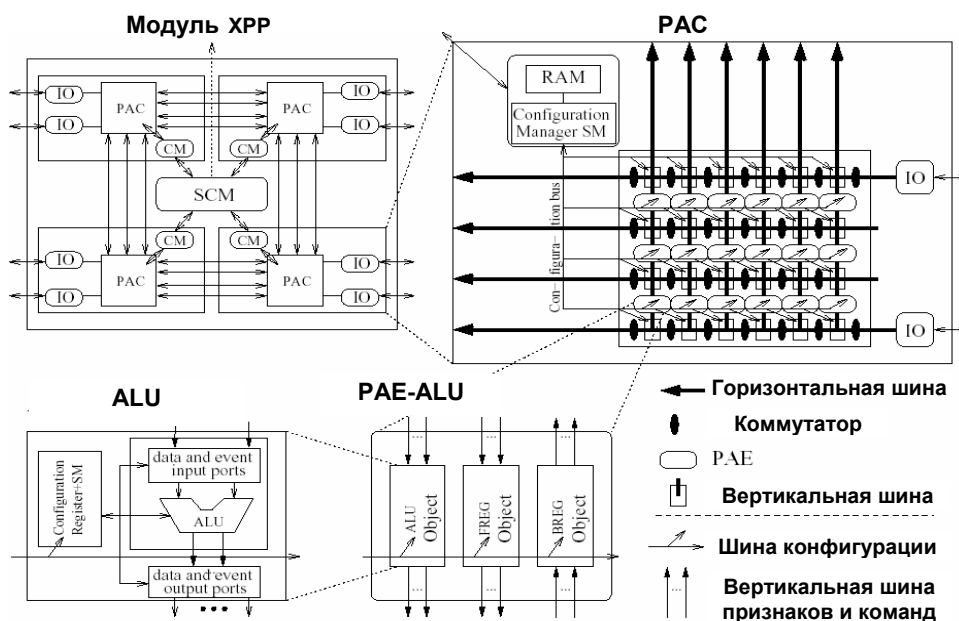


Рис. 6. Архитектура типового модуля ХРР и составляющих его блоков

На рис. 7 изображена структура ячейки CSL. Ячейка может выполнять логические и арифметические операции, запоминание, передачу и последовательное исполнение. Совокупность ячеек CSL, работающих в различных режимах под управлением центрального процессора, является реконфигурируемым массивом битовых ПЭ и эффективно реализует параллельную обработку данных в составе системы TA7S.

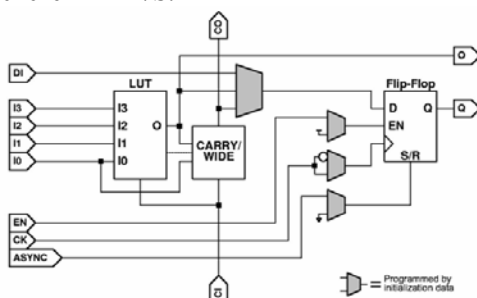


Рис. 7. Структура ячейки CSL

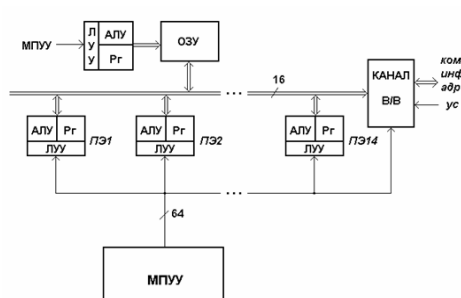


Рис. 8. Архитектура ФОР С-6118

ОБС отечественной разработки

В 60-х годах в СССР активно проводились теоретические исследования в области ОВС и ФОП на их основе, эти исследования были непосредственно связаны с последующей микроэлектронной реализацией [13]. По ряду причин, как объективных, так и субъективных, эти исследования не получили должного развития в 70 – 80-х годах. В результате, полномасштабных разработок ОВС, в том числе, для систем реального времени до середины 80-х годов в нашей стране не было. В стране существовало несколько разрозненных групп исследователей и разработчиков, которые вели работы по ОВС. Среди них можно выделить коллектив, состоящий из специалистов трех предприятий – НПО "Астрофизика" (Москва), Физико-механического института АН СССР (Украина, Львов) и ПО "Альфа" (Лат-

вия, Рига). Силами этого коллектива были начаты работы по **первому в стране проекту систолической ОВС**, эти работы завершились на стадии экспериментального образца ОВС на основе интегральных модулей, разработанных в ПО "Альфа". Был разработан систолический процессор, предназначенный для цифровой обработки сигналов в составе бортовой системы [14].

С середины 80-х годов, в целом ряде организаций страны начинаются работы в области бортовых однородных вычислительных систем с параллельной архитектурой, предназначенных для решения задач повышенной сложности.

Однородные многопроцессорные ФОП. Проект С-6118. В НПО автоматики (Екатеринбург) в начале 80-х годов был разработан ФОП С-6118, предназначенный для параллельной обработки 14-ти потоков данных под управлением одного потока команд [15]. Структура его вычислительной части была однородной, все ПЭ были одинаковы. Этот ФОП содержал 14 ПЭ, имел производительность 4 млн оп/сек, массу 2.6 кг, а потребляемая мощность составляла всего 6 Вт. Архитектура вычислительной части ФОП С-6118 представляла собой ОВС типа MIMD, она приведена на рис. 8. Он был изготовлен в количестве примерно 100 штатных образцов и прошел полный объем испытаний.

Бортовые ФОП на базе ОВС. В конце 80-х годов в ИМаш УрО РАН (Екатеринбург) были проведены исследования и предложена архитектура двумерной ОВС, состоящей из большого числа ПЭ, для реализации алгоритмов корреляционного анализа гидроакустических сигналов, поступающих с антенной фазированной решетки, состоящей из 256 ячеек. Было показано, что только с помощью глобального распараллеливания можно решить на борту эту задачу за заданное время.

В начале 90-х годов в НПОА на базе решений, реализованных в GAPP, было разработано систолическое операционное устройство (СОУ) и на его основе двумерный однородный ФОП [15]. Архитектура ФОП позволяет вводить пикселы в темпе поступления и обрабатывать их таким образом, чтобы завершить обработку к моменту прихода следующего кадра. Данный ОВС-ФОП имеет два независимо работающих интерфейса (один - с датчиком, другой - с центральной системой или БЦВМ). Для приема кадров видеоизображений ФОП имеет систолический буфер, который принимает очередную строку кадра и обеспечивает параллельную запись всех ее пикселей в основную матрицу.

Исследования возможностей систолического ФОП показали, что по сравнению с другими архитектурами он обеспечивает наивысшую скорость внутрикадровой обработки изображений. На рис. 9 изображена структура одиночного ПЭ, на рис. 10 – архитектура систолического ФОП. Оценки показали, что систолический ФОП с матрицей размерностью 512x512 ПЭ обеспечивает полную внутрикадровую и межкадровую обработку видеоизображений, поступающих из ПЗС - матрицы, за 20 мс.

В течение 1992-1994г.г. было проведено логическое проектирование заказной СБИС СОУ, представляющее собой квадратную матрицу размерностью 8x8 ПЭ, каждый из которых содержит битовое АЛУ, систему коммутаторов и ОЗУ емкостью 128 бит. Все ПЭ связаны между собой ортогонально (см. рис. 11). Было изготовлено 10 пластин с кристаллами СБИС. Технические характеристики СБИС СОУ приведены в табл. 2. Проработки показали, что ОВС-ФОП может реализовать непрерывную обработку изображений в реальном времени TV - стандартов и иметь массу не более 200 г и объем не более 0,3 куб. дм. Мощность, потребляемая ФОП, составляет не более 10 Вт.

В настоящее время работы в области систолических ФОП продолжаются в Отделе вычислительных систем ИМаш УрО РАН, где создается один из важнейших компонентов технологического цикла проектирования перспективных РПМ – архитектурная САПР.

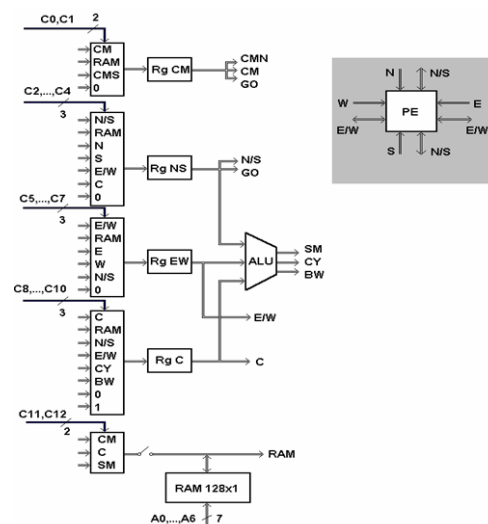


Рис. 9. Структура ПЭ систолического ФОП
(аналог – GAPP, NCR)

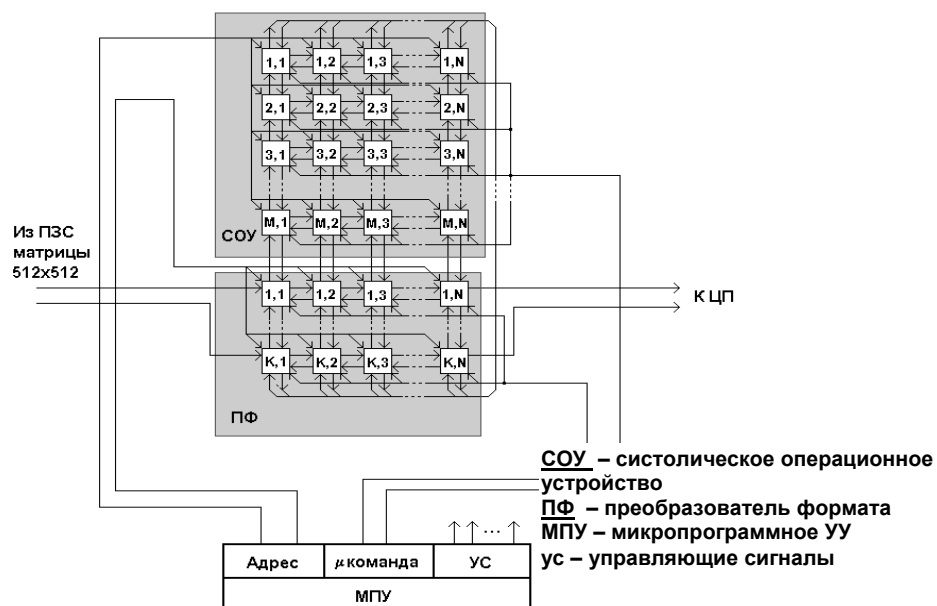


Рис. 10. Архитектура систолического ФОП

Таблица 2

Технические характеристики СБИС СОУ

Наименование характеристики	Значение
Количество процессорных элементов	64 (8x8)
Тактовая частота работы, МГц	10
Количество внешних выводов, шт.	128
Потребляемая мощность при $f=10$ МГц, мВт	35
Площадь кристалла, мм x мм	9 x 9
Технология изготовления	1,5-мкм КМОП

Мультиконвейерные ОВС. С начала 90-х годов в России началась реализация мультиконвейерной систолической ОВС, которая была разработана на предприятии «Суперкомпьютерные системы (СКС)» (Москва). Особенности мультиконвейерной ОВС являются однородность архитектуры, предварительная настройка каждого ПЭ на конкретную операцию, управление со стороны потоков данных, единая синхронизация работы для всех ПЭ, последовательный ввод, вывод и обработка данных на каждом ПЭ.

Проект MULTICON. Мультиконвейерный режим обработки данных послужил основой для названия новой архитектуры – MULTICON. В состав ПЭ MULTICON входят блоки битового АЛУ, транзита для передачи информации через ПЭ, входных и выходных мультиплексоров. Настройка всех ПЭ на выполняемую операцию производится с помощью записи в регистр команд каждого ПЭ конкретного кода операции.

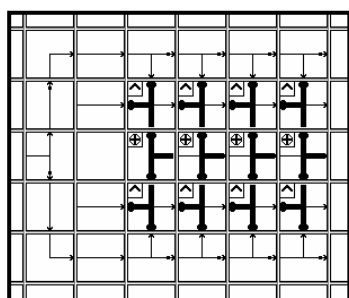


Рис. 11 Умножитель двух 4-разрядных чисел на MULTICON

В СКС была разработана СБИС MULTICON, в состав которой входит 32 ПЭ, связанных между собой ортогональными связями. Опытная партия СБИС MULTICON была изготовлена в 1993 г. в НПО "Интеграл" (Беларусь, Минск). Процессоры были выпущены по технологии 2,5 мкм и имели рабочую тактовую частоту 5 МГц. На рис. 11 показан конвейерный умножитель двух целых неотрицательных 4-разрядных чисел.

В 1994 году был разработан ФОП на базе MULTICON, реализованный как сопроцессор к персональному компьютеру. ФОП как система, собранная из 4600 СБИС, имела производительность 10 GOPS, размещалась в обыкновенном корпусе типа «big tower» и потребляла примерно 300 Вт.

Таким образом, предприятие СКС создало в 1994 году первый в России и один из первых в мире законченных ОВС-ФОП.

В ИМаш УрО РАН было разработано и отработано примерно 20 типов базовых арифметических преобразований в базисе ОВС. Кроме того, была проведена проработка проекта ОВС-ФОП для реализации алгоритмов внутрикадровой обработки изображений [17].

Проект MINITERA. С 2000 года в рамках проекта "СКИФ" предприятием СКС была разработана СБИС «Minitera» [18], представляющая собой развитие основных архитектурных идей, заложенных в MULTICON. В состав каждого ПЭ был введен потоковый 16-разрядный умножитель, позволяющий умножать пары чисел, поступающих на его входы, введены основная и теневая памяти, введен регистр конфигурации, увеличено число команд ПЭ до 49 команд. Каждая СБИС содержит 25 ПЭ и работает на частоте 30 МГц, структура ПЭ приведена на рис. 12.

На предприятии СКС разработан макет ОВС-ФОП на базе Minitera и создана компьютерная рабочая станция для работы с аппаратурой макета и разработки прикладного программного обеспечения. С помощью этой станции были разработаны и отработаны ряд прикладных программ цифровой обработки сигналов и изображений. Изображение рабочей станции и макета приведено на рис. 13.

К настоящему времени в Отделе вычислительных систем ИМаш УрО РАН проведен первый этап исследований, посвященных принципам реализации с помощью ОВС Minitera алгоритмов задач различных систем реального времени. Разработаны комплексы базовых функциональных модулей и сформулированы условия эффективной реализации алгоритмов с помощью ОВС. Например, показано, что при величине входного массива, большего 16 тысяч 32-разрядных чисел, систолическая реализация сортировки с помощью одной печатной платы Minitera с $f = 30$ МГц, будет производиться существенно быстрее, чем на Pentium 4 с $f = 3$ ГГц.

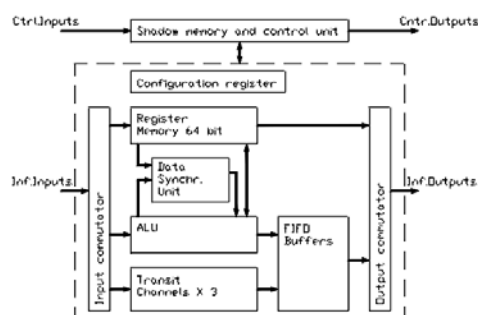


Рис. 12. Структура ПЭ Minitera



Рис. 13. Рабочая станция с макетом ОВС-ФОП на базе Minitera

Заключение

ОВС и РПМ, в частности, представляют собой результат развития концепции глобального параллелизма обработки данных. Эти процессоры позволяют в минимальных массогабаритных характеристиках получить максимальную производительность при реализации обработки сигналов, изображений, матрично-векторных преобразований, недостижимую, например, для DSP с гарвардской архитектурой.

Это делает эффективным применение RAP в ракетно-космических, авиационных, гидроакустических и наземных комплексах управления в качестве функционально-ориентированных процессоров, на различных уровнях обработки данных – в электронике инерциальных датчиков, телеметрических комплексах, оптических и инерциальных каналах, в центральных процессорах.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Лукин Н.А. Архитектурный синтез функционально-ориентированных процессоров математических функций//Гироскопия и навигация. – 2003. №3 (42). С.109-119.
2. S. Borkar, R. Cohn, G. Cox, S. Gleason, T. Gross, H. T. Kung, M. Lam, B. Moore, C. Peterson, J. Pieper, L. Rankin, P. S. Tseng, J. Sutton, J. Urbanski, J. Webb. iWarp: An Integrated Solution to High-Speed Parallel Computing//Supercomputing '88. Kissimmee, Florida, November 14-18, 1988. – Proceedings. (IEEE Cat. No.88CH2617-9), pp 330 – 339
3. T. Gross, D. R. O'Hallaron. iWARP. Anatomy of a Parallel Computing System. – MIT Press, March 1998, 530 pp.
4. T. Gross, D. O'Hallaron, and J. Subhlok. Task parallelism in a High Performance Fortran framework//IEEE Parallel & Distributed Technology, Vol 2, Num 3, Fall, 1994, pp. 16-26.
5. Никонов В.В., Подгурский Ю.Е. БИС ГАПП и ее применение // Зарубежная радиоэлектроника. М., Радио и связь, 1987. №7. С 71-83
6. J. Deam. Parallel Processing Solves the DTV Format Conversion Problem//Proc. SMPTE 33rd AMIC in Orlando, February 25-27, 1999, pp 121 – 133
7. S. Kyo. A 51.2 GOPS Programmable Video Recognition Processor for Vision base Intelligent Cruise Control Applications, in: Proceedings of MVA 2002 (IAPR Workshop on Machine Vision Applications)
8. Luke Collins. DSP efficiency up 50 times// Electronics Times, July 13, 1998 (http://www.findarticles.com/p/articles/mi_m0WVI/is_1998_July_13/ai_50175767)
9. Stephan Ohr. ADI taps Systolix processor array// EE Times, L 21, 2000 (<http://www.eetimes.com/story/EG20000421S0012>)
10. Mannion P., Wilson R. Processor array alters approach to 3G basestations// EE Times, Dec 2, 2002 (<http://www.eetimes.com/story/OEG20021202S0059>)

11. *V. Baumgarte, F. May, A. Nüchel, M. Vorbach, and M. Weinhardt.* PACT XPP— A Self-Reconfigurable Data Processing Architecture// The Journal of Supercomputing, Volume 26 , Issue 2 (September 2003), pp 167 - 184
12. *Greg Stitt, Roman Lysecky, Frank Vahid.* Dynamic Hardware/Software Partitioning: A First Approach //DAC 2003, June 2-6, 2003.
13. *Прангишвили И.В., Абрамова Н.А., Бабичева Е.В., Игнатуценко В.В.* Микроэлектроника и однородные структуры для построения логических и вычислительных устройств. – М., Наука, 1967 г., 228 стр.
14. *Богачев М.П.* Архитектура вычислительной системы с однородной структурой. // В кн.: Однородные вычислительные среды. Львов. ФМИ АН УССР. 1981.
15. *Лукин Н.А.* Бортовые функционально-ориентированные процессоры с параллельной обработкой данных// Гирокоспия и навигация. – 1998. №4 (23). С. 56 – 66.
16. *Лукин Н.А., Суворова П.Г. Семихатов Н.А.* Проблемы создания систолических функционально-ориентированных процессоров для систем обработки изображений в реальном времени// Проблемы управления и моделирования в сложных системах: Труды международной конференции/ Под. ред.: акад. В.П. Мясникова, акад. Н.А. Кузнецова, проф. В.А. Виттиха. – Самара: Самарский научный центр РАН, 1999. – С. 420 – 428.
17. http://www.minitera.ru/rus/win/pbm_proc_arh.html

А.В. Анисимов, А.В. Дервянченко, Д.В. Литвинов

АРХИТЕКТУРА СИСТЕМЫ ДЛЯ ПАРАЛЛЕЛЬНЫХ ВЫЧИСЛЕНИЙ ПАРУС-JAVA

В настоящее время большое внимание уделяется разработке экономически недорогих систем поддерживающих параллельные вычисления. В работе рассматриваются проектирование и особенности реализации одной из таких систем.

Система ПАРУС-JAVA базируется на технологии ПАРУС (Параллельные Асинхронные Рекурсивные Управляющие Системы)

[1-4]. Исследуются практические стороны этой мощной технологии применительно к возможностям совместного использования не только в локальной сети, но и в сети Internet, для решения задач, требующих параллельных вычислений.

ПАРУС-технология программирования представляет собой некоторую надстройку над базовой платформой [5-7] и позволяет создавать управляющее пространство (УП), которое используется для параллельного (или псевдопараллельного) выполнения процессов. По сути, эта надстройка является набором соответствующих классов, которые описываются на базовом языке программирования JAVA, являющемся универсальным для многих платформ.

Основными терминами ПАРУС-технологиями являются:

- точка;
- программный канал (ПК);
- алгоритмический модуль (АМ).

Структура УП - граф, вершины которого - точки УП, а ребра - ПК, которые их соединяют. При этом одни и те же точки могут быть соединены с помощью нескольких ПК разного типа. К каждой точке УП приписан АМ, который является процедурой ПАРУС - расширения базового языка (класс на JAVA). Выполнение АМ может привести к изменению в структуре УП: удалению или созданию точек, ПК, блокированию выполнения некоторых процессов и т.д. АМ выполняются параллельно, однако модуль может быть задержан до прихода некоторого события или на некоторое время. Точки УП могут содержать в себе управляющие подпространства произволь-