

Άσκηση 7**(100 %)**

1. Περιγράψτε σε Verilog έναν ημιαθροιστή (HA) με καθυστέρηση 40 και 25 χρονικών στιγμών για την παραγωγή των εξόδων αθροίσματος και κρατούμενου αντίστοιχα.
2. Περιγράψτε σε Verilog έναν πλήρη αθροιστή (FA) με καθυστέρηση 80 και 45 χρονικών στιγμών για την παραγωγή των εξόδων αθροίσματος και κρατούμενου αντίστοιχα.
3. Χρησιμοποιώντας τα (1) και (2) ως δομικά στοιχεία και περιγράψτε σε Verilog έναν παράλληλο αθροιστή των 8 δυαδικών ψηφίων. Ο αθροιστής σας θα πρέπει να δέχεται ως εισόδους δύο αρτηρίες A και B και να παράγει μια αρτηρία αθροίσματος και δύο ενδείκτες για κρατούμενο εξόδου και υπερχείλιση. Θεωρείστε τη καθυστέρηση μιας πύλης XOR ίση με 40 χρονικές στιγμές.
4. Διαμορφώστε ένα testbench για την εκτέλεση των παρακάτω πράξεων από τον αθροιστή σας :
 - i. $43_{10} + 101_{10}$
 - ii. $-98_{10} - 14_{10}$
 - iii. $18_{10} - 113_{10}$

Για κάθε μία από τις παραπάνω πράξεις μετρήστε το χρόνο εκτέλεσης (με markers πάνω στην κυματομορφή), το εάν παρήχθη ή όχι κρατούμενο και το εάν σημειώθηκε ή όχι υπερχείλιση.

5. Υπολογίστε τη χειρότερη καθυστέρηση του σχεδιασμού σας θεωρητικά και επιβεβαιώστε την γράφοντας ένα testbench γι' αυτήν και μετρώντας το χρόνο εκτέλεσής της (με markers πάνω στην κυματομορφή).

ΠΑΡΑΔΟΤΕΑ : Για τα (1), (2) και (3) οι κώδικες Verilog. Για το (4) το testbench, οι κυματομορφές και οι ζητούμενες σημειώσεις. Για το (5) το σκεπτικό σας, το testbench και οι κυματομορφές