

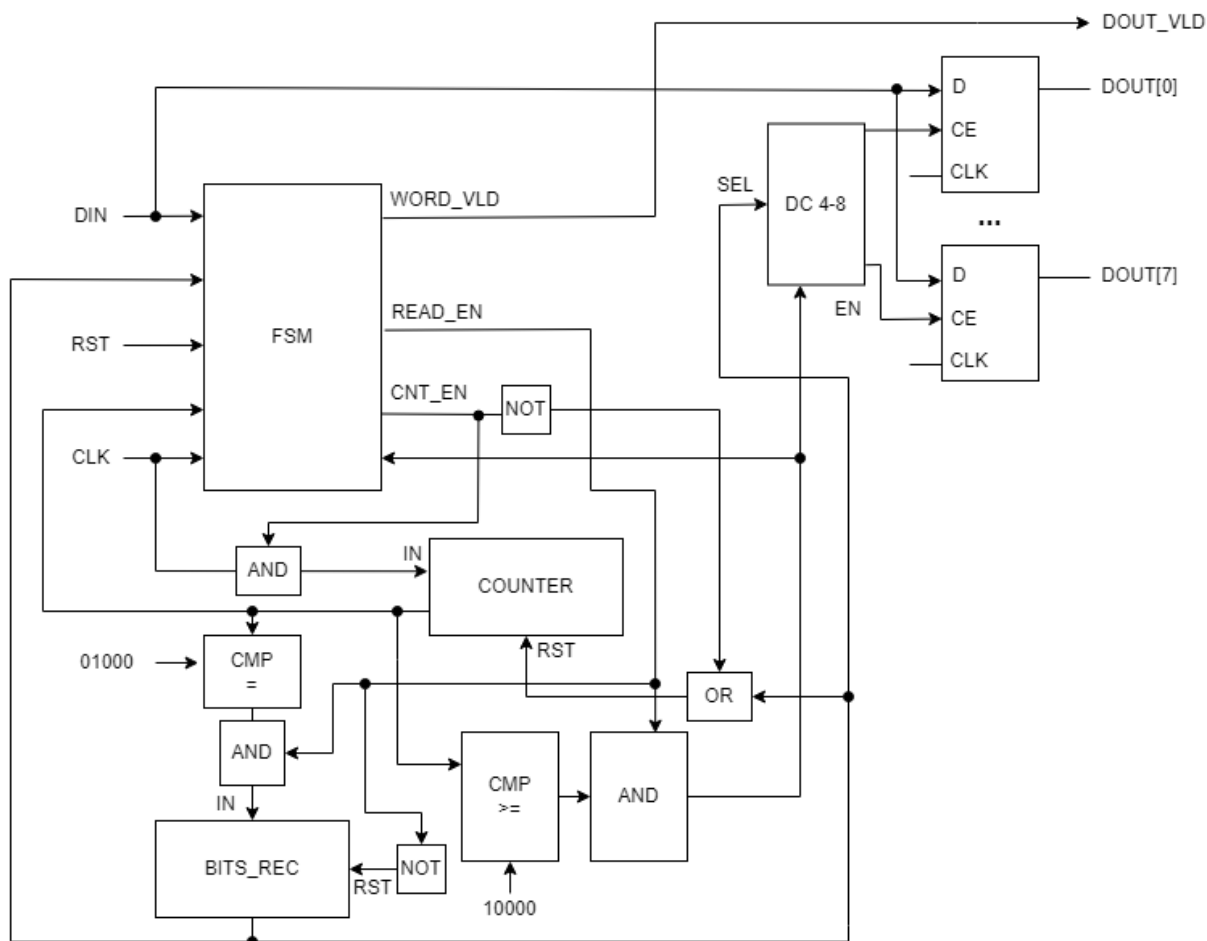
Výstupní zpráva INC

Jméno: Petr Baroš

Login: xbart0g

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu

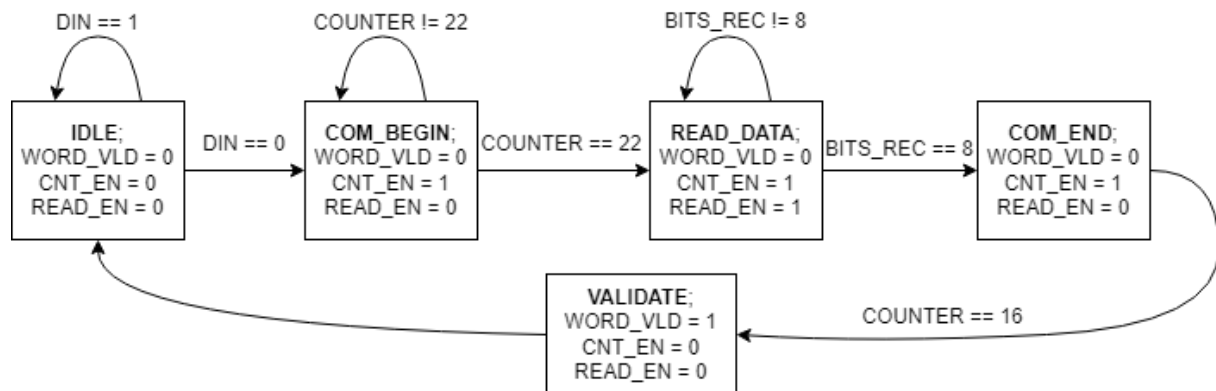


Popis funkce

FSM nastavuje podle svého stavu výstupy WORD_VLD, READ_EN a CNT_EN. Čítač COUNTER je využit k počítání času, který uplynul od posledního resetu (který nastane při zapsání bitu do registru nebo pokud je READ_EN nastaven na log. 0). Vždy, když se zvýší na 16 a signál READ_EN má hodnotu log. 1, dekodér zapíše aktuální DIN do příslušného registru (výběr registru se řídí hodnotou BITS_REC). Mezi jednotlivými zápisy (tedy po 8 hodinových cyklech) navyšujeme počítadlo BITS_REC. Po zápisu 8 bitů a přijmutí stop bitu je platnost slova potvrzena na DOUT_VLD nastavením WORD_VLD na log. 1 po dobu 1 taktu.

Návrh automatu (Finite State Machine)

Schéma automatu



Stavy automatu: IDLE, COM_BEGIN, READ_DATA, COM_END, VALIDATE

Vstupní signály: COUNTER, BITS_REC, DIN

Moorovy výstupy: CNT_EN, READ_EN, WORD_VLD

Popis funkce

Vodič začíná na úrovni logické 1 a automat je ve stavu IDLE. V tomto stavu setrvává, dokud nezačne přenos vícebitového slova, který je započat přechodem DIN na logickou 0. V tento moment se automat přepne do stavu COM_BEGIN. Zde setrvá do okamžiku, kdy načte první bit, a následně se přepne do stavu READ_DATA, kde zaznamenává zbylé vstupní bity (jejich počet je zaznamenáván v BITS_REC). Poté se přepne do stavu COM_END, kde 16 hodinových cyklů čeká na stop bit. Jako poslední se přepne do stavu VALIDATE, během kterého potvrdí platnost slova a přechází do počátečního stavu.

Snímek obrazovky ze simulací

