

- ۱- (آ) چگونه اتصالات با طول‌های متنوع (single- and multiple-length wire segments) در FPGA می‌تواند باعث افزایش فرکانس کاری مدار ساخته شده شود؟ (۰/۵)
(ب) یک تفاوت مهم در معماری اتصالات داخلی FPGAهای سری Virtex 7 نسبت به FPGAهای سری Spartan 3 چیست؟ (۰/۵)

- ۲- یک سخت‌افزار که چهار عدد ۴-بیتی را به عنوان ورودی گرفته و کمینه آنها را به خروجی می‌دهد را طراحی نموده (رسم شکل معماری الزامی است) و با VHDL و در سطح ساختار مدل کنید. برای این منظور از واحدهای مالتی‌پلاکسر و مقایسه‌گر (و در صورت لزوم گیت‌های ساده دیگر) استفاده نمایید. کد یک مقایسه‌گر ۴-بیتی در زیر آمده است. همچنین فرض کنید یک entity مالتی پلاکسر با دو ورودی ۴-بیتی و یک خط select یک بیتی در کتابخانه موجود است. (۲)

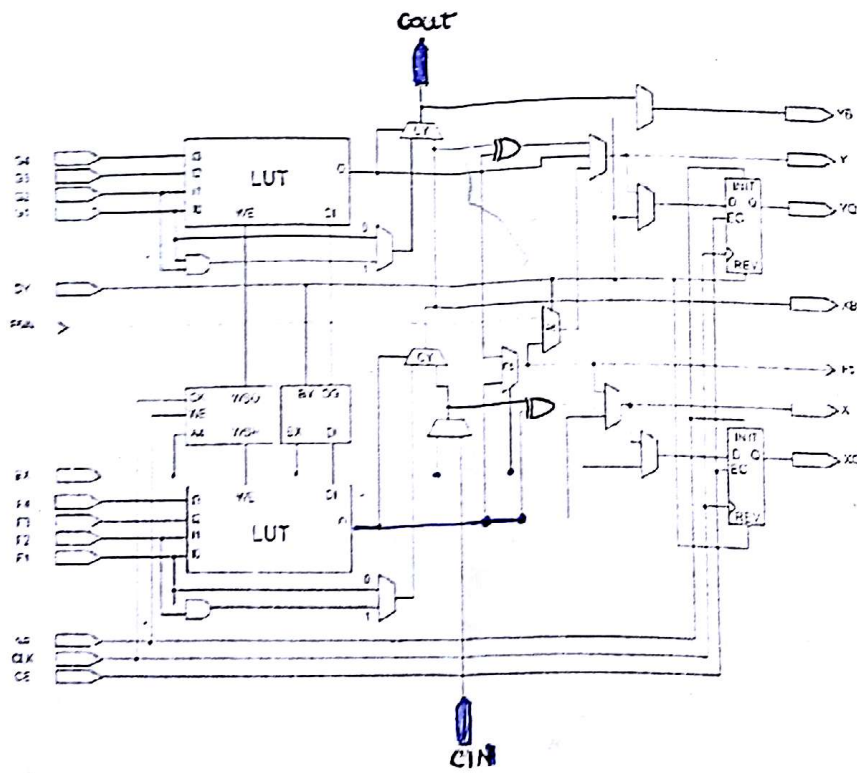
```
ENTITY nibble_comparator IS
  PORT (a, b : IN BIT_VECTOR (3 DOWNTO 0);
        gt,
        eq,
        lt : IN BIT;
        a_gt_b,
        a_eq_b,
        a_lt_b : OUT BIT);
END nibble_comparator;

ARCHITECTURE iterative OF nibble_comparator IS
  COMPONENT comp1
    PORT (a, b, gt, eq, lt : IN BIT; a_gt_b, a_eq_b, a_lt_b : OUT BIT);
  END COMPONENT;
  FOR ALL : comp1 USE ENTITY WORK.bit_comparator (gate_level);
  SIGNAL im : BIT_VECTOR ( 0 TO 8);
  BEGIN
    c0: comp1 PORT MAP (a(0), b(0), gt, eq, lt, im(0), im(1), im(2));
    c1to2: FOR I IN 1 TO 2 GENERATE
      c: comp1 PORT MAP (a(I), b(I), im(I*3-3), im(I*3-2), im(I*3-1), im(I*3+0), im(I*3+1), im(I*3+2));
    END GENERATE;
    c3: comp1 PORT MAP (a(3), b(3), im(6), im(7), im(8), a_gt_b, a_eq_b, a_lt_b);
  END iterative;
```

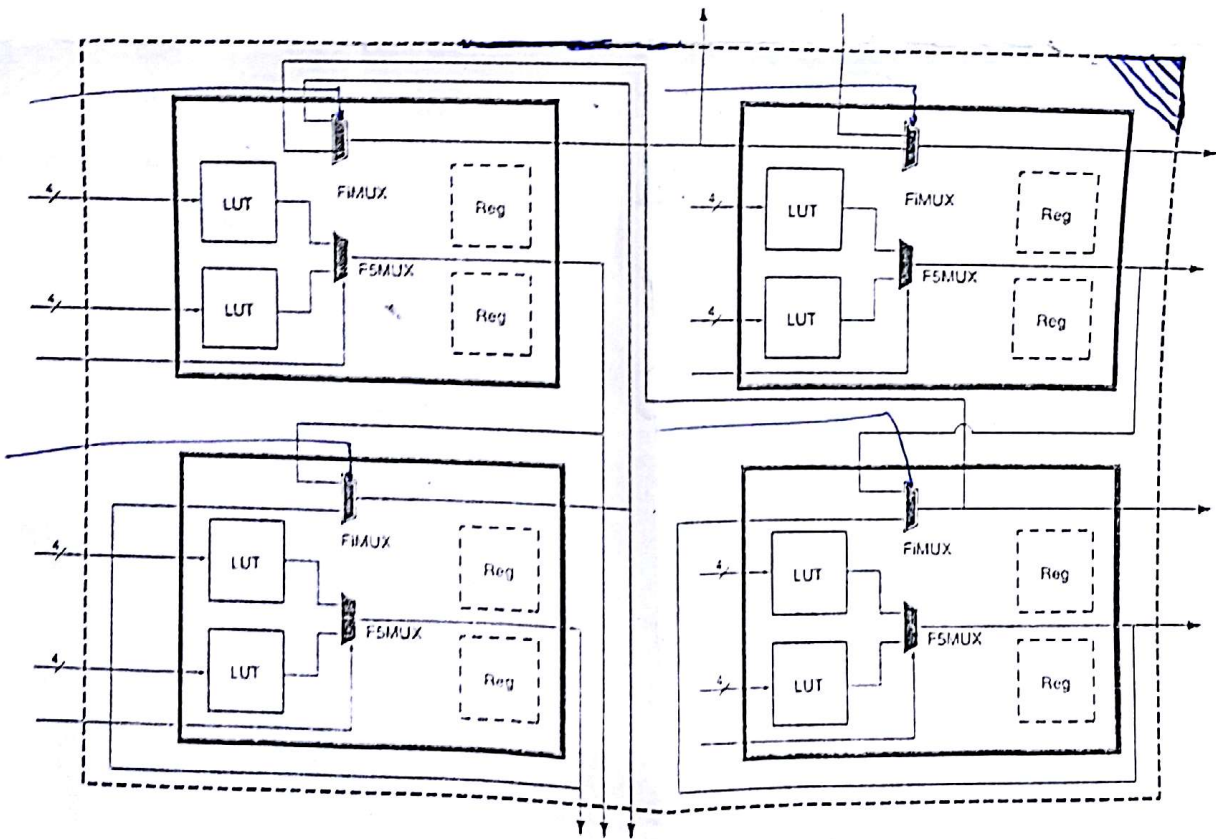
- ۳- شکل ۱ در صفحه بعد یک slice از CLBهای FPGAهای سری Spartan6 را نشان می‌دهد. برای ساخت یک جمع‌کننده ۸ بیتی در صورت استفاده از (آ) فقط LUT ها و (ب) LUT ها و مدارات تعبیه‌شده جهت ساخت جمع‌کننده در داخل slice، به چند slice نیاز داریم؟ نحوه‌ی اتصال ورودی‌ها و خروجی‌ها و مسیر داده‌ی این جمع‌کننده را در یک slice نشان دهید. فرض کنید خروجی cout هر slice به ورودی cin در slice پایایی متصل است. فقط بخش‌های مورد نیاز شکل را به برگه سوال منتقل نمایید. (۲)
(پ) می‌خواهیم با استفاده از FFهای sliceها و این جمع‌کننده، یک شمارنده بسازیم. بیان کنید که برای یک شمارنده ۴ بیتی به دست کم چند slice نیاز است و اتصالات لازم را رسم نمایید. بسته به طرح شما، ممکن است لازم باشد برخی سیگنال‌ها از slice خارج شوند و دوباره از طریق اتصالات بین CLBها به sliceها بازگشته و استفاده گردند. در این مورد نیز فقط بخش‌های مورد نیاز شکل را به برگه سوال منتقل نمایید. (۲)

- ۴- (آ) برای آنکه بتوانیم هر تابع ۷-ورودی را بر روی FPGAهای Spartan 3 پیاده سازی کنیم به چند slice نیاز است؟ ورودی‌های slice را تعیین کنید و مشخص کنید در هر LUT چه بخشی از جدول درستی تابع را باید قرار داد. شکل ساده شده‌ی یک CLB در FPGAهای Spartan3 در پشت برگه (شکل ۲) آمده است. فقط LUT ها و MUX های مورد نیاز را به برگه پاسخ منتقل کنید. (۱)
(ب) تابع ۷-ورودی زیر را با کمینه تعداد sliceها بر روی CLBهای FPGAهای Spartan3 پیاده سازی نمایید. بسته به طرح شما، ممکن است لازم باشد برخی سیگنال‌ها از slice خارج شوند و دوباره از طریق اتصالات بین CLBها به sliceها بازگشته و استفاده گردند. فقط بخش‌های مورد نیاز را به برگه پاسخ منتقل کنید. (۲)

$$F = a'bc + a'bd' + aefg + b'efg + c'defg$$



شکل ۱ (سوال ۳)



شکل ۲ (سوال ۴)