

## CW 12

1-

2- write : کامل ریاضی ویدئو می کنیم .  
read : تادیه ، ریاضی .

3- هم کالک داریم . هم خواندن آن را جواب می کنند .  
↓  
نیاز refresh در  
هنگام لغت  
↓  
نیاز refresh -  
periodic

4- (این رسم) wait state رو توضیح می دهیم .

Problems

ما کلاً ۴ زمان برای این رسم داریم :

آدر - row - adr

۵. زمان نداشتن  $adr - row$  :  $T_0$

$RAS$  :  $T_1$

۶. زمان نداشتن  $col - adr$  :  $T_2$

$CAS$  :  $T_3$

اولی را همان اول که CPU آدرس می دهد می گذاریم ،  
دوم را وقتی که  $MEMR/W$  فعال می شود ( که  $OE$  هم )  
و سوم دهمین رایله قوتان  $timing$  انجام می دهیم .

۸ بیت - ۸ بیت  $DRAM$  ، ۱۶ بیت  $→ 2^{16}$  ،  $4 \text{ bit} \times 64 \text{ k}$

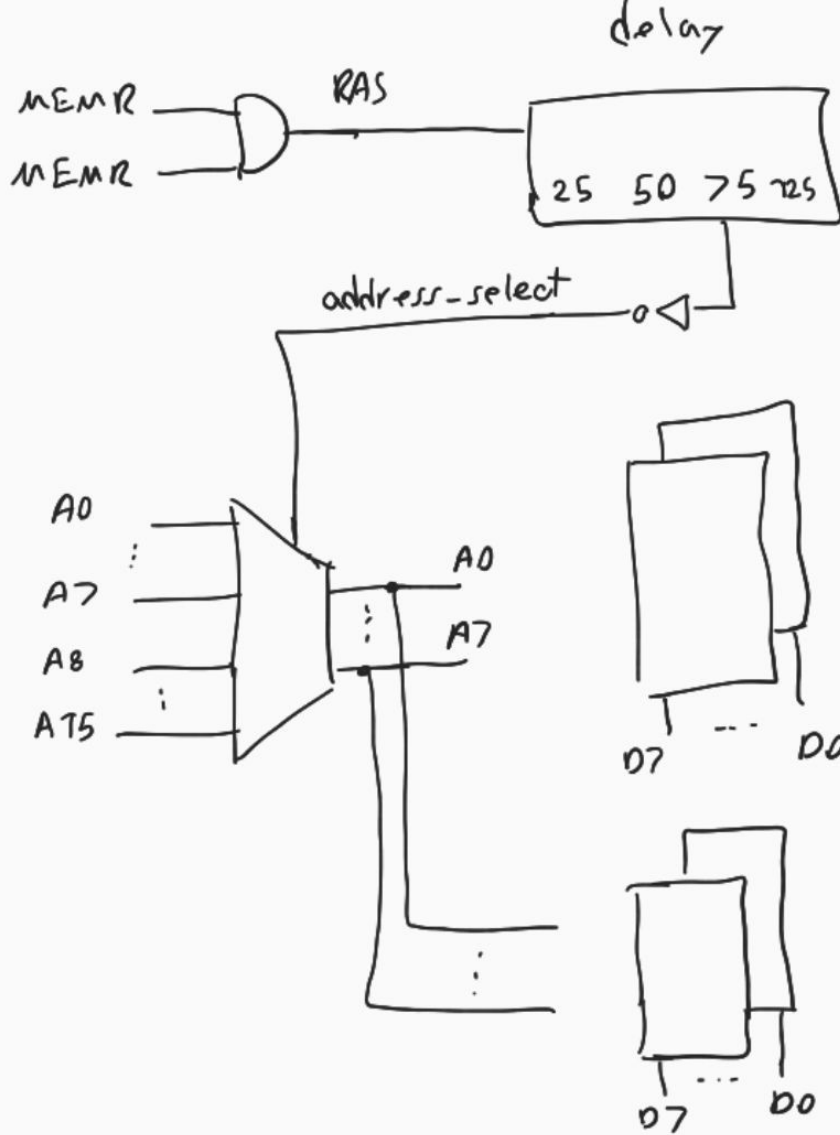
یک سری ۲ تایی  $→ \frac{80000}{1000} - \frac{8 \text{ FFFF}}{1000}$

یک سری ۲ تایی دیگر  $→ \frac{90000}{1001} - \frac{9 \text{ FFFF}}{1001}$

(۹)  $RAS$  ،  $CAS$  کل آنه :  $RASn$  و  $CASn$  بود در نهایت

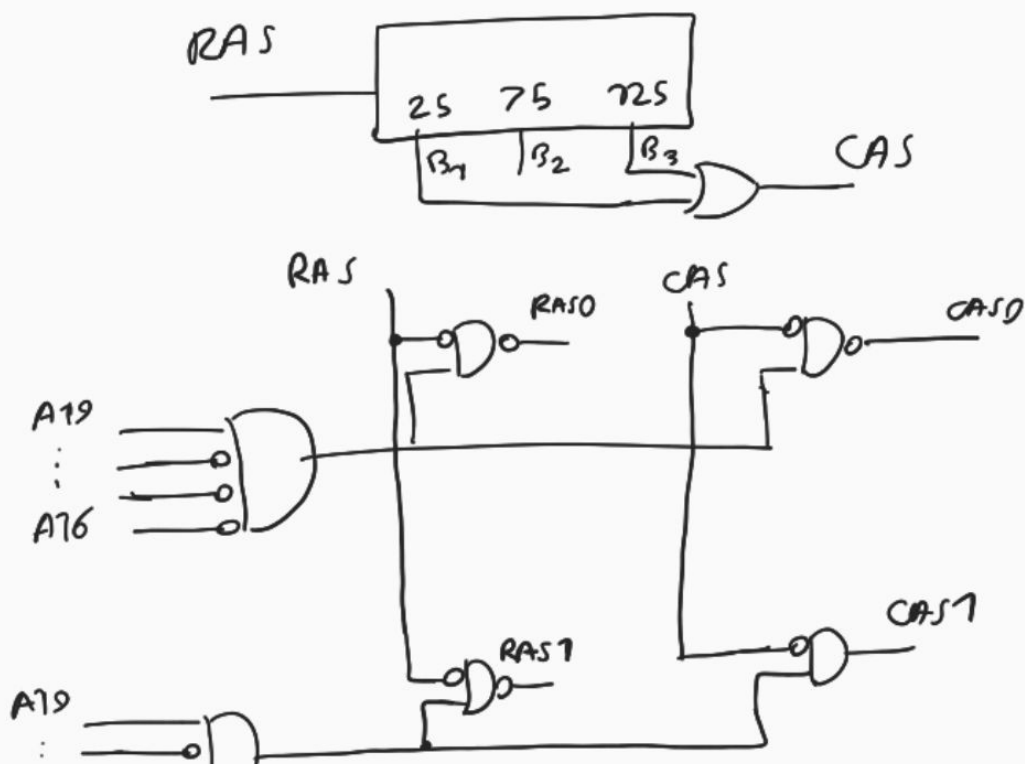
باید به  $mem$  .

delay



(b)

۲ سری ۲ تایی نیاز داریم.



(c)

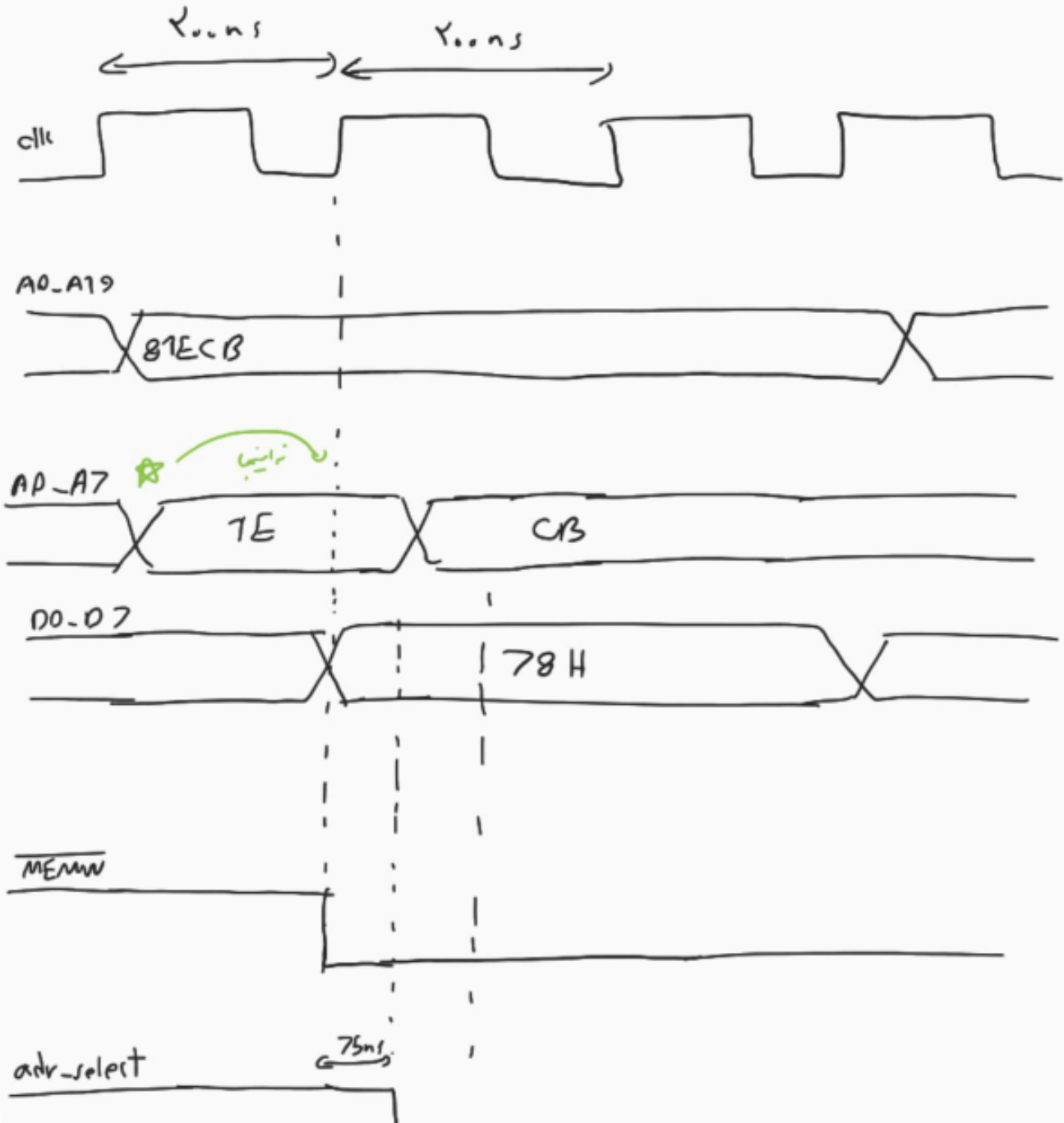


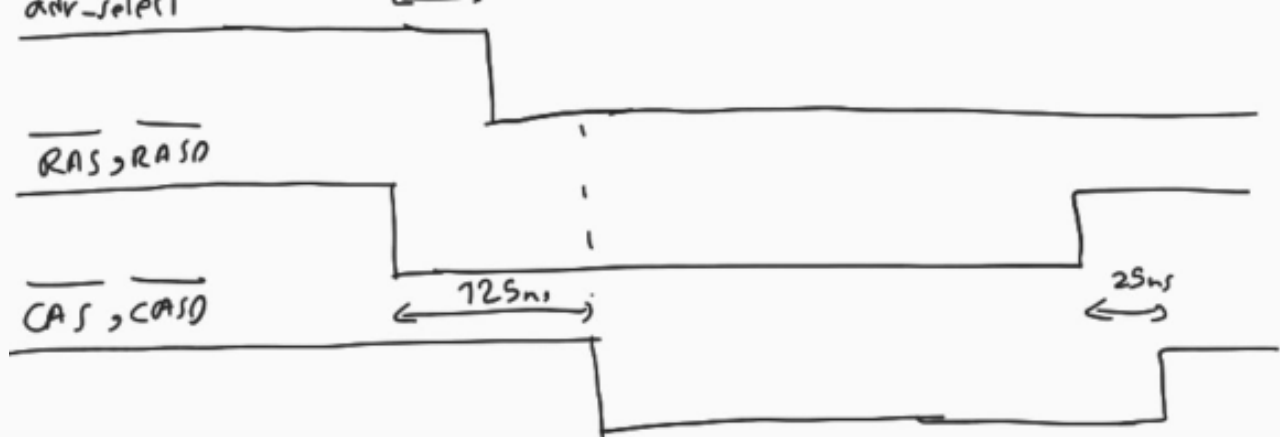
phys address =

$$\begin{array}{r} 7ECB \\ 80000 \\ \hline 81ECB \end{array}$$

(d)

★ ۱۵ رانگل از صغ فربه ۱۶ تا کریم.





$B_1$

$B_2$

$B_3$

$\overline{RAS}, \overline{CAS}$

فاصله بین فعال شدن  $RAS$  و تغییر  $addr_{sel}$  می تواند کم باشد، چرا که آدرس ها را  $reg$  می کرد.

استاندارد از ورودی 125 و 25، دلیل کمترین تأخیر و تأخیر کم ثانویه است.

2080، data و تراشکلی هم می زانند. چرا که cycle برای latch کردن آدرس می زود.

(بسته به تایمینگ و ... در DRAM)

انسان کی زندگی کا timing = DRAM کا

کہا جاتا ہے کہ DRAM - datasheet  
timing کا وقت ہے

Last modified: Dec 25, 2017