

## Отработка пропущенных лекций

(отправляется по электронной почте описание лекционного слайда)

Слайд	дата	фио
<b>1    Устройства обработки сигналов</b>		<b>Лекция 1</b>
1.1    Оценочная плата		
1.2    Обработка сигналов		
1.3    Микропроцессоры		
1.4    Микропроцессор		
1.5    Микроконтроллер		
1.6    Неймановская архитектура		
1.7    Гарвардская архитектура		
1.8    Устройство обработки сигналов		
1.9    Мультимедиа-устройство		
1.10    Плата устройства		
1.11    Мультимедиа процессор		
1.12    Интерфейс HDMI		
1.13    Ввод-вывод сигналов		
<b>2    Методы обработки сигналов</b>		<b>Лекция 2</b>
2.1    Обработка сигналов		
2.2    Сигналы		
2.3    Дискретизация		
2.4    Цифровая обработка		
2.5    Передискретизация		
2.6    Преобразования		
2.7    Корреляция		
2.8    Цифровая фильтрация		
2.9    Нерекурсивная фильтрация		
2.10    Рекурсивная фильтрация		
2.11    Цифровой фильтр		
2.12    Адаптивная фильтрация		
2.13    Спектральный метод		
2.14    Спектральные преобразования		
2.15    Спектральные функции		
2.16    Спектральная обработка		
2.17    Восстановление		
2.18    Теорема Котельникова		
2.19    Сигма-дельта АЦП		
<b>3    Представление целых чисел</b>		<b>Лекция 3</b>
3.1    Представления чисел		
3.2    Целые и натуральные числа		
3.3    Целочисленные форматы		
3.4    Форматы N16 и Z16		
3.5    Внутренний формат N40		
3.6    Внутренний формат Z40		
3.7    Арифметико-логический блок		
3.8    Двоичная арифметика		
3.9    Команды переходов		
3.13    Преобразование целых		
3.14    Умножение натуральных		
3.15    Умножение целых		
3.16    Аппаратурный умножитель		
<b>4    Представление дробных чисел</b>		<b>Лекция 4</b>
4.1    Дробные форматы		

- 4.2 Фиксированная запятая
- 4.3 Внутренний формат Q9.31
- 4.4 Преобразование дробных
- 4.5 Насыщение
- 4.6 Умножение дробных
- 4.7 Деление дробных
- 4.8 Форматы с плавающей запятой
- 4.9 Числа с плавающей запятой
- 4.10 Денормализованные числа
- 4.11 Пример вычислений
- 4.12 Методы округления
- 4.13 Арифметические проблемы
- 4.14 Рекомендации

## **5 Сигнальные микропроцессоры**

## **Лекция 5**

- 5.1 Обработка сигналов
- 5.2 Умножение со сложением
- 5.3 Сигнальные микропроцессоры
- 5.4 Микропроцессор 1901ВЦ1Т
- 5.5 Микропроцессор 1967ВН044
- 5.6 Сигнальные процессоры C55x
- 5.7 Микропроцессор TMS320C5515
- 5.8 Корпус
- 5.9 Питание
- 5.10 Состав микропроцессора
- 5.11 Ядро микропроцессора
- 5.12 Память
- 5.13 Тройное чтение, двойная запись
- 5.14 Адресные пространства
- 5.15 Циклы чтения-записи 1
- 5.16 Циклы чтения-записи 2
- 5.17 Постоянная память
- 5.18 Загрузка

## **6 Операционное устройство**

## **Лекция 6**

- 6.1 Операционное устройство
- 6.2 Регистровый фал D
- 6.3 Соединение блоков
- 6.4 Регистры D модуля
- 6.5 Арифметико-логический блок D
- 6.6 Операции АЛБ
- 6.7 Битовы блок D
- 6.8 Битовые операции
- 6.9 Сдвигатель D
- 6.10 Сдвиговые операции D
- 6.11 Двойной умножитель D
- 6.12 Умножитель-аккумулятор
- 6.13 Устройство адресации
- 6.14 Регистровый файл A
- 6.15 Генератор адресов
- 6.16 Арифметико-логический блок A

## **7 Устройство адресации**

## **Лекция 7**

- 7.1 Регистры модуля A
- 7.2 Регистр страниц данных
- 7.3 Регистры-указатели

- 7.4 Временные регистры
- 7.5 Регистры циклического буфера
- 7.6 Методы адресации
- 7.7 Прямая адресация
- 7.8 Косвенная адресация
- 7.9 Вычисление адреса
- 7.10 Циклическая адресация
- 7.11 Бит-реверсивная адресация
- 7.12 Режимы адресации
- 7.13 Кодирование адресов
- 7.14 Примеры адресации
- 7.15 Мнемоника команд
- 7.16 Кодирование команд

## **8 Устройство управления**

## **Лекция 8**

- 8.1 Устройство управления
- 8.2 Регистровой файл Р
- 8.3 Регистры Р
- 8.4 Регистры потока команд
- 8.5 Регистры простого повторения
- 8.6 Регистры блочного повторения
- 8.7 Регистры страниц прерываний
- 8.8 Регистры прерываний
- 8.9 Конфигурация стеков
- 8.10 Вызов и возврат
- 8.11 Передача аргументов
- 8.12 Соглашения о вызове
- 8.13 Возврат результата
- 8.14 Сохранение регистров
- 8.15 Локальные переменные
- 8.16 Генератор адресов
- 8.17 Регистр состояния ST0-55
- 8.18 Регистр состояния ST1-55
- 8.19 Регистр состояния ST2-55
- 8.20 Регистр состояния ST3-55

## **9 Конвейеризация и распараллеливание**

## **Лекция 9**

- 9.1 Буфер команд
- 9.2 Кэш команд
- 9.3 Кэш прямого отображения
- 9.4 Ассоциативная кэш-память
- 9.5 Очередь команд
- 9.6 Заполнение очереди
- 9.7 Декодер команд
- 9.8 Конвейеризация
- 9.9 Конвейер выборки
- 9.10 Конвейеризация выборки
- 9.11 Конвейер выполнения
- 9.12 Декодирование команды
- 9.13 Вычисление адреса
- 9.14 Доступ
- 9.15 Чтение
- 9.16 Выполнение
- 9.17 Запись
- 9.18 Конвейеризация выполнения

- 9.19 Пререзагрузка конвейера
- 9.20 Конфликты записи до чтения
- 9.21 Конфликты доступа
- 9.22 Независимые устройства
- 9.23 Виды параллелизма
- 9.24 Флаг параллельности
- 9.25 Условия параллелизма
- 9.26 Внешние шины
- 9.27 Внутренние шины
- 9.28 Трассировка данных
- 9.29 Правила распараллеливания
- 9.30 Параллельные операции
- 9.31 Процесс распараллеливания
- 9.32 Примеры распараллеливания

## **10 Обработка прерываний**

## **Лекция 10**

- 10.1 Прерывание
- 10.2 Источники прерываний
- 10.3 Внешние прерывания
- 10.4 Последовательность прерывания
- 10.5 Обработка прерываний
- 10.6 Вложенные прерывания
- 10.7 Вектор прерываний
- 10.8 Процедура прерываний
- 10.9 Конфигурация стеков
- 10.10 Регистры прерываний
- 10.11 Источники прерываний
- 10.12 Секция vectors
- 10.13 Описание регистров
- 10.14 Установка вектора C
- 10.15 Установка вектора asm
- 10.16 Пример программы

## **11 Прямой доступ к памяти**

## **Лекция 11**

- 11.1 Доступ к памяти
- 11.2 Прямой доступ к памяти
- 11.3 Канал прямого доступа
- 11.4 Контроллер прямого доступа
- 11.5 Переключение буферов
- 11.6 Адресация памяти
- 11.7 Интерфейс памяти EMIF
- 11.8 Динамическая память
- 11.9 Режимы динамической памяти
- 11.10 Синхронная память
- 11.11 Команды SDRAM
- 11.12 Память SDR
- 11.13 Память DDR
- 11.14 Спецификации SDRAM
- 11.15 Конфигурация SDRAM
- 11.16 Синхронное подключение
- 11.17 Синхронное чтение
- 11.18 Синхронная запись
- 11.19 Асинхронное подключение
- 11.20 Асинхронное чтение
- 11.21 Асинхронная запись

- 11.22 Внешняя память
- 11.23 Host Port Interface
- 11.24 Внешнее чтение
- 11.25 Внешняя запись
- 11.26 Общая память

## **12 Входы-выходы общего назначения**

## **Лекция 12**

- 12.1 Состав микропроцессора
- 12.2 Организация входов-выходов
- 12.3 Альтернативные функции
- 12.4 Использование входов-выходов
- 12.5 Регистр выбора шин
- 12.6 Подтягивающие резисторы
- 12.7 Регистры входов-выходов
- 12.8 Вектор прерываний
- 12.9 Внешние расширения
- 12.10 Экспериментальная схема
- 12.11 Заголовочный файл
- 12.12 Ввод-вывод по опросу
- 12.13 Ввод-вывод через прерывания

## **13 Приборный интерфейс**

## **Лекция 13**

- 13.1 Интерфейс I2C
- 13.2 Физический уровень
- 13.3 Канальный уровень
- 13.4 Состояния линии
- 13.5 Синхронизация
- 13.6 Арбитраж
- 13.7 Протоколы
- 13.8 Организация контроллера
- 13.9 Тактовое питание
- 13.10 Регистры I2C
- 13.11 Вектор прерываний
- 13.12 Регистры адреса и масок
- 13.13 Регистр статуса
- 13.14 Регистры приема-передачи
- 13.15 Регистр режима
- 13.16 Режим цифровой петли
- 13.17 Другие регистры
- 13.18 Аппаратурный сброс
- 13.19 Подключение I2C
- 13.20 Передача данных I2C
- 13.21 Прием данных I2C
- 13.22 Устройства I2C
- 13.23 ППЗУ CAT24WC256
- 13.24 Согласование уровней

## **14 Звуковой интерфейс**

## **Лекция 14**

- 14.1 Звуковые интерфейсы
- 14.2 Использование I2S
- 14.3 Подключение устройств I2S
- 14.4 Форматы I2S
- 14.5 Организация контроллера I2S
- 14.6 Тактовое питание
- 14.7 Регистры I2S
- 14.8 Вектор прерываний

- 14.9 Регистр управления
- 14.10 Упаковка данных
- 14.11 Регистры делителей и данных
- 14.12 Регистры прерываний
- 14.13 Инициализация контроллера
- 14.14 Обработчик прерываний
- 14.15 Функции I2S
- 14.16 Сегменты и секции
- 14.17 Секция вектора прерываний

## **15 Аудио-кодек**

## **Лекция 15**

- 15.1 Настройка кодека
- 15.2 Кодек TLV320AIC3204
- 15.3 Корпус
- 15.4 Схема включения
- 15.5 Схема с AIC3204
- 15.6 Обработка сигналов
- 15.7 Организация кодека
- 15.8 Тактовое питание
- 15.9 Тактирование
- 15.10 Входные цепи
- 15.11 Трассировка сигналов
- 15.12 Доступ к регистрам
- 15.13 Карта памяти
- 15.14 Страница 0
- 15.15 Инициализация кодека
- 15.16 Микрофон и наушники
- 15.17Stereo-вход и наушники
- 15.18 Чтение-запись отсчетов
- 15.19 Фильтрация
- 15.20 Разработка фильтров
- 15.21 Настройка тактового питания
- 15.22 Настройка делителей
- 15.23 Настройка трассировки
- 15.24 Настройка усиления

## **16 Стандартная библиотека**

## **Лекция 16**

- 16.1 Обработка сигналов
- 16.2 Методы обработки сигналов
- 16.3 Стандартные библиотеки
- 16.4 Библиотека обработки сигналов
- 16.5 Нерекурсивный фильтр
- 16.6 Фильтрация нерекурсивная 1
- 16.7 Фильтрация нерекурсивная 2
- 16.8 Передискретизация
- 16.9 Преобразование Гильберта
- 16.10 Решетчатый фильтр
- 16.11 Согласованный фильтр
- 16.12 Рекурсивный фильтр
- 16.13 Биквадратный фильтр
- 16.14 Фильтрация рекурсивная
- 16.15 Сравнение фильтров
- 16.16 Адаптивный фильтр
- 16.17 Адаптивная фильтрация
- 16.18 Свертка

- 16.19 Корреляция
- 16.20 Свертка и корреляция
- 16.21 Спектральная обработка
- 16.22 Преобразование Фурье
- 16.23 Тригонометрические функции
- 16.24 Векторные функции 1
- 16.25 Векторные функции 2
- 16.26 Векторные функции 3
- 16.27 Матричные функции
- 16.28 Вспомогательные функции

## **17 Операционная система**

## **Лекция 17**

- 17.1 Технология разработки
- 17.2 Разработка алгоритмов
- 17.3 Мультипроцессорная обработка
- 17.4 DSP/BIOS
- 17.5 Применение DSP/BIOS
- 17.6 Ядро DSP/BIOS
- 17.7 Разделение времени
- 17.8 Компоненты DSP/BIOS
- 17.9 Thread Types (ТТ)
- 17.10 ТТ – Состояния потоков
- 17.11 ТТ – Ресурсы потоков
- 17.12 ТТ – Переключение потоков
- 17.13 ТТ – Выполнение потоков
- 17.14 Clock & Periodic Functions (PDF)
- 17.15 Comm/Synch threads (CS)
- 17.16 CS – Семафоры
- 17.17 CS – Почтовые ящики
- 17.18 CS – Очереди
- 17.19 CS – Каналы
- 17.20 CS – Потоки
- 17.21 CS – Устройства
- 17.22 CS – Потоки и устройства
- 17.23 Memory and Low-level Primitives
- 17.24 Instrumentation/Real-Time Analysis
- 17.25 LOG – Message Log manger
- 17.26 STS – Statistics accumulator manager
- 17.27 TRC – Trace manager
- 17.28 RTDX – Real-Time Data Exchange manager
- 17.29 Приложение
- 17.30 Программа
- 17.31 ARM и DSP

## **18 Разработка программ**

## **Лекция 18**

- 18.1 Обработка сигналов
- 18.2 Программа ЦОС
- 18.3 Стадии разработки
- 18.4 Жизненный цикл
- 18.5 Средства разработки
- 18.6 Проверочные модули
- 18.7 Разработка алгоритмов
- 18.8 Разработка программ
- 18.9 Декоративные имена
- 18.10 Компоновка модулей

- 18.11 Описание компоновки
- 18.12 Секционирование на С
- 18.13 Размещение секций
- 18.14 Связывание
- 18.15 Модели памяти
- 18.16 Подстановочные функции
- 18.17 Среда разработки
- 18.18 Процесс разработки
- 18.19 Технология разработки