

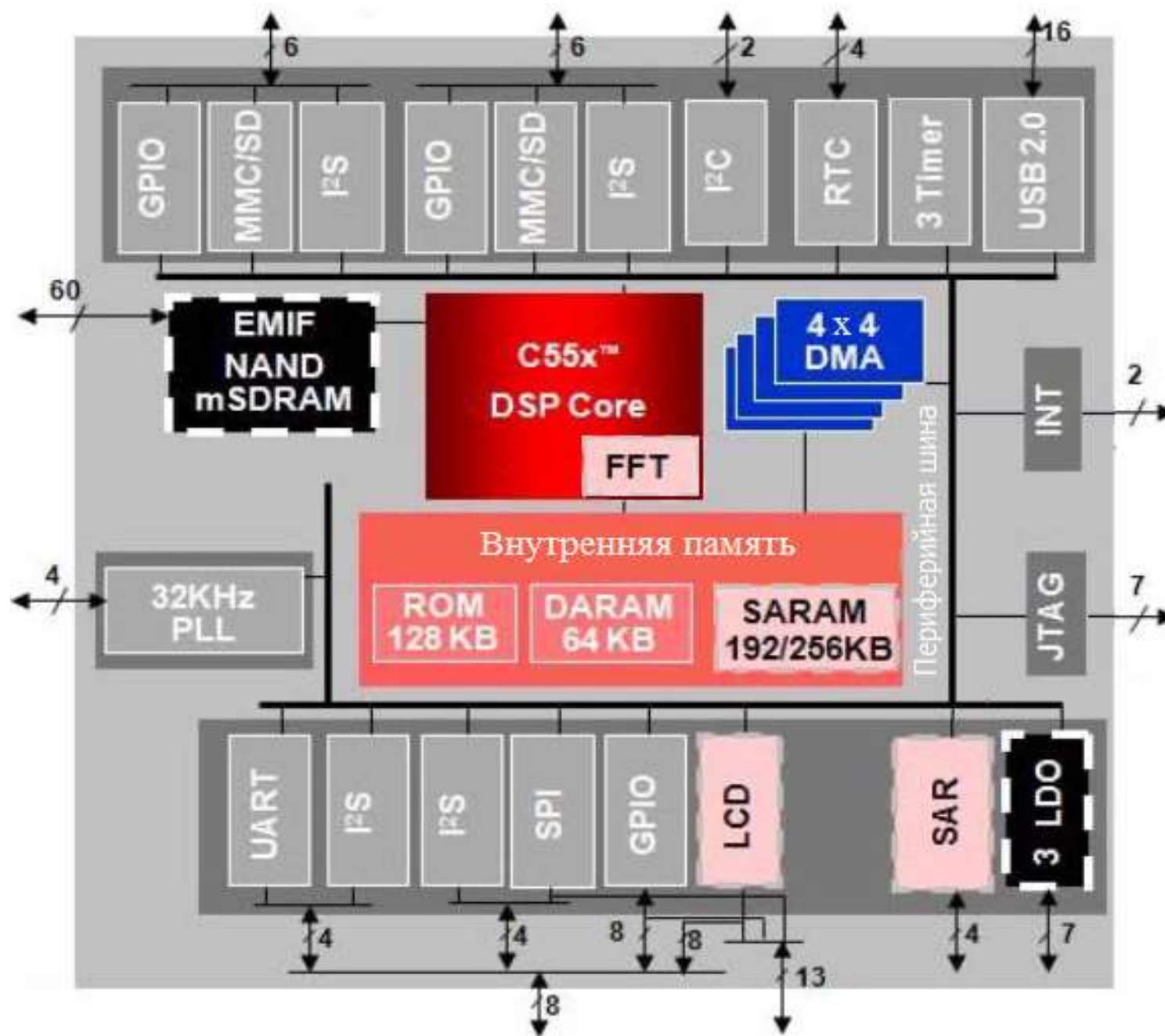


Микропроцессорные устройства обработки сигналов

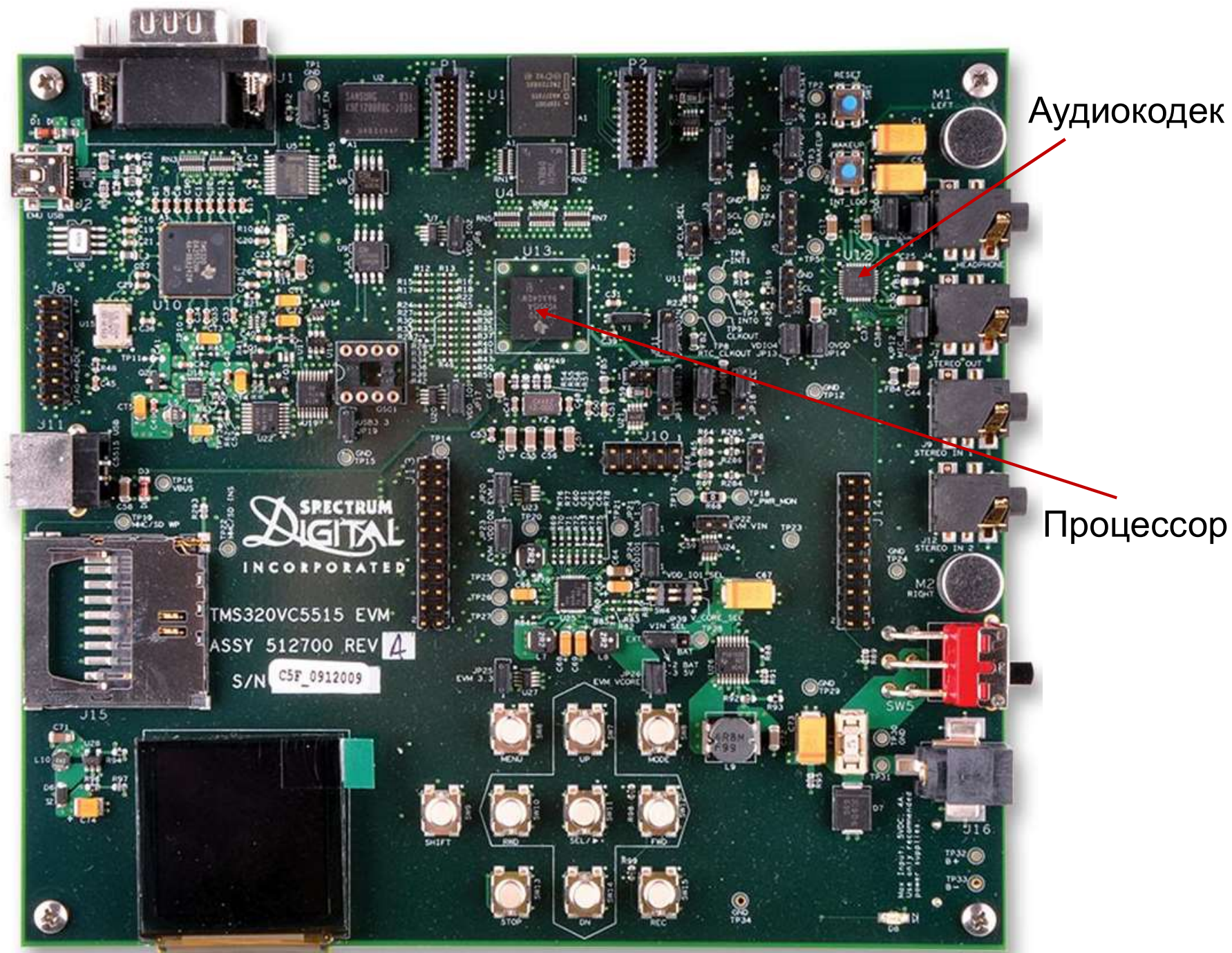
Лекция L15
«Аудиокодек»

<http://vykhovanets.ru/course67/>

Состав микропроцессора



Оценочный модуль



Кодек TLV320AIC3204

- Питание внутреннее (внешнее):
 - аналоговое 1,5–1,95 В (1,1–3,6 В);
 - цифровое 1,26–1,95 В (1,8–3,6 В);
 - тактовое 8–192 кГц (512 кГц–50МГц).
- Входы-выходы:
 - вход стерео и моно микрофона;
 - выход стереонаушников;
 - линейный стерео выход.
- Функции:
 - стерео АЦП, от 8 до 192 кГц;
 - стерео ЦАП, от 8 до 192 кГц;
 - программируемое смещение и усиление;
 - 6 простых и 3 дифференциальных входа.

Корпус

Питание

Цифровые выводы

Выводы АЦП

Выводы ЦАП

MCLK

BCLK

WCLK

DIN/MFP1

DOUT/MFP2

IOV_{DD}

IOV_{SS}

SCLK/MFP3

Цифровой интерфейс

GPIO/MFP5

RESET

LDO_SELECT

DV_{DD}

DV_{SS}

HPR

LDOIN

HPL

Аналоговые интерфейсы

AVDD

LOR

LOL

IN3_R

IN3_L

MICBIAS

REF

AVSS

SCL/SSZ

SDA/MOSI

MSIO/MFP4

SPI_SELECT

IN1_L

IN1_R

IN2_L

IN2_R



Схема включения

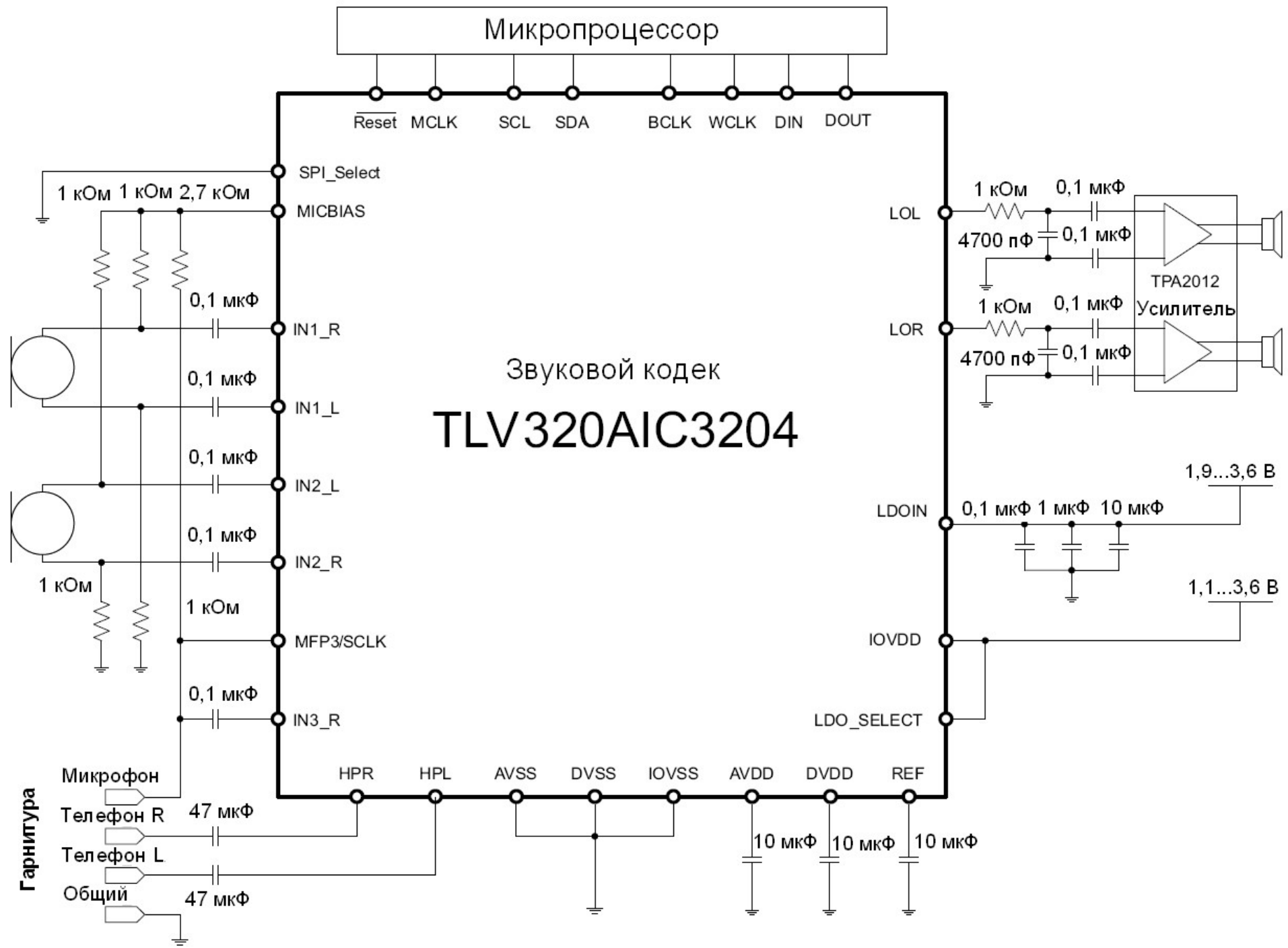
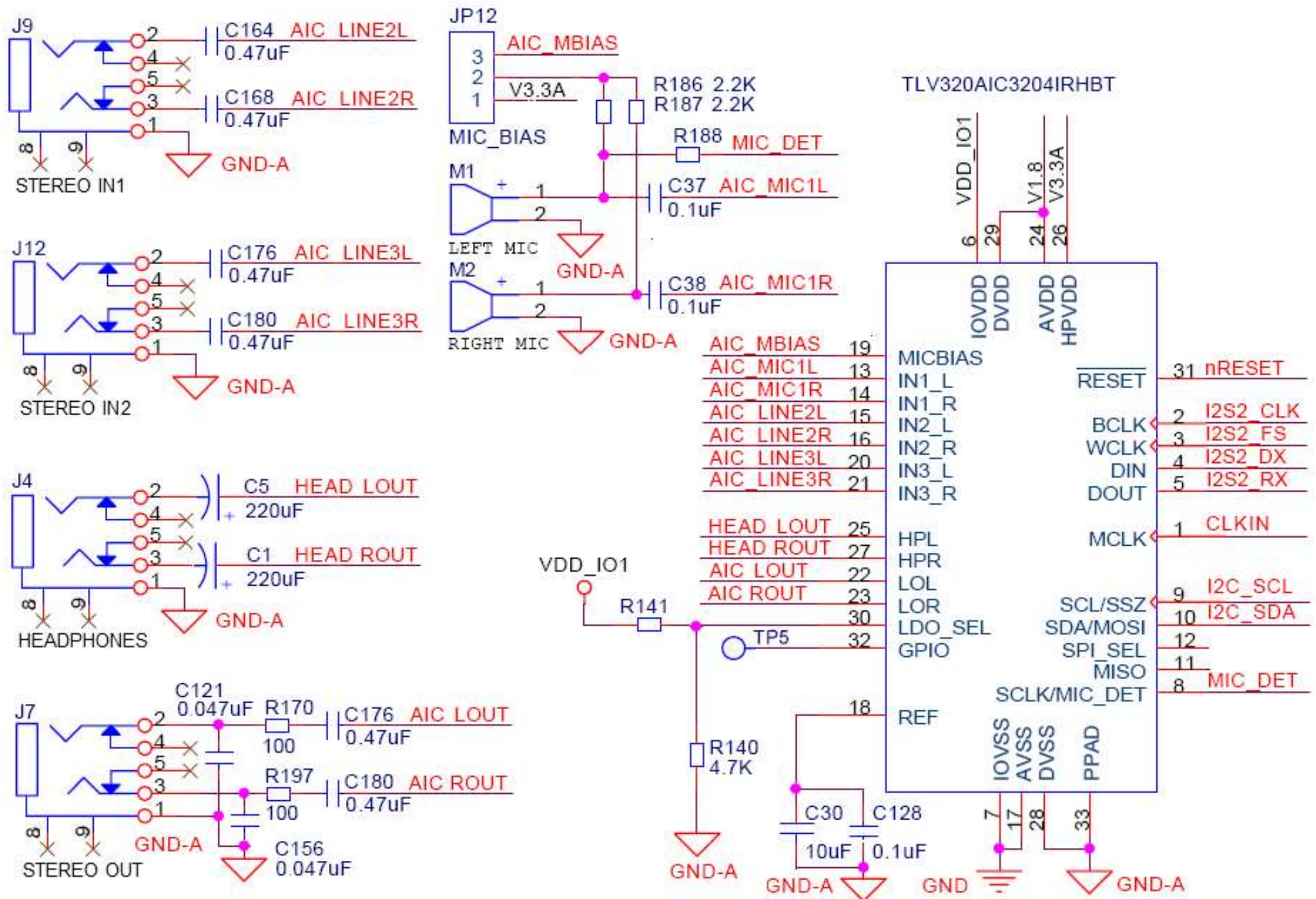
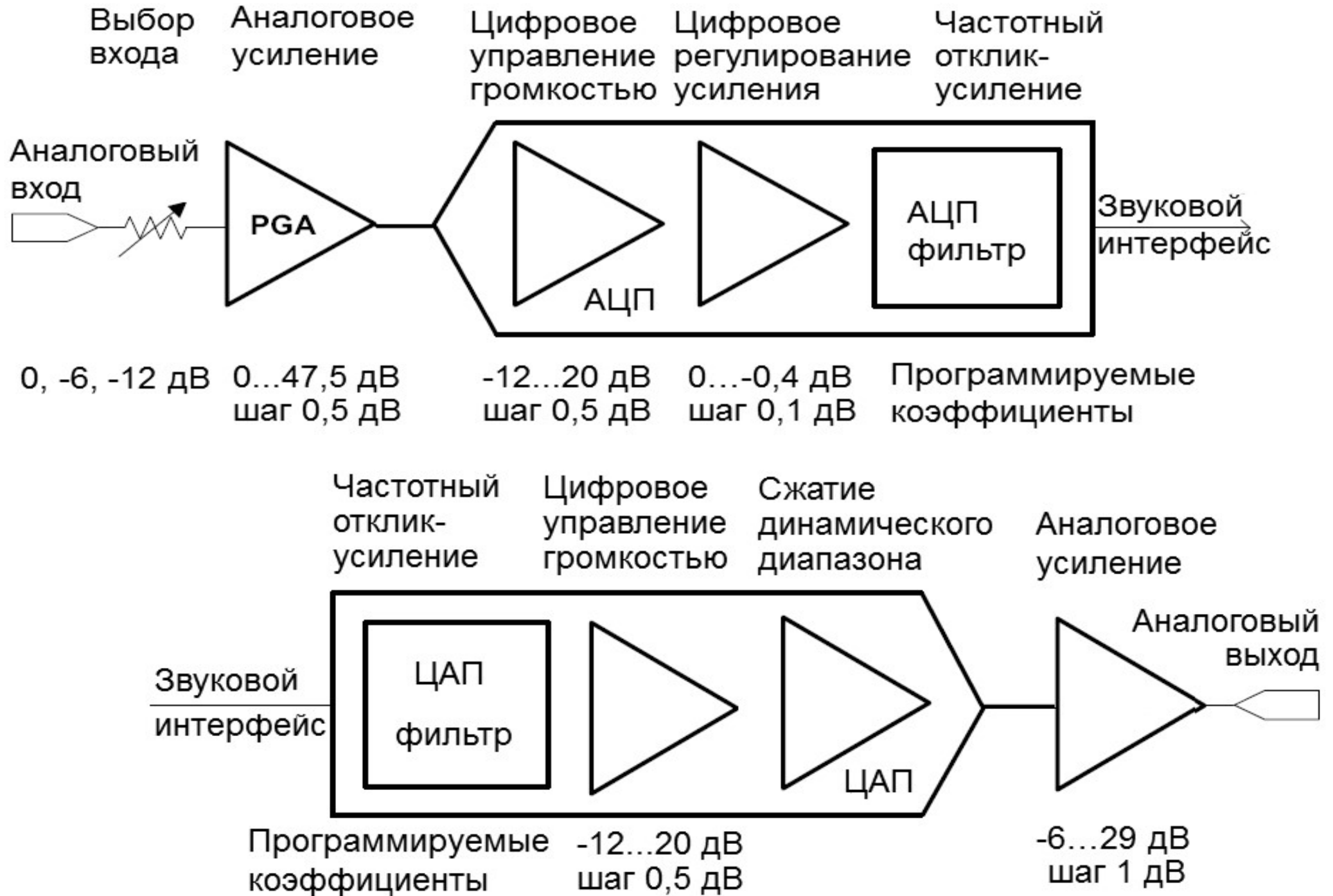


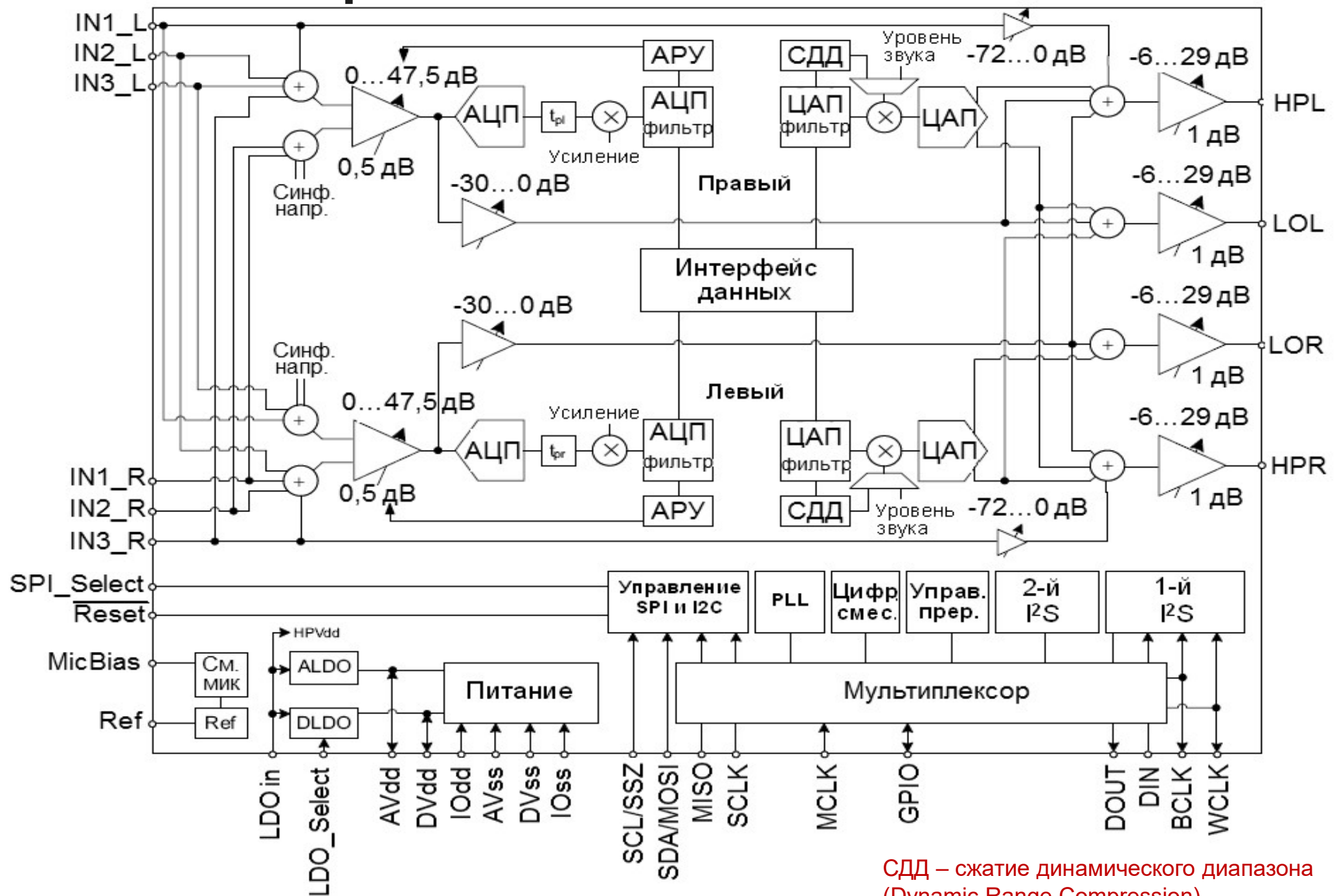
Схема с AIC3204



Обработка сигналов

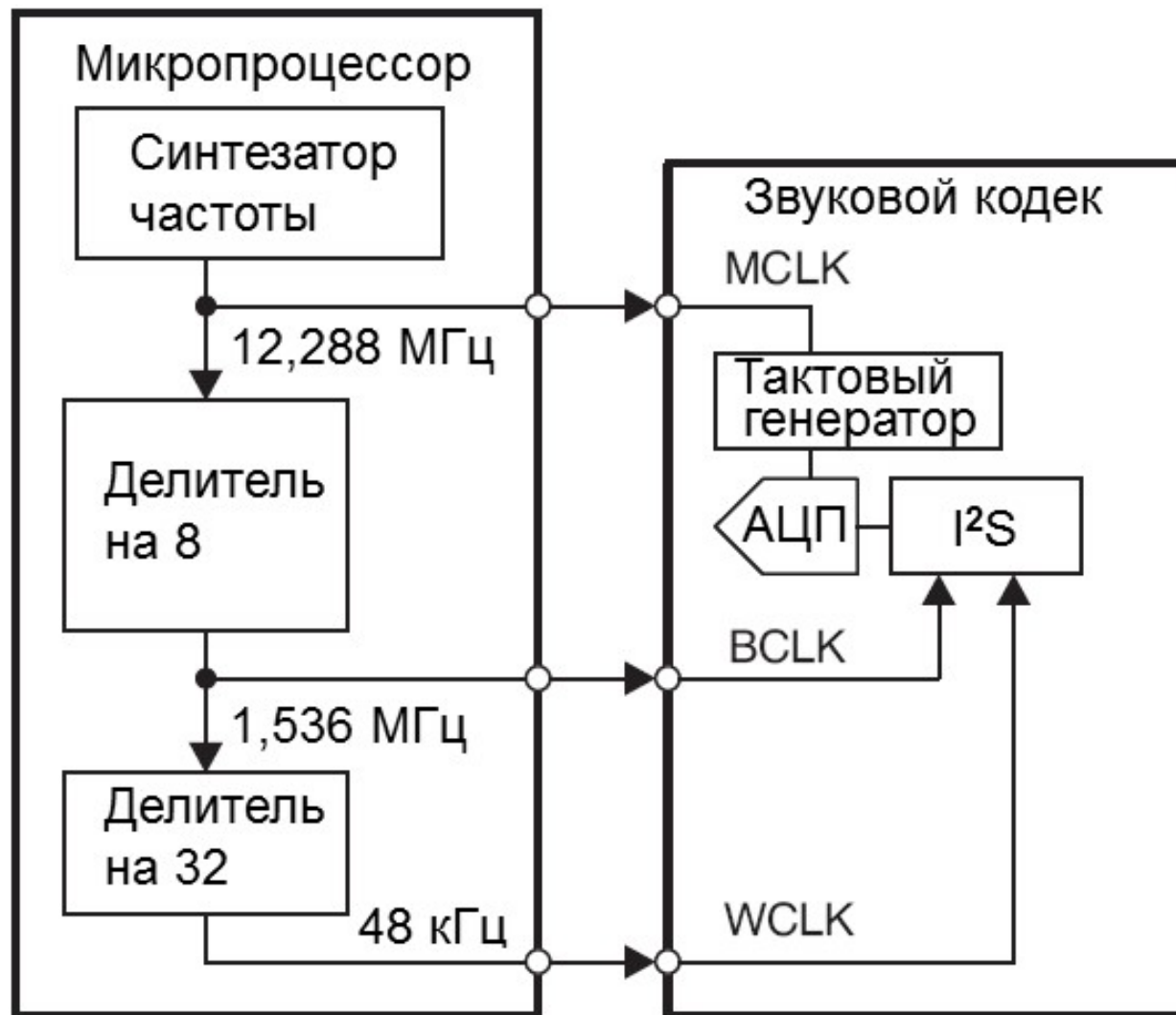


Организация кодека

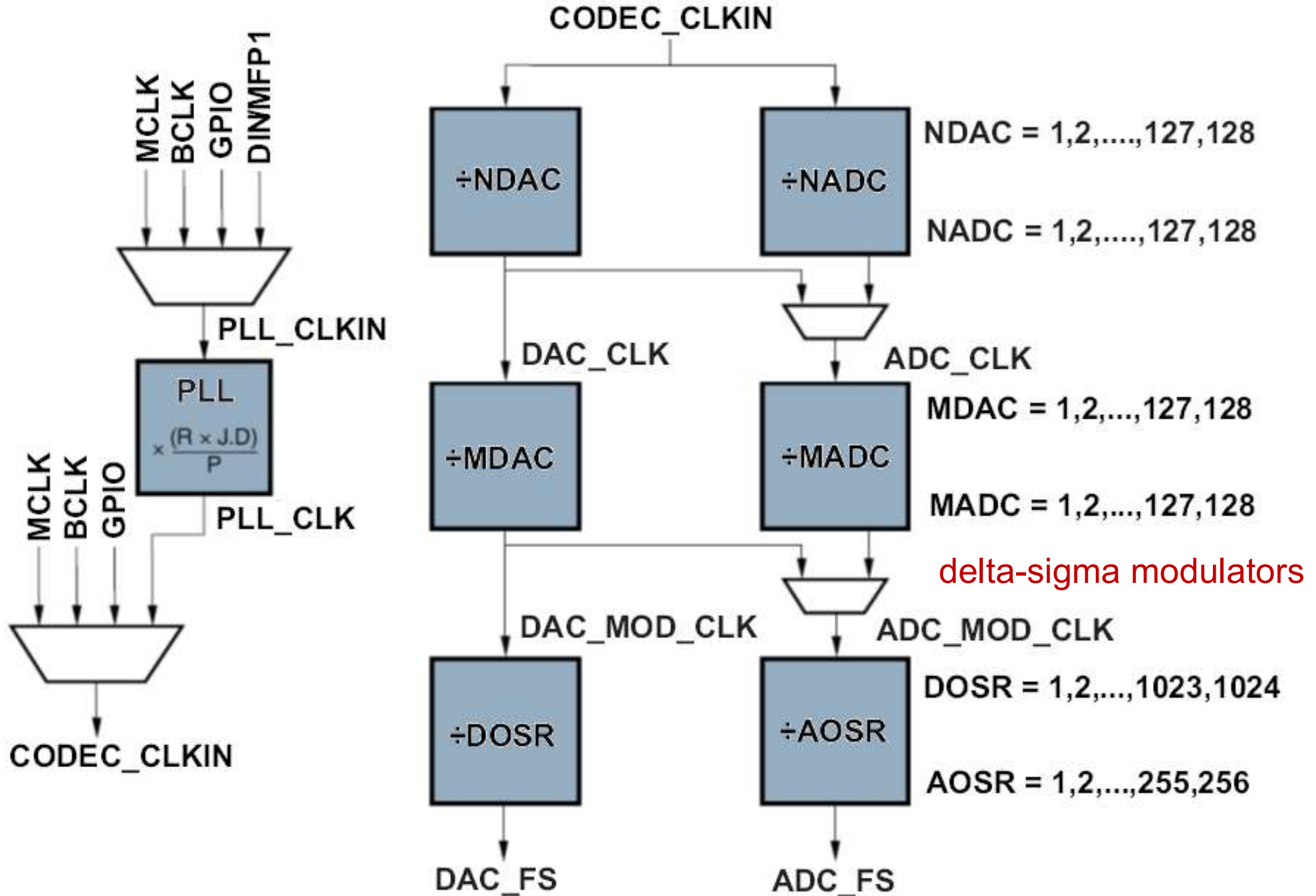


СДД – сжатие динамического диапазона
(Dynamic Range Compression)

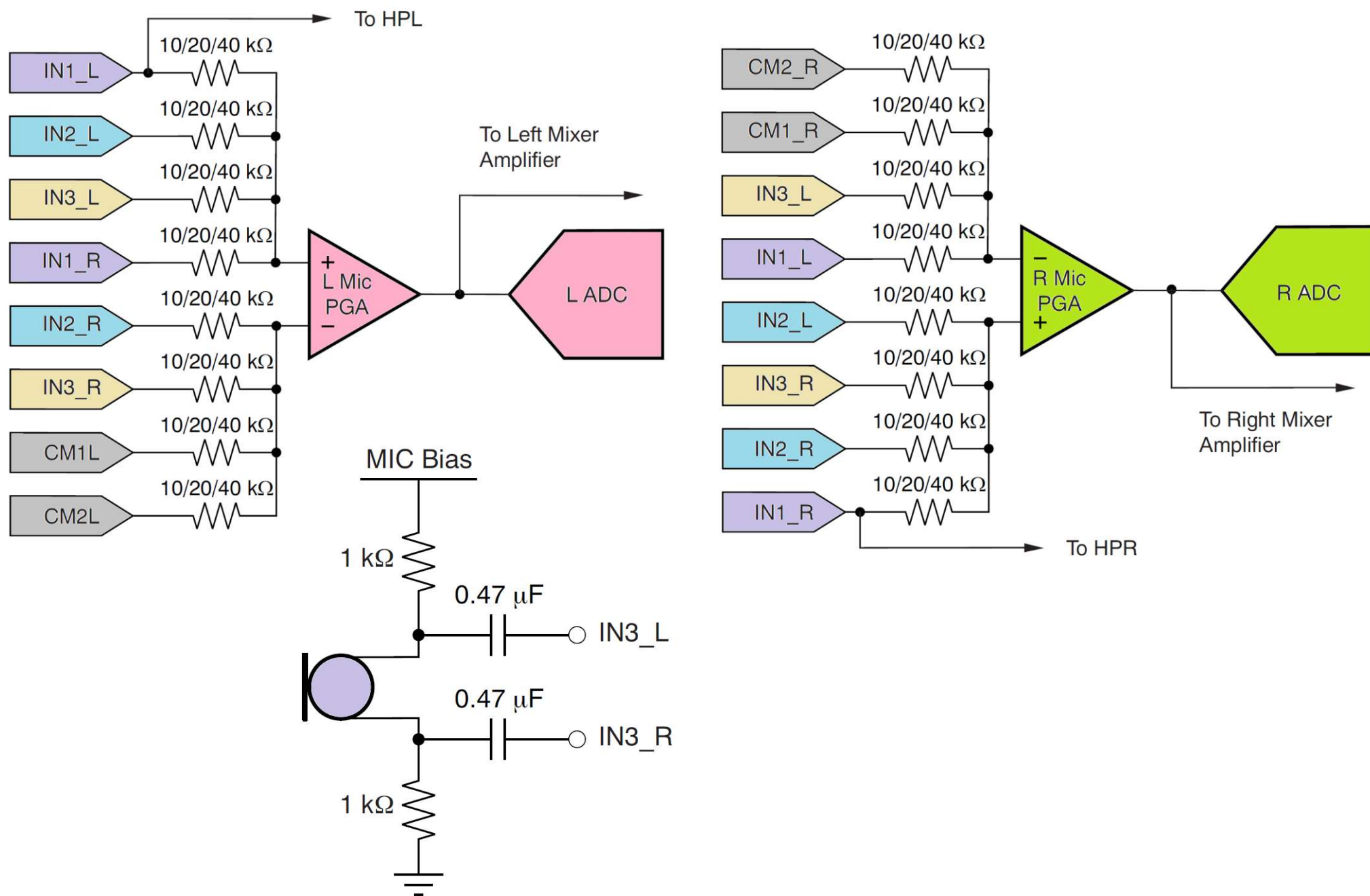
Тактовое питание



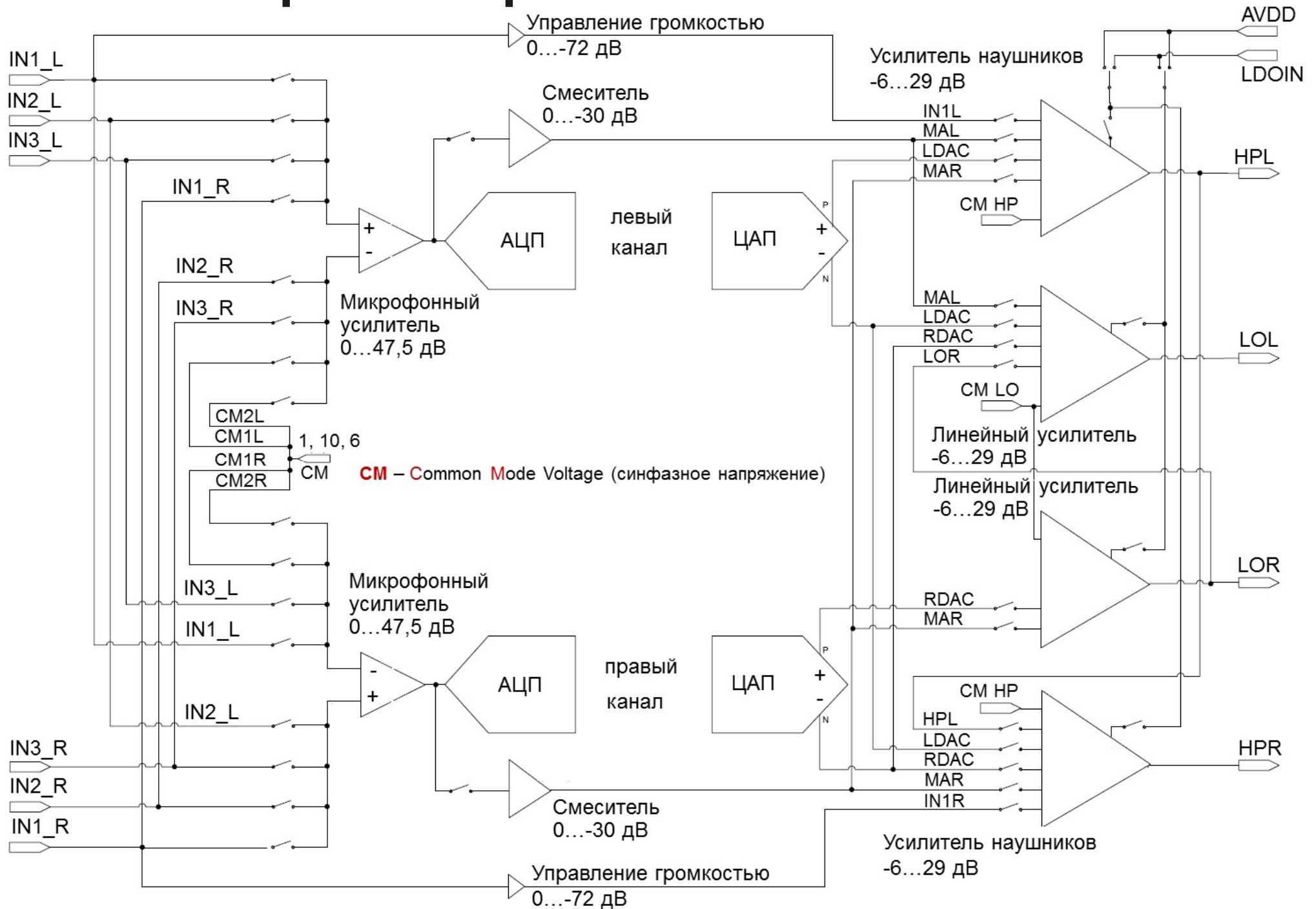
Тактирование



Входные цепи

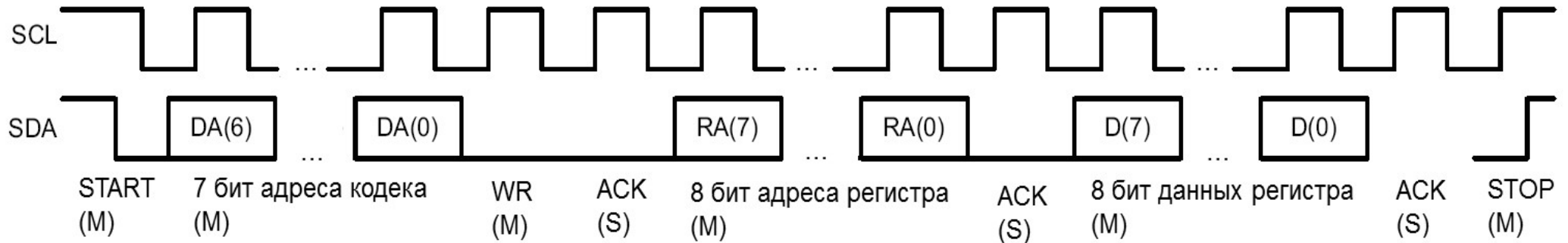


Трассировка сигналов

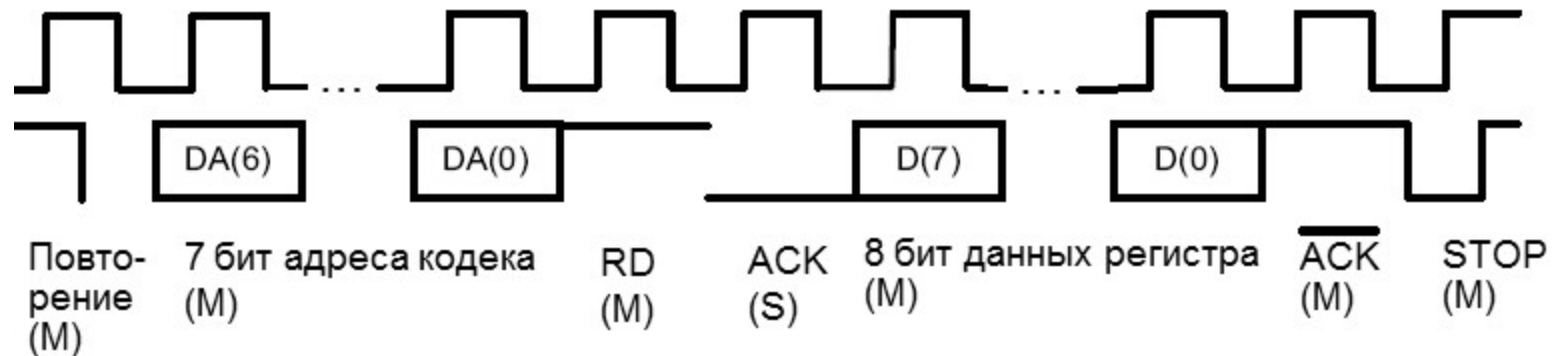
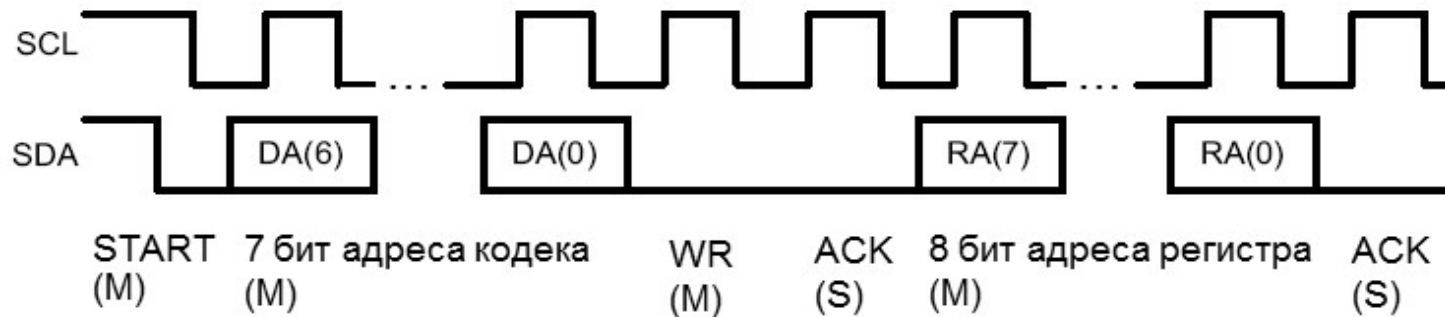


Доступ к регистрам

Запись регистра



Чтение регистра



Карта памяти

Страница	Описание
0	Регистр страниц, регистры конфигурации последовательного интерфейса, цифрового ввода-вывода, тактирования
1	Регистры конфигурации усилителей, АЦП, ЦАП, выходных схем, управления громкостью
2-7	Зарезервировано
8	Регистры управления адаптивными фильтрами АЦП и буфер А коэффициентов АЦП (0:29)
9-10	Буфер А коэффициентов АЦП (30:63)
11-25	Зарезервировано
26-28	Буфер В коэффициентов АЦП (0:63)
29-43	Зарезервировано
44	Регистры управления адаптивными фильтрами ЦАП и буфер А коэффициентов ЦАП (0:29)
45-46	Буфер А коэффициентов ЦАП (30:63)
47-61	Зарезервировано
62-64	Буфер В коэффициентов ЦАП (0:63)

Страница 0

Регистр	Описание
0	Page Select Register (выбора страницы)
1	Software Reset Register (программный сброс)
2-3	Reserved Register (зарезервировано)
4	Clock Setting 1, Multiplexers (тактирование и мультиплексирование)
5	Clock Setting 2, PLL P&R (тактирование и подстройка частоты)
6	Clock Setting 3, PLL J (тактирование и подстройка частоты)
7	Clock Setting 4, PLL D (тактирование и подстройка частоты)
8	Clock Setting 5, PLL D (тактирование и подстройка частоты)
9-10	Reserved Register (зарезервировано)
11	Clock Setting 6, NDACK (тактирование и подтверждения)
12	Clock Setting 7, MDACK (тактирование и подтверждения)
13	DAC OSR Setting Register 1
14	DAC OSR Setting Register 2
15-17	Reserved Register (зарезервировано)
18	Clock Setting Register 8, NADC
19	Clock Setting Register 9, MADC
20	ADC Oversampling (AOSR) Register
21-24	Reserved Register (зарезервировано)
25	Clock Setting Register 9, Multiplexers
...	...

Инициализация кодека

```
uint16 aic3204_start( uint16* tab, uint16 len )
{
    // Локальные данные
    uint16 dat;
    uint8 reg, cmd;
    // Цикл по элементам таблицы
    while( --len > 0 ) {
        // Чтение текущего элемента
        dat = *tab++;
        // Распаковка текущего элемента
        reg = dat >> 8, cmd = dat & 0xFF;
        // Интерпретация данных
        if( reg == 0xFF )
            // Ожидание
            ret &= C5515_wait( cmd*10 );
        else
            // Запись в регистр кодека
            ret &= AIC3204_set( reg, cmd );
    }
    return ret;
}
```

Микрофон и наушники

```
Uint16 Mic_Headphone [ ] = {
    0x0000, // Select page 0
    0x0101, // Reset codec
    0x0001, // Select page 1
    0x0108, // Disable crude AVDD from DVDD
    0x0200, // Enable Analog Blocks
// PLL and Clocks config and Power Up
    0x0000, // Select page 0
    0x1B00, // BCLK and WCLK is set as Slave
    0x0407, // PLL: PLLCLK, CODEC_CLKIN
    0x0620, // PLL: J = 32
    0x0700, // PLL: HI_BYTE(D)
    0x0800, // PLL: LO_BYTE(D)
// For 48 KHz sampling
    0x0592, // PLL: Power up PLL, P=1 and R=2
    0x0D00, // Hi DOSR for DOSR = 128
    0x0E80, // Lo DOSR for DOSR = 128
    0x1480, // AOSR for AOSR = 128
    0x0B84, // Power up NDAC and set to 4
    0x0C82, // Power up MDAC and set to 2
    0x2284, // Power up NADC and set to 4
    0x2382, // Power up MADC and set to 2
// DAC ROUTING and Power Up
    0x0001, // Select page 1
    0x0C08, // LDAC AFIR routed to HPL
    0x0D08, // RDAC AFIR routed to HPR
    0x0000, // Select page 0
    0x4002, // Left vol = right vol
    0x4100, // Left DAC gain to 0dB VOL
    0x3FD4, // Power up left, right data paths
    0x0001, // Select page 1
    0x1006, // Unmute HPL , 6dB gain
    0x1106, // Unmute HPR , 6dB gain
    0x0930, // Power up HPL,HPR
    0x0000, // Select page 0
    0xFF32, // Wait 500
// ADC ROUTING and Power Up
    0x0001, // Select page 1
    0x3340, // Set MICBIAS
    0x34c0, // STEREO 1 Jack
// IN2_L to LADC_P through 40 k
    0x37C0, // IN2_R to RADAC_P through 40 k
    0x3603, // CM_1 to LADC_M through 40 k
    0x49C0, // CM_1 to RADAC_M through 40 k
    0x3B5F, // MIC_PGA_L unmute
    0x3C5F, // MIC_PGA_R unmute
    0x0000, // Select page 0
    0x51C0, // Power up Left and Right ADC
    0x5200, // Unmute Left and Right ADC
    0x0000, // Select page 0
    0xFF14 // Wait 200
}
```

Стерео-вход и наушники

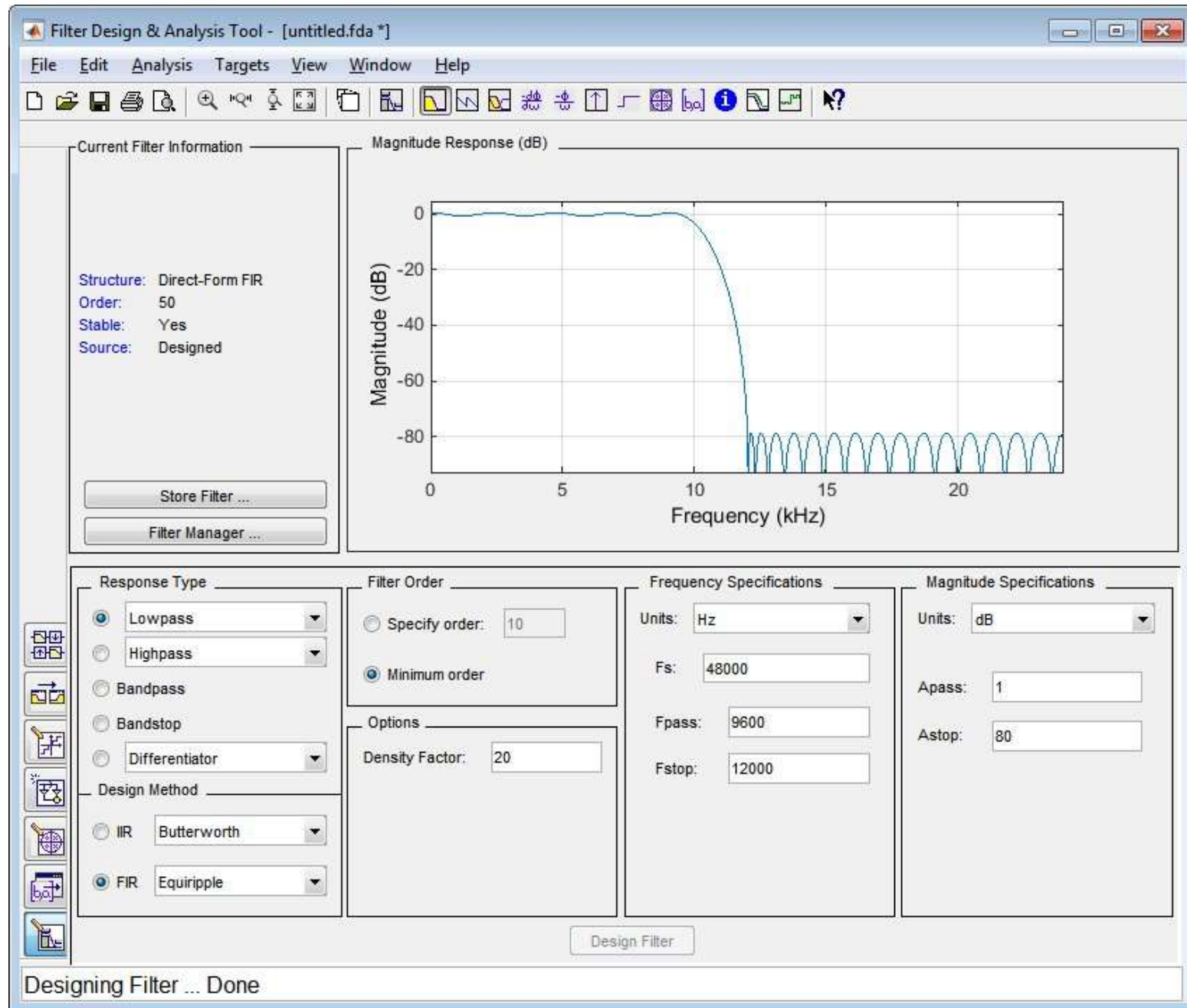
```
Uint16 Stereo1_Headphone [] = {
    0x0000, // Select page 0
    0x0101, // Reset codec
    0x0001, // Select page 1
    0x0108, // Disable crude AVDD from DVDD
    0x0200, // Enable Analog Blocks
// PLL and Clocks config and Power Up
    0x0000, // Select page 0
    0x2700, // BCLK and WCLK is set as Slave
    0x0407, // PLL: PLLCLK, CODEC_CLKIN
    0x0620, // PLL: J = 32
    0x0700, // PLL: HI_BYTE(D)
    0x0800, // PLL: LO_BYTE(D)
// For 48 KHz sampling
    0x0592, // PLL: Power up PLL, P=1 and R=2
    0x0D00, // Hi DOSR for DOSR = 128
    0x0E80, // Lo DOSR for DOSR = 128
    0x2480, // AOSR for AOSR = 128
    0x0B84, // Power up NDAC and set to 4
    0x0C82, // Power up MDAC and set to 2
    0x1284, // Power up NADC and set to 4
    0x1382, // Power up MADC and set to 2
// DAC ROUTING and Power Up
    0x0001, // Select page 1
    0x0C08, // LDAC AFIR routed to HPL
    0x0D08, // RDAC AFIR routed to HPR
    0x0000, // Select page 0
    0x4002, // Left vol=right vol
    0x5100, // Left DAC gain to 0dB VOL
    0x3FD4, // Power up left, right data paths
    0x0001, // Select page 1
    0x1000, // Unmute HPL, 0dB gain
    0x1200, // Unmute HPR, 0dB gain
    0x0930, // Power up HPL,HPR
    0x0000, // Select page 0
    0xFF32, // Wait 500
// ADC ROUTING and Power Up
    0x0001, // Select page 1
// 0x3340, // Set MICBIAS
    0x3430, // STEREO 1 Jack
// IN2_L to LADC_P through 40 k
    0x3730, // IN2_R to RADCP through 40 k
    0x3603, // CM_1 to LADC_M through 40 k
    0x39C0, // CM_1 to RADCM through 40 k
    0x3B0F, // MIC_PGA_L unmute
    0x3C0F, // MIC_PGA_R unmute
    0x0000, // Select page 0
    0x51C0, // Power up Left and Right ADC
    0x5200, // Unmute Left and Right ADC
    0x0000, // Select page 0
    0xFF14 // Wait 200
}
```

Чтение-запись отсчетов

```
uint16 AIC3204_read( int16* left_input, int16* right_input)
{
    int16 dummy;
    // Ожидание готовности приемника
    while( !(I2S2.INTFL & INTFL_RCVR) );
    // Чтение отсчета левого канала
    *left_input = I2S2.RXLT0;
    dummy = I2S2.RXLT1;
    // Чтение отсчета правого канала
    *right_input = I2S2.RXRT0;
    dummy = I2S2.RXRT1;
}

void AIC3204_write( int16 left_output, int16 right_output)
{
    // Ожидание готовности передатчика
    while( !(I2S2.INTFL & INTFL_XMITR) );
    // Запись отсчета в левый канал
    I2S2.TXLT0 = left_output;
    I2S2.TXLT1 = 0;
    // Запись отсчета в правый канал
    I2S2.TXRT0 = right_output;
    I2S2.TXRT1 = 0;
}
```


Разработка фильтров



Настройка тактового питания

Clocks / Interface

DIN, SCLK and DOUT Control MISO and GPIO Control Interrupt Control

Codec Clock / PLL Dividers BCLK / GPO Clock Mux Audio Interface

Enter Codec Input Clock: **OR** Enter PLL Input Clock:

11.2896 MHz 12 MHz

MCLK

PLL_CLKIN

R: 2 J: 1 D: 0028

x

P: 1

PLL

☐ Power

PLL_CLK

CODEC_CLKIN = 24.0672 MHz

PLL Clock Range: Low

MCLK BCLK GPIO DIN/ MFP1

PLL

$$\times \frac{(R \times J \times D)}{P}$$

MCLK BCLK GPIO

CODEC_CLKIN

NOTE: PLL / Divider power should be applied the following order: 'PLL' > 'NDAC / NADC' > 'MDAC / MADC'.

REFRESH

Настройка делителей

Clocks / Interface

DIN, SCLK and DOUT Control MISO and GPIO Control Interrupt Control

Codec Clock / PLL Dividers BCLK / GPO Clock Mux Audio Interface

CODEC_CLKIN

NDAC: 4 NADC: 4 Power

DAC_CLK ADC_CLK

MDAC: 3 MADC: 3 Power

DAC_MOD_CLK ADC_MOD_CLK

DOSR: 128 AOSR: 128

DAC_FS ADC_FS

To set **USB Audio** clock settings, click the button below. For this mode, **SW2.4** and **SW2.5** on the USB-MODEVM should be set to LO (ON).

MCLK = 11.2896 MHz
BCLK = 2.8224 MHz
WCLK = 44.1 kHz

Program USB Audio Settings

To use an **External Audio Interface**, **SW2.4** and **SW2.5** on the USB-MODEVM should be set to HI (OFF).

CODEC_CLKIN: 49.152 MHz

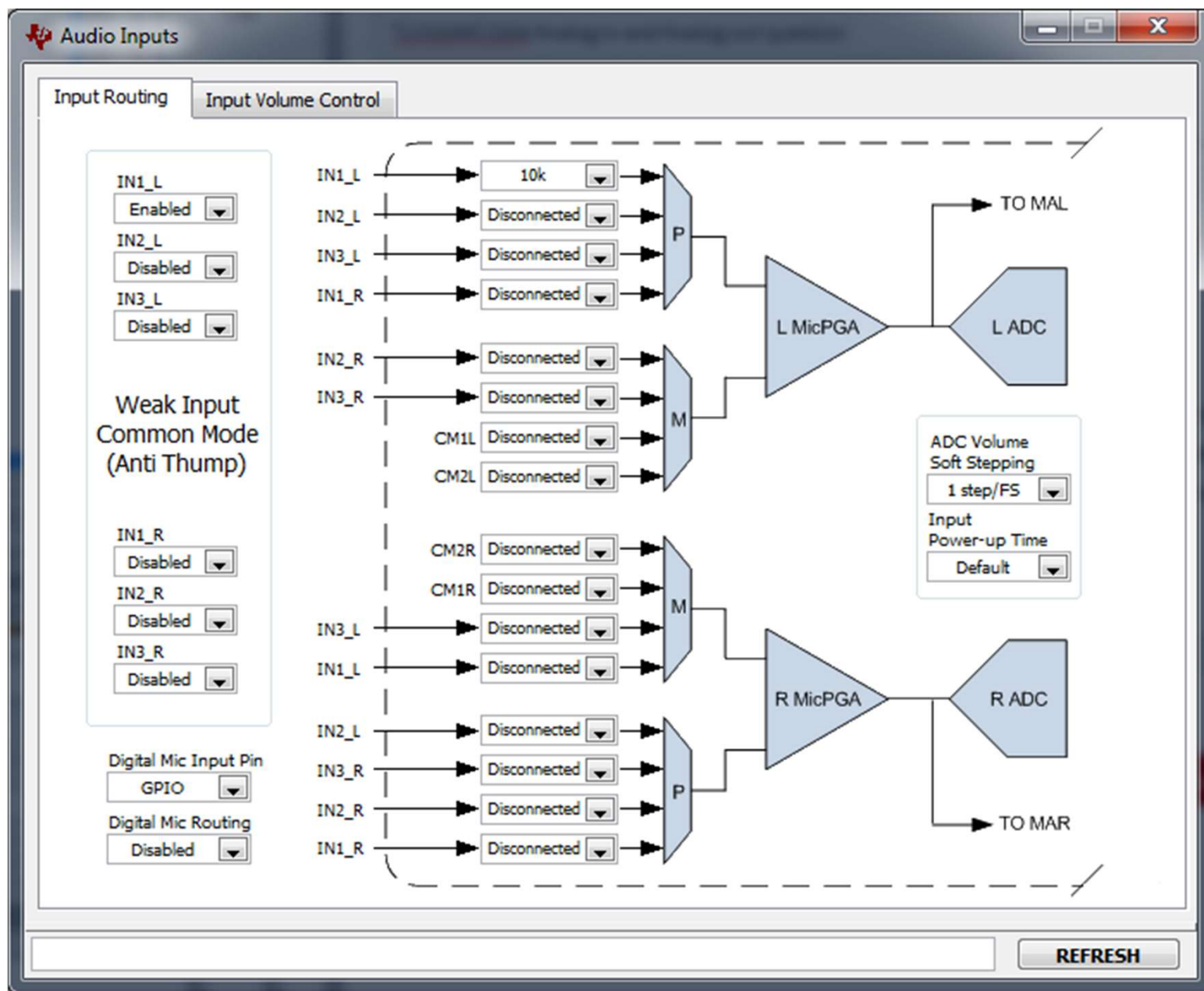
DAC_CLK: 12288 kHz ADC_CLK: 12288 kHz

DAC_MOD_CLK: 4096 kHz ADC_MOD_CLK: 4096 kHz

DAC_FS: 32 kHz ADC_FS: 32 kHz

REFRESH

Настройка трассировки



Настройка усиления

