

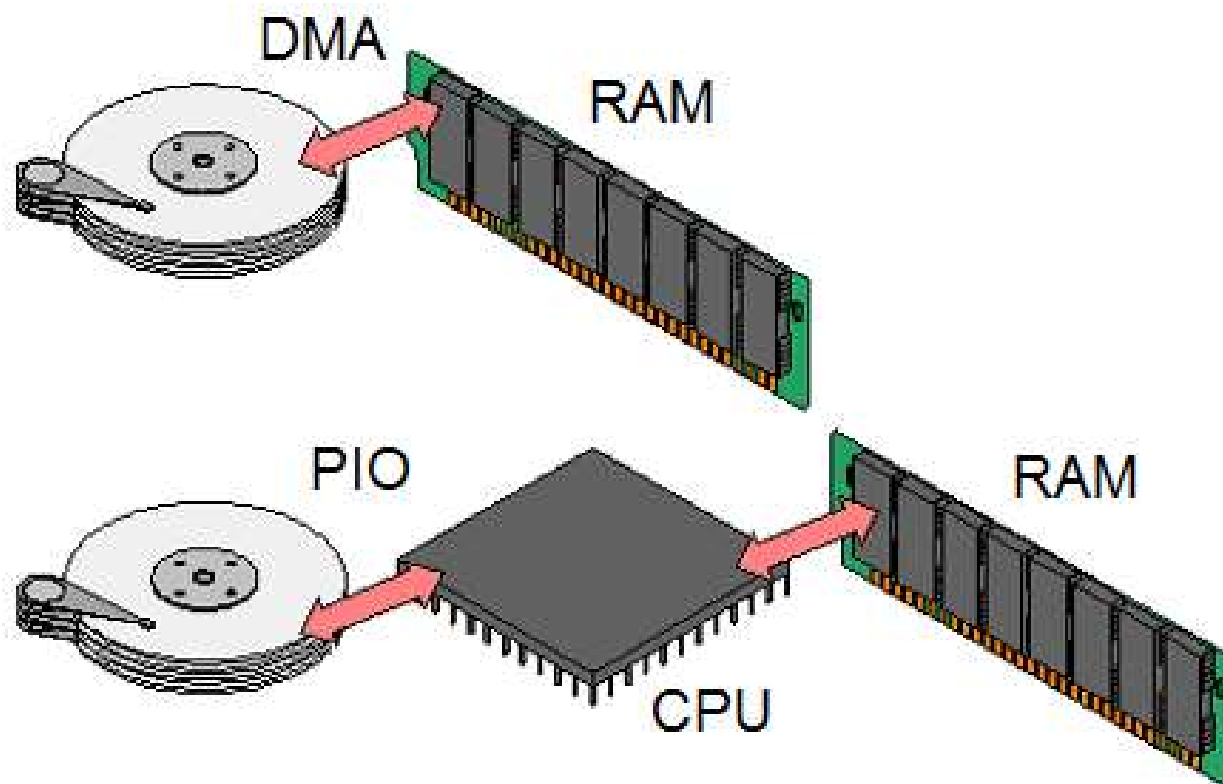


Микропроцессорные устройства обработки сигналов

Лекция L11
«Прямой доступ к памяти»

<http://vykhovanets.ru/course67/>

Доступ к памяти



RAM – Random Access Memory (память с произвольным доступом).

CPU – Central Processor Unit (центральный процессор).

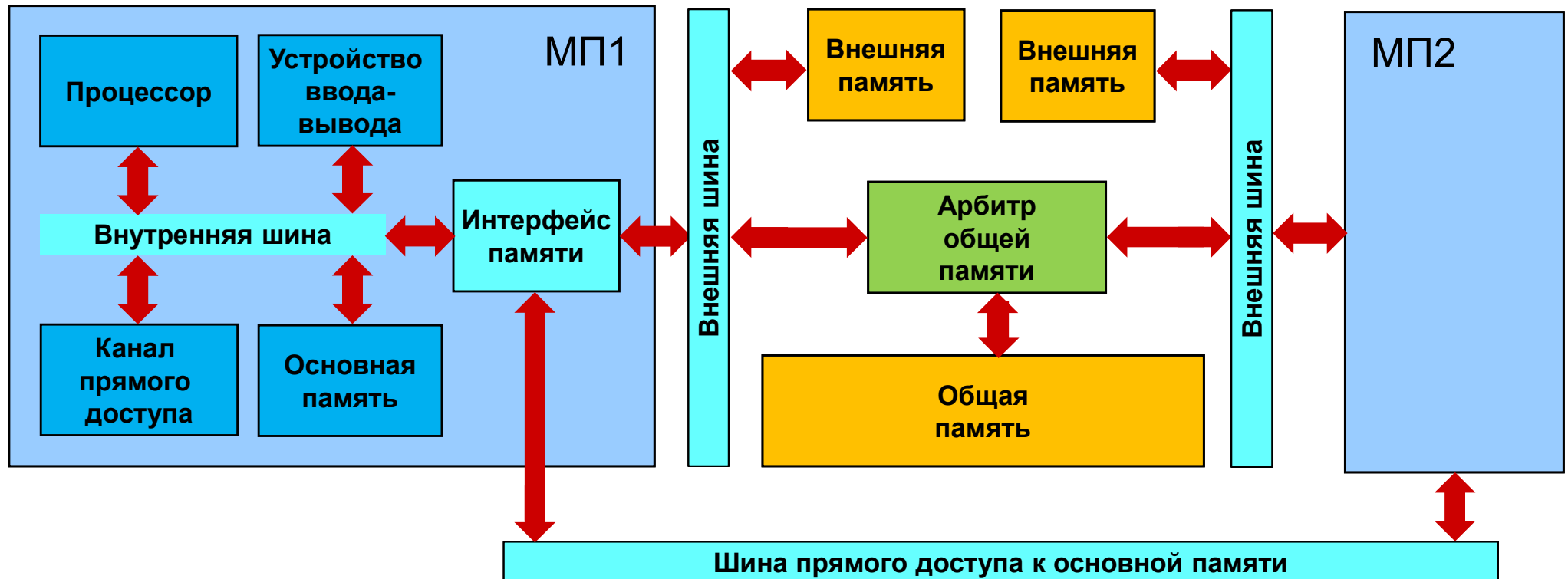
DMA – Direct Memory Access (прямой доступ к памяти).

PIO – Programmable Input-Output (программный ввод-вывод данных).

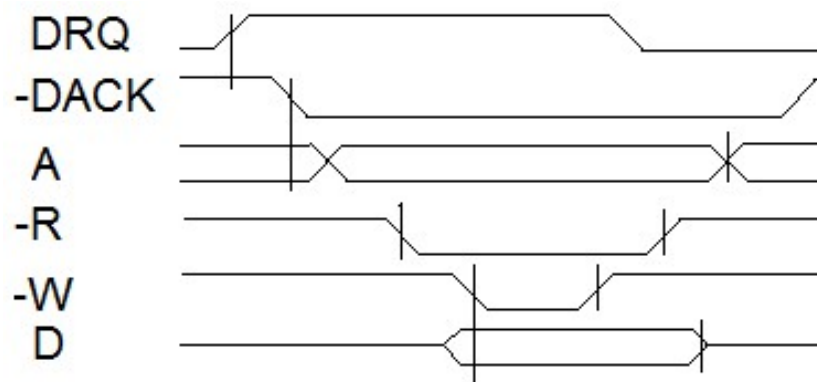
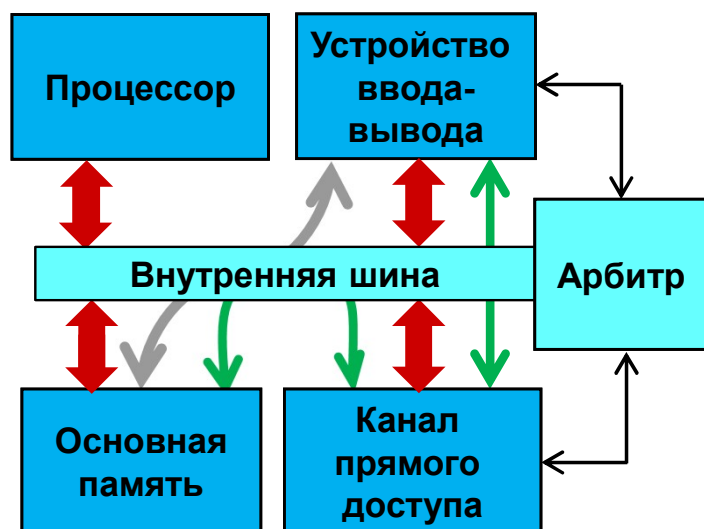
Прямой доступ к памяти

Direct Memory Access (прямой доступ к памяти) – режим обмена данными между микропроцессорами, устройствами микропроцессора или же между устройством и основной памятью, в котором центральный процессор не участвует:

- **Direct memory access (DMA)** – доступ устройств к основной памяти;
- **Extended memory interface (EMIF)** – доступ микропроцессора к внешней и общей памяти мультимикропроцессорной системы;
- **Host port interface (HPI)** – доступ микропроцессора к основной памяти другого микропроцессора.



Канал прямого доступа



↔ - чтение-запись за один перенос
↔ - чтение-запись за два переноса



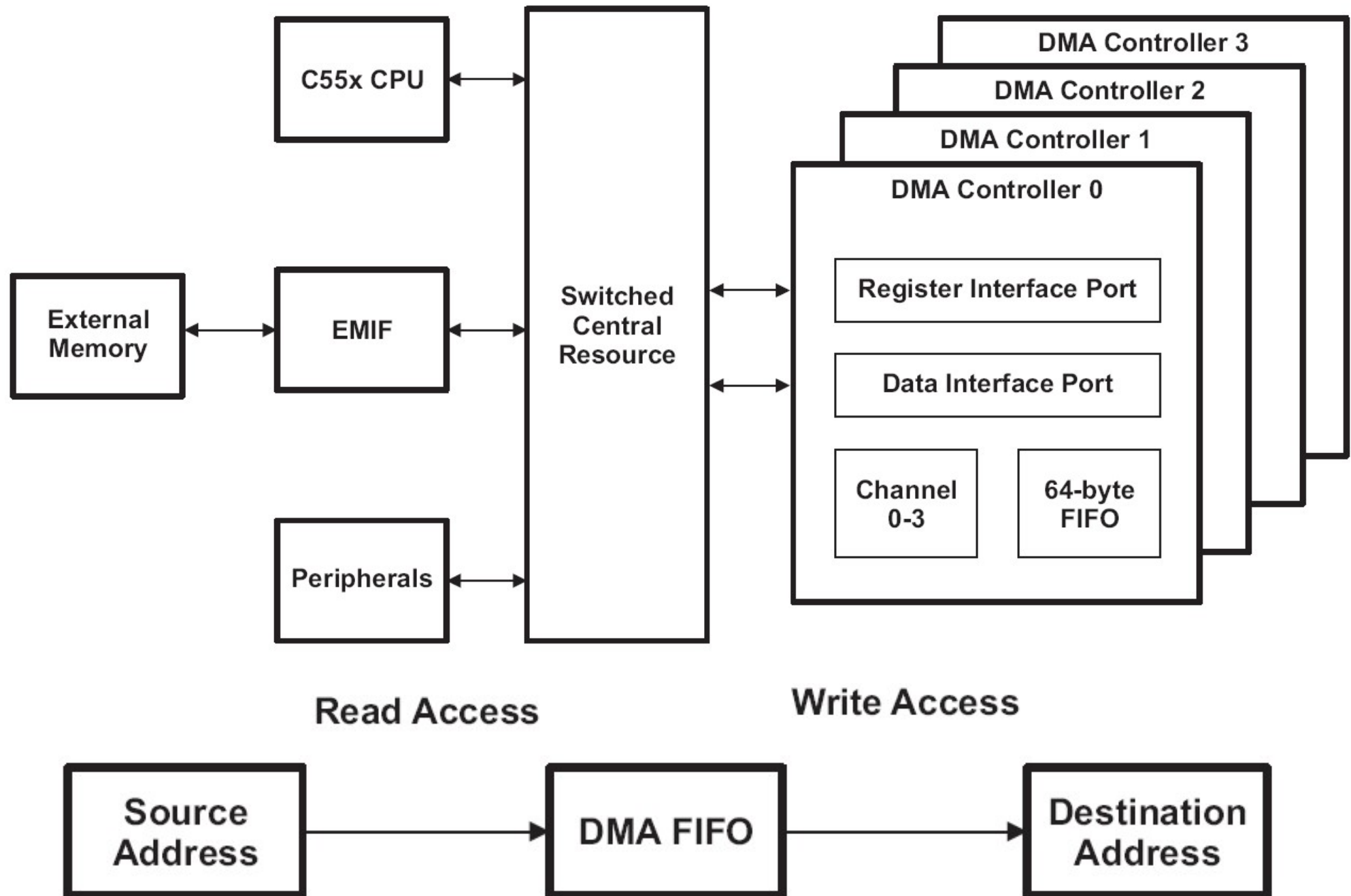
DRQ – DMA Request (запрос прямого доступа к памяти).

DACK – DMA Acknowledge (предоставление прямого доступа).

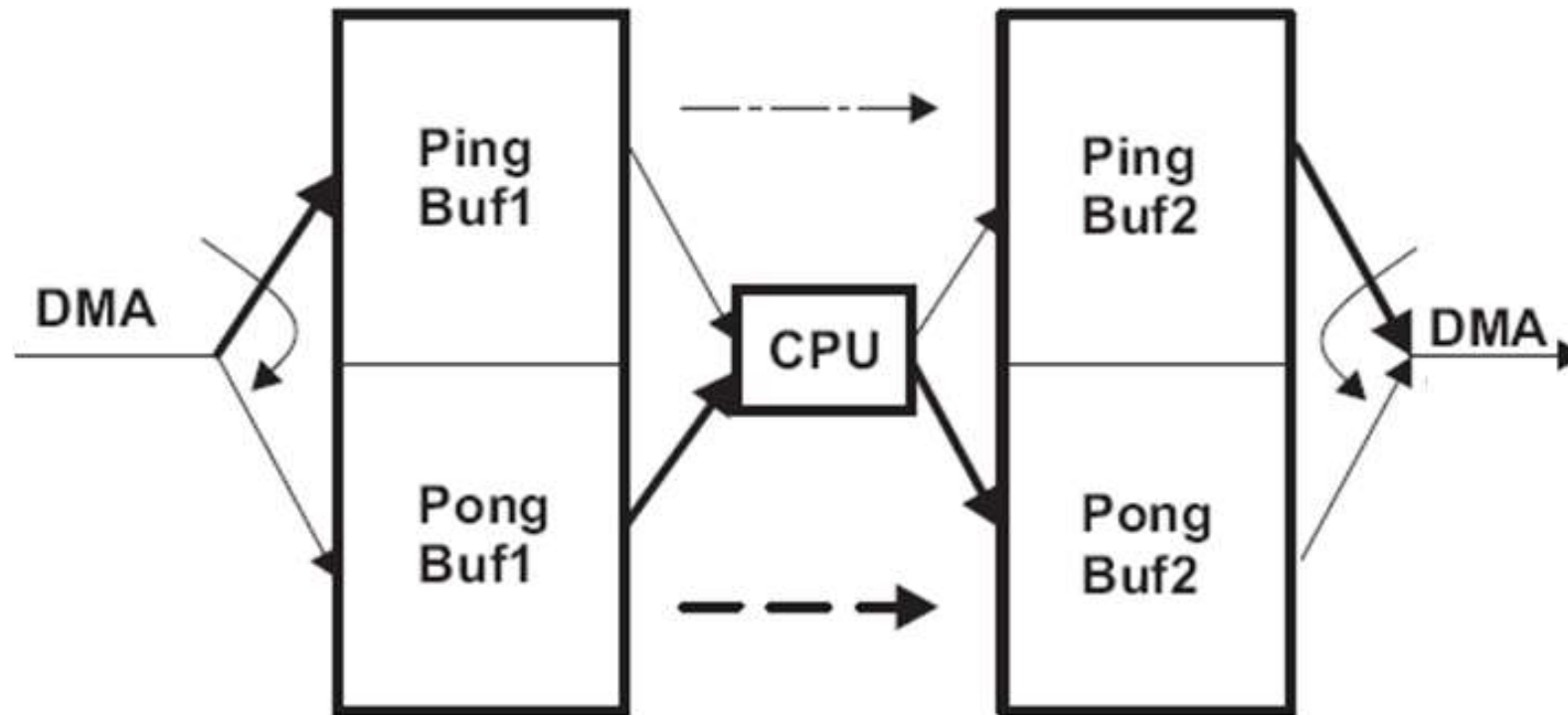
A (D) – Address (Data) Bus (шина адреса и магистраль данных).

R (W) – Read (Write) command (сигналы чтения и записи).

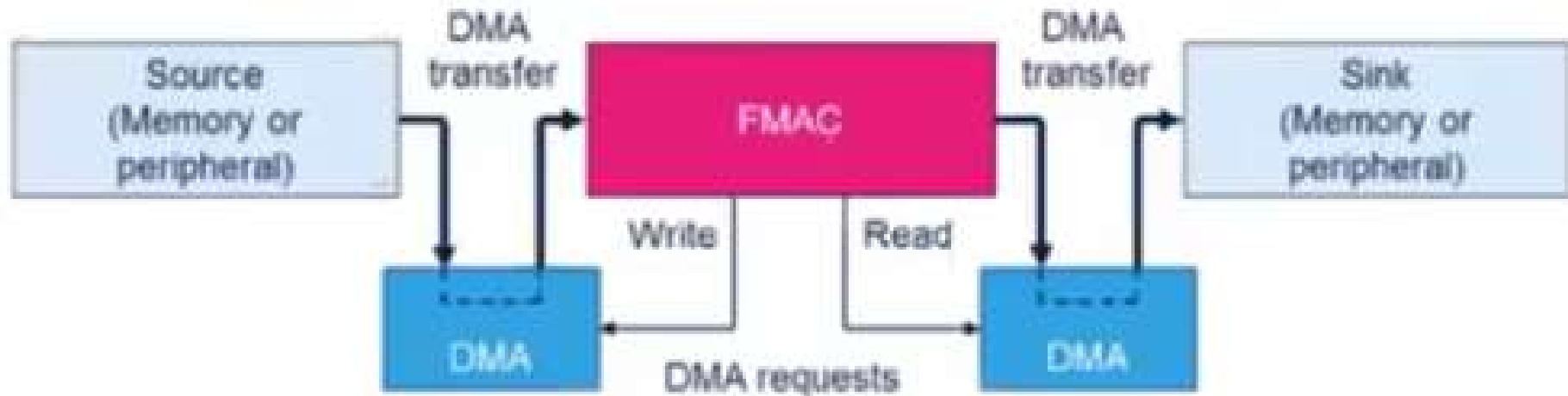
Контроллер прямого доступа



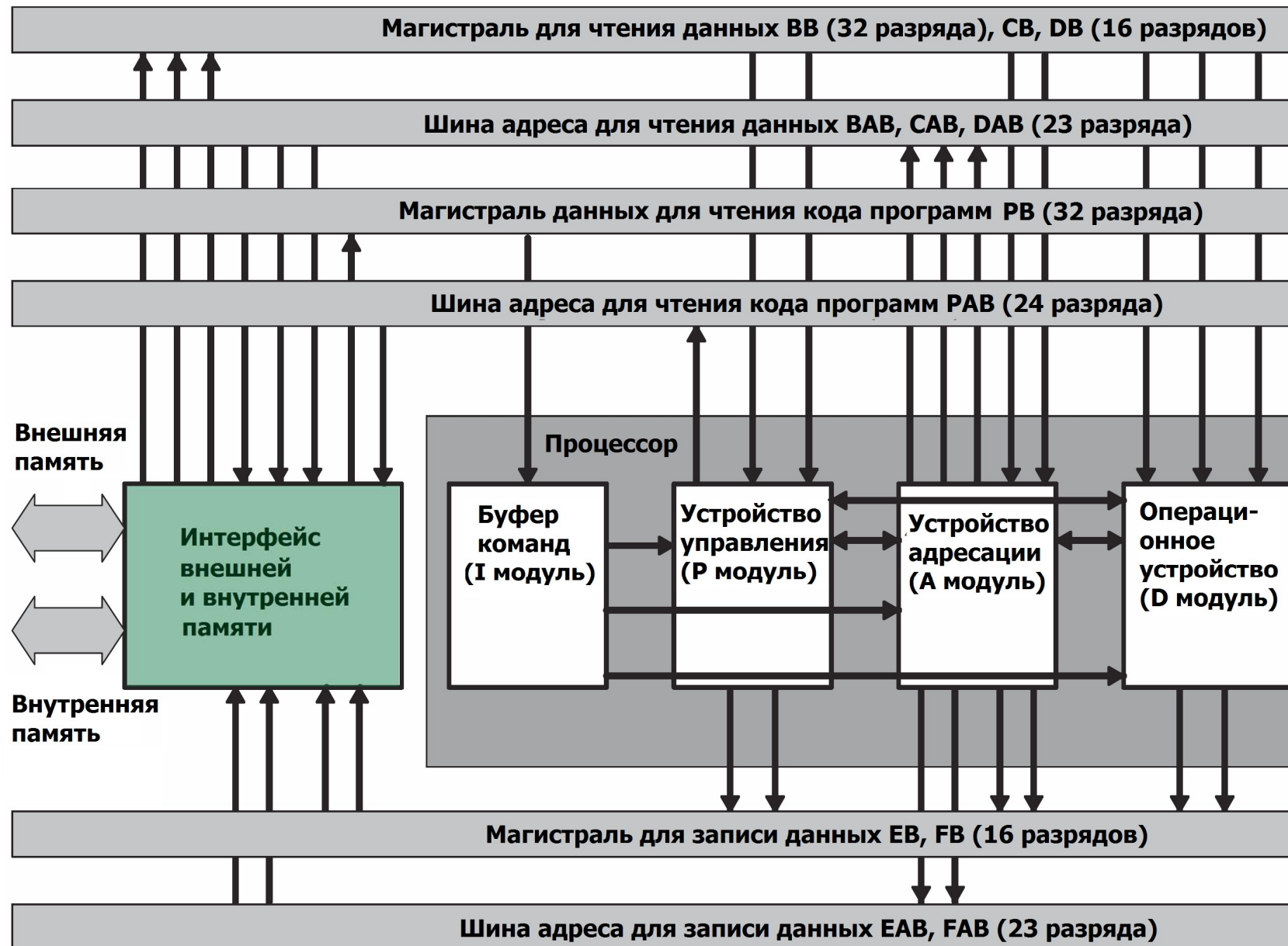
Переключение буферов



Аппаратный цифровой фильтр STM32G4



Ядро микропроцессора



Адресация памяти

Адрес
байта
(канал)

Адрес
байта
(процессор)

0001 0000h 000000h

0001 00C0h 0000C0h

0009 0000h 010000h

0100 0000h 050000h

0200 0000h 800000h

0300 0000h C00000h

0400 0000h E00000h

0500 0000h F00000h

050E 0000h FE0000h

050F FFFFh FFFFFFFh

Внутренняя MMR

Внутренняя DARAM

Внутренняя SARAM

Внешняя синхронная CS0

Внешняя асинхронная CS2

Внешняя асинхронная CS3

Внешняя асинхронная CS4

Внешняя асинхронная CS5

ROM
(MPNMC=0)

Резерв
(MPNMC=1)

192 байта

64кб – 192

256кб

8Мб – 320кб

4Мб

2Мб

1Мб

1Мб – 128кб

128кб

Адрес
слова
(процессор)

0000h

0C00h

0D00h

0E00h

0F00h

1000h

1800h

1840h

1880h

1900h

1A00h

1B00h

1C00h

2800h

2900h

2A00h

2B00h

2E00h

3000h

3A00h

3B00h

7000h

8000h

FFFFh

Управление простоем (Idle Control)

Канал прямого доступа DMA0

Канал прямого доступа DMA1

Канал прямого доступа DMA2

Канал прямого доступа DMA3

Интерфейс внешней памяти EMIF

Таймер Timer0

Таймер Timer1

Таймер Timer2

Часы реального времени RTC

Контроллер I2C

Контроллер UART

Управление микропроцессором

Контроллер I2S0

Контроллер I2S1

Контроллер I2S2

Контроллер I2S3

Контроллер LCD

Контроллер SPI

Контроллер MMC/SD0

Контроллер MMC/SD1

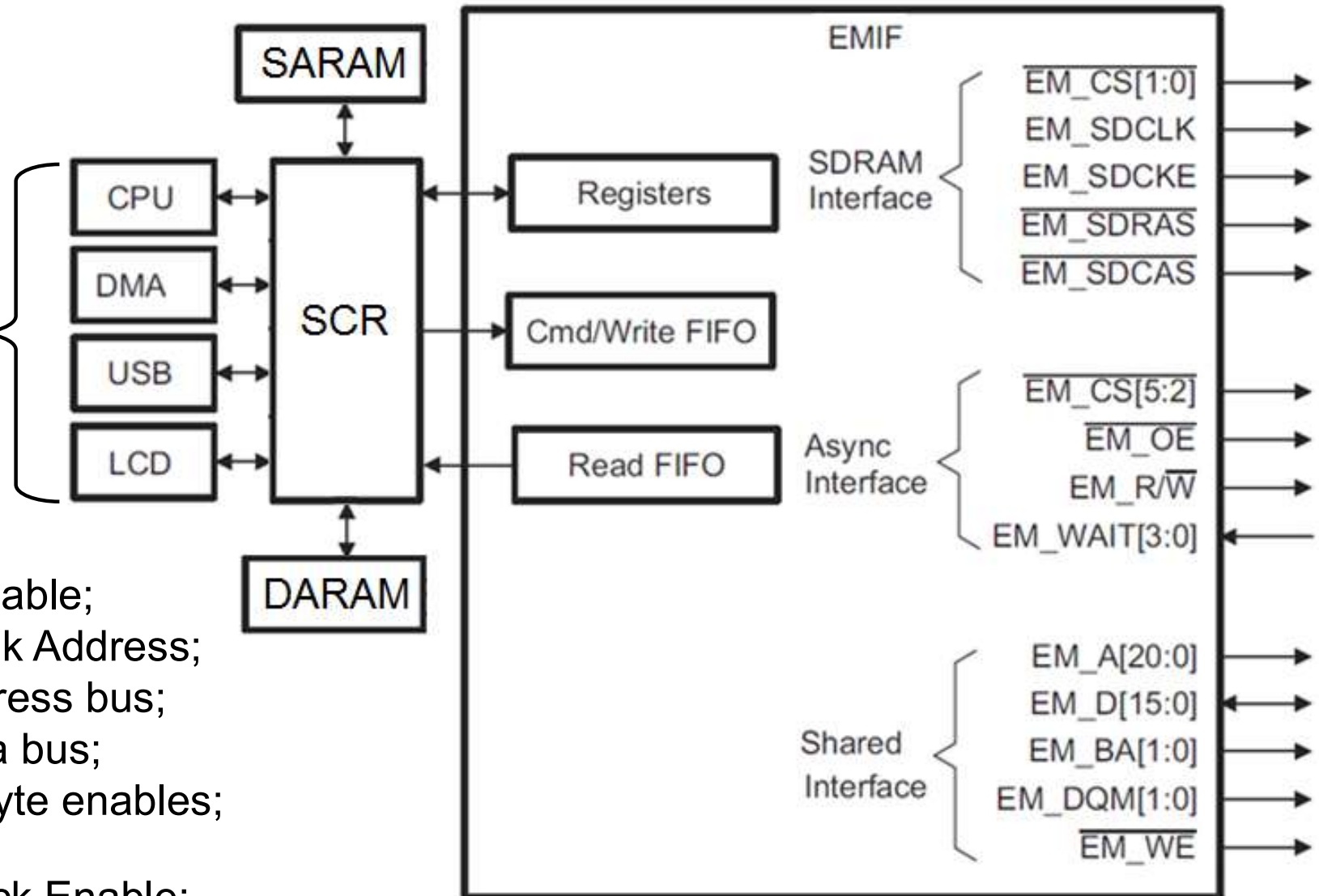
Аналого-цифровой преобразователь SAR

Контроллер USB

Интерфейс памяти EMIF

SCR – Switched
Central Resource

20 активных
устройств

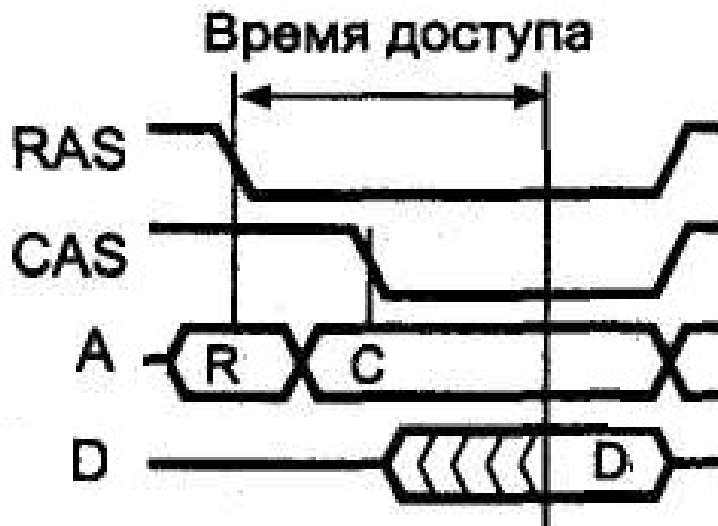
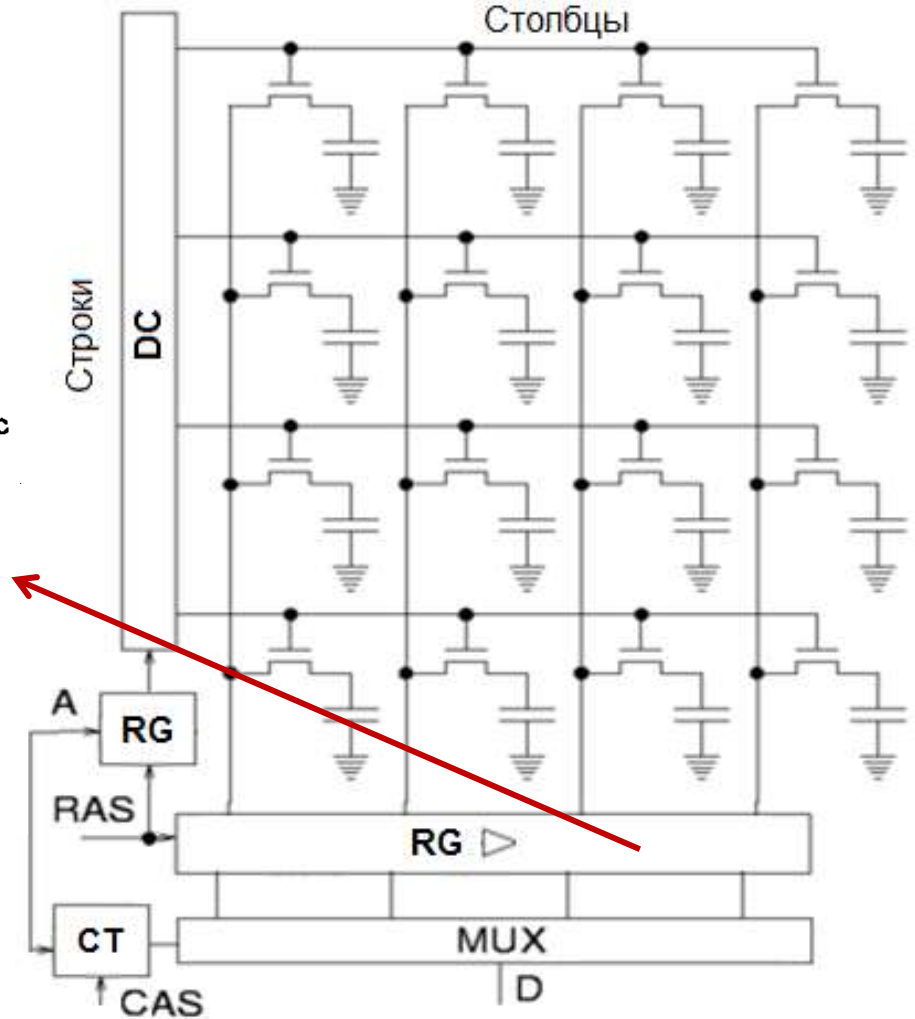
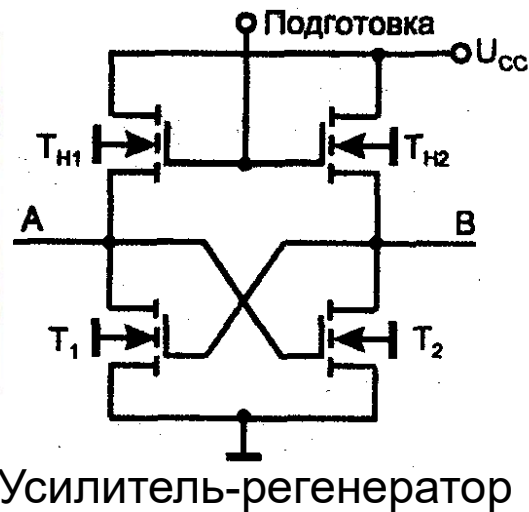
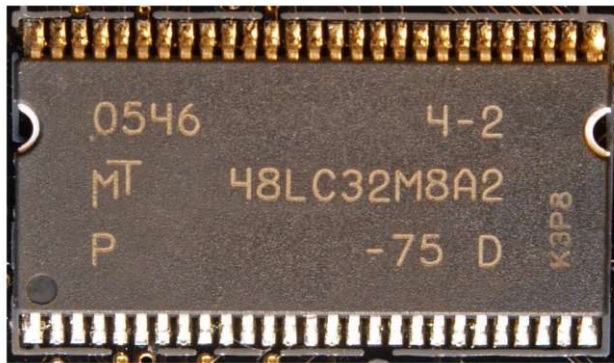


EM_WE – Write enable;
EM_BA[1:0] – Bank Address;
EM_A[20:0] – Address bus;
EM_D[15:0] – Data bus;
EM_DQM[1:0] – Byte enables;

EM_SDCKE – Clock Enable;
EM_SDCLK – Clock;
EM_CS[1:0] – Chip Select;
EM_SDRAS – Row Address Strobe;
EM_SDCAS – Column Address Strobe;

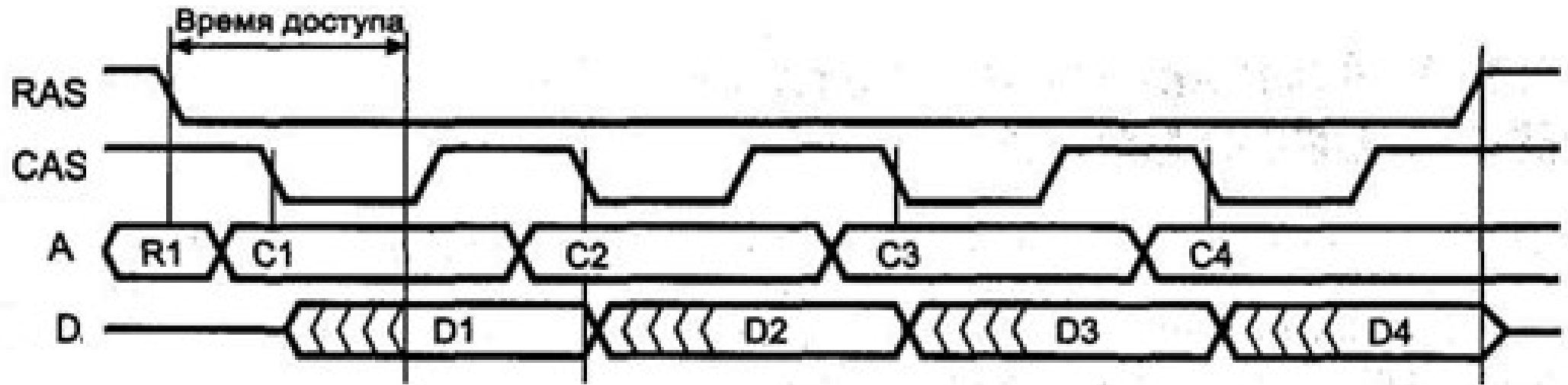
EM_CS[5:2] – Chip Select;
EM_OE – Output Enable;
EM_RW – Read/Write;
EM_WAIT[3:0] – Wait signals;

Динамическая память

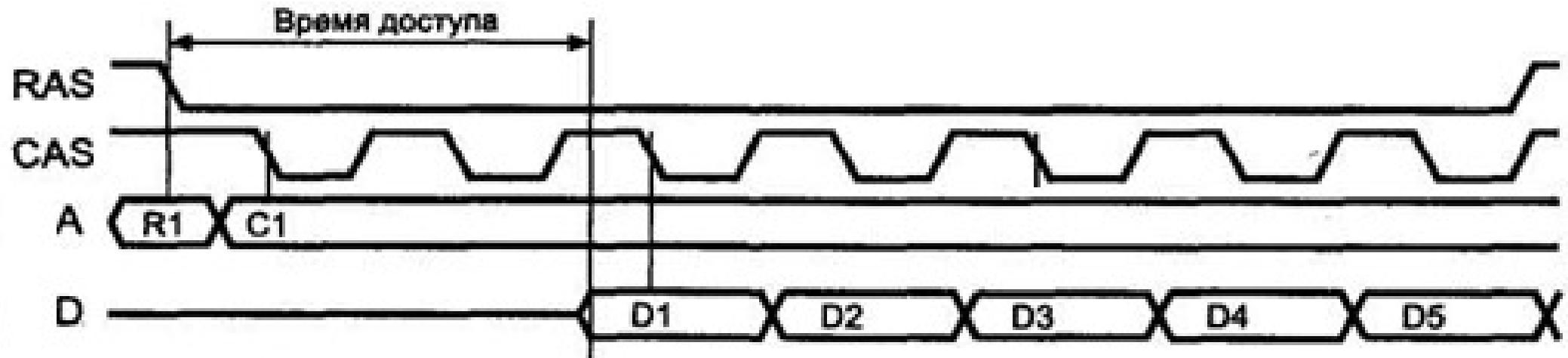


- RAS** – Row Address Strobe (строб адреса строки)
- CAS** – Column Address Strobe (строб адреса столбца)
- RG** – Register (регистр с параллельной записью)
- CT** – Counter (счетчик с параллельной записью)
- DC** – Decoder (дешифратор, декодер)
- MUX** – Multiplexor (мультиплексор, коммутатор)

Режимы динамической памяти

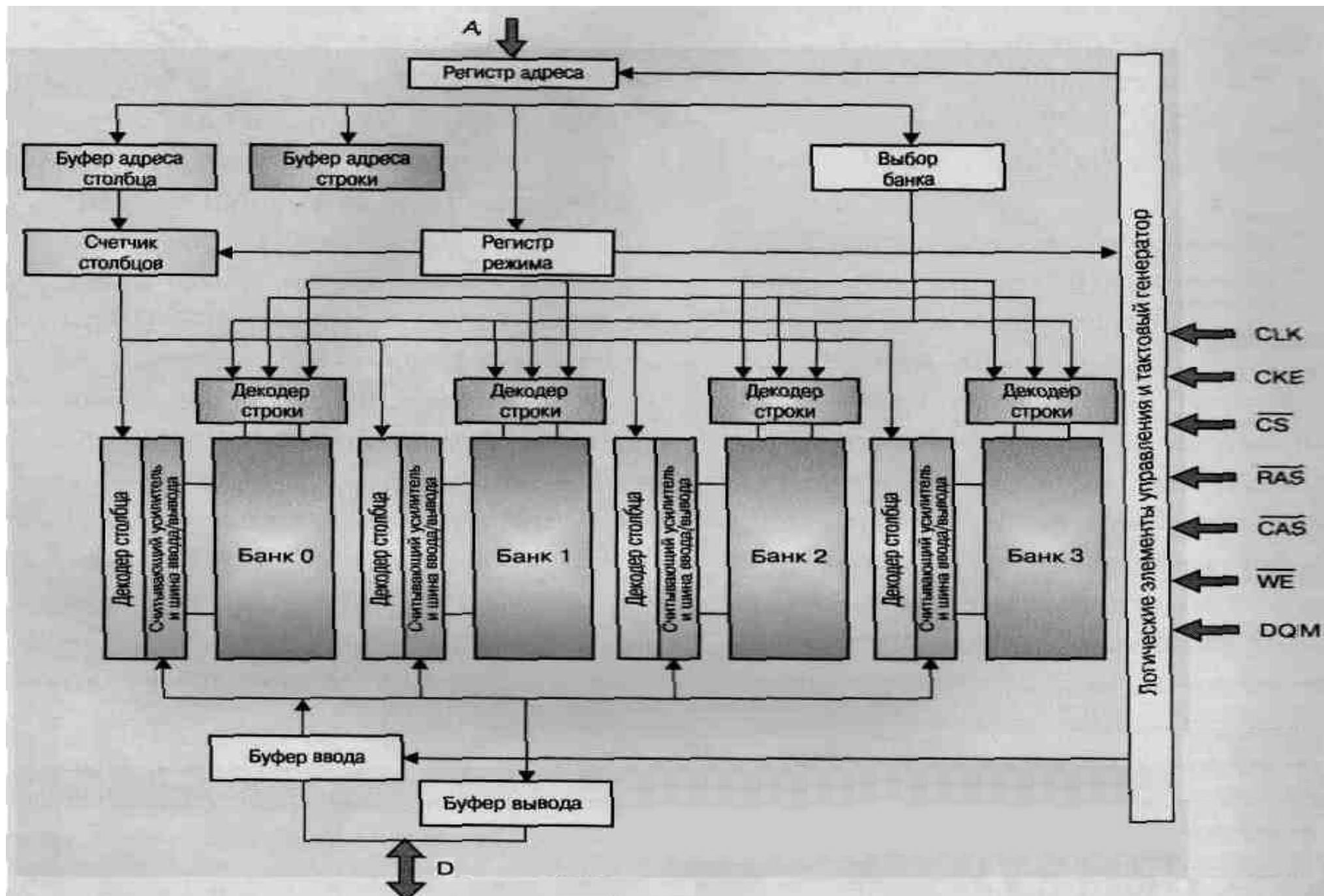


Страничный режим



Пакетный режим

Синхронная память



Команды SDRAM

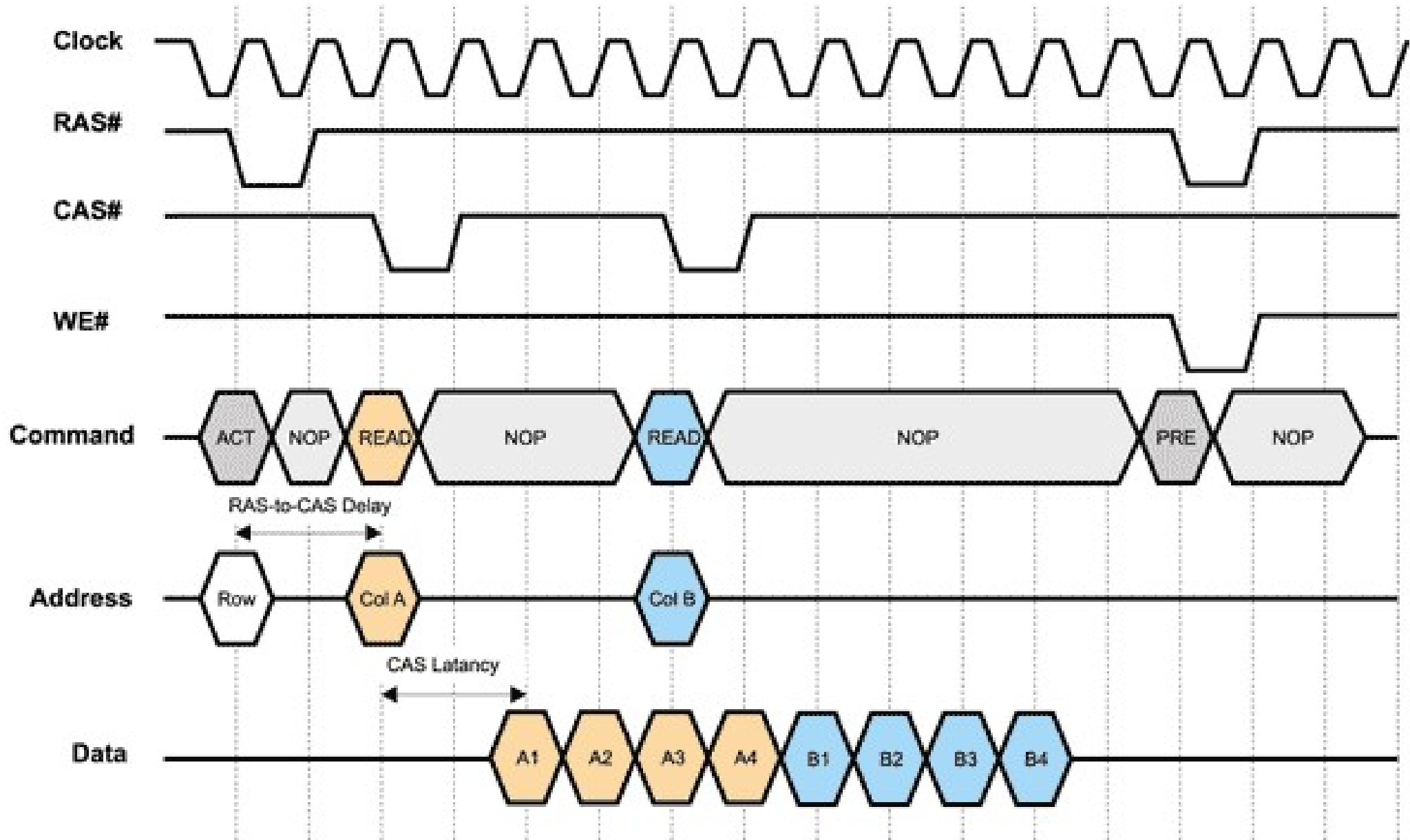
CS	RAS	CAS	WE	BA	A10	Ax	Команда
В	Х	Х	Х	Х	Х	Х	Задержка команды
Н	В	В	В	Х	Х	Х	Нет операции
Н	В	В	Н	Х	Х	Х	Остановить текущую операцию
Н	В	Н	В	Б	Н	С	Считать пакет данных из активного ряда
Н	В	Н	В	Б	В	С	Считать пакет данных и регенерировать
Н	В	Н	Н	Б	Н	С	Записать пакет данных в активный ряд
Н	В	Н	Н	Б	В	С	Записать пакет данных и регенерировать
Н	Н	В	В	Б	Р		Открыть ряд для операций записи и чтения
Н	Н	В	Н	Б	Н	Х	Деактивировать текущий ряд
Н	Н	В	Н	Х	В	Х	Деактивировать текущий ряд всех банков
Н	Н	Н	В	Х	Х	Х	Регенерировать по ряду всех банков
Н	Н	Н	Н	0 0	К		Загрузить данные конфигурации

Н – низкий уровень;
В – высокий уровень;
Х – безразличное состояние;

Б – номер банка;
Р – номер ряда (строки);
С – номер столбца;
К – данные конфигурации;

Память SDR

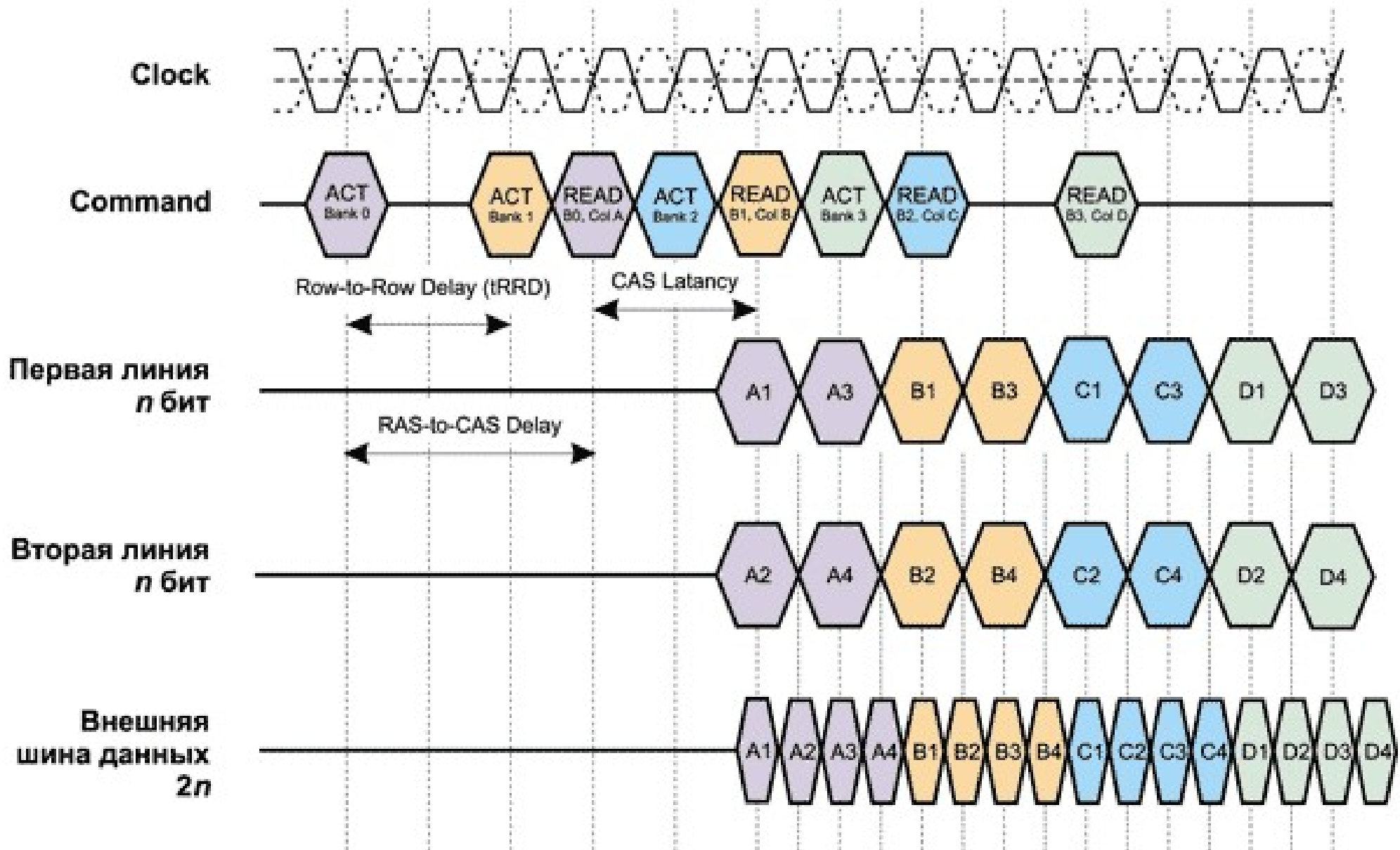
SDR SDRAM RCD = 2; CL = 2; Длина пакета BL = 4



SDR – Single Data Rate (одинокная скорость передачи данных)

Память DDR

DDR SDRAM



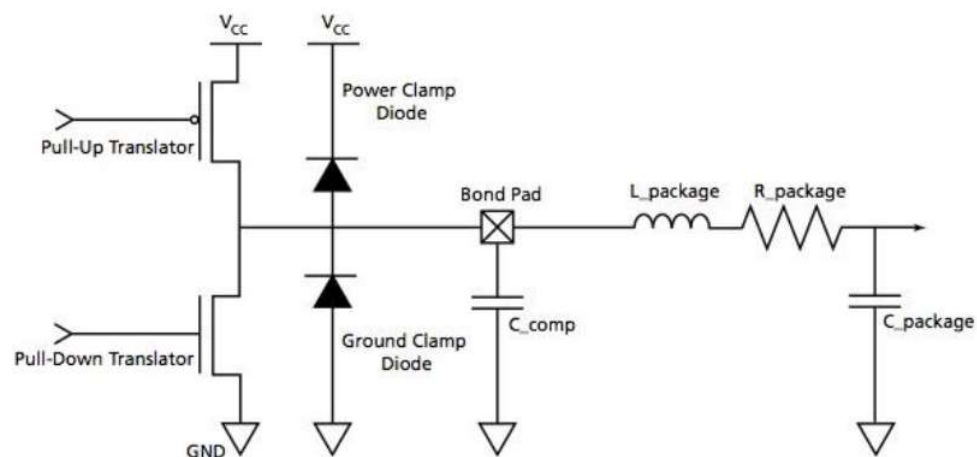
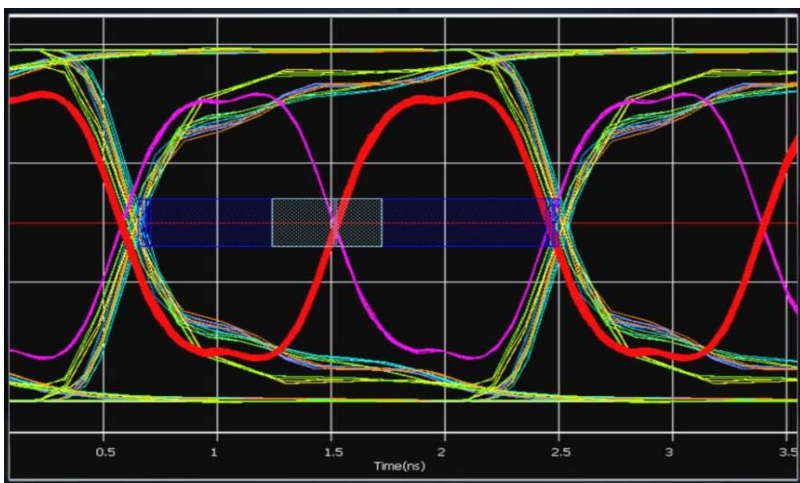
DDR – Double Data Rate (двойная скорость передачи данных)

Спецификации SDRAM

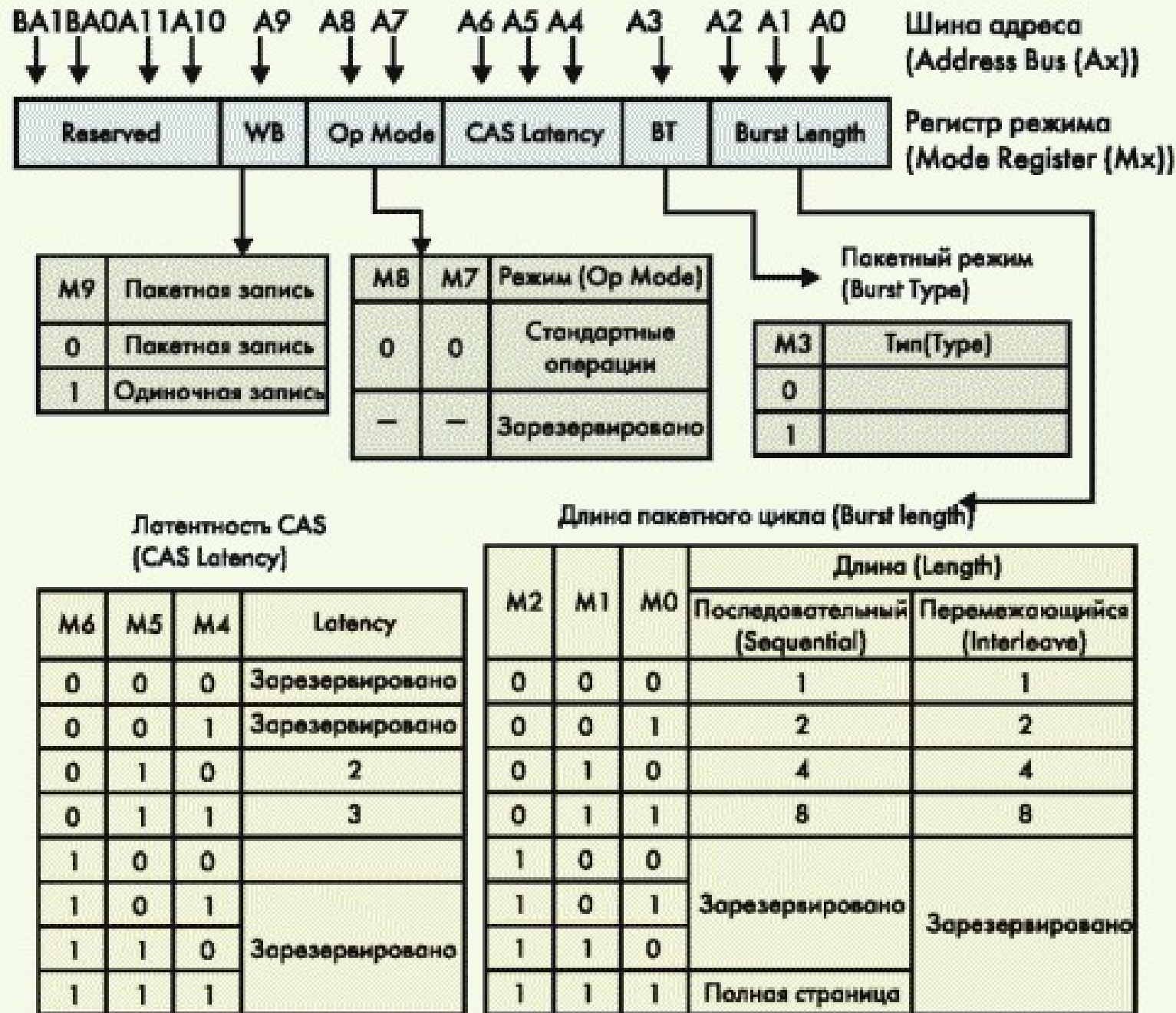
Спецификация модулей памяти			
Спецификация	Тактовая частота памяти	Максимальная теоретическая пропускная способность памяти	
		в одноканальном режиме	в двухканальном режиме
PC1600* (DDR200)	100 МГц	1600 Мбайт/сек	3200 Мбайт/сек
PC2100* (DDR266)	133 МГц	2133 Мбайт/сек	4267 Мбайт/сек
PC2400 (DDR300)	150 МГц	2400 Мбайт/сек	4800 Мбайт/сек
PC2700* (DDR333)	166 МГц	2667 Мбайт/сек	5333 Мбайт/сек
PC3200* (DDR400)	200 МГц	3200 Мбайт/сек	6400 Мбайт/сек
PC3500 (DDR433)	217 МГц	3467 Мбайт/сек	6933 Мбайт/сек
PC3700 (DDR466)	233 МГц	3733 Мбайт/сек	7467 Мбайт/сек
PC4000 (DDR500)	250 МГц	4000 Мбайт/сек	8000 Мбайт/сек
PC4300 (DDR533)	267 МГц	4267 Мбайт/сек	8533 Мбайт/сек

Эволюция DDR SDRAM

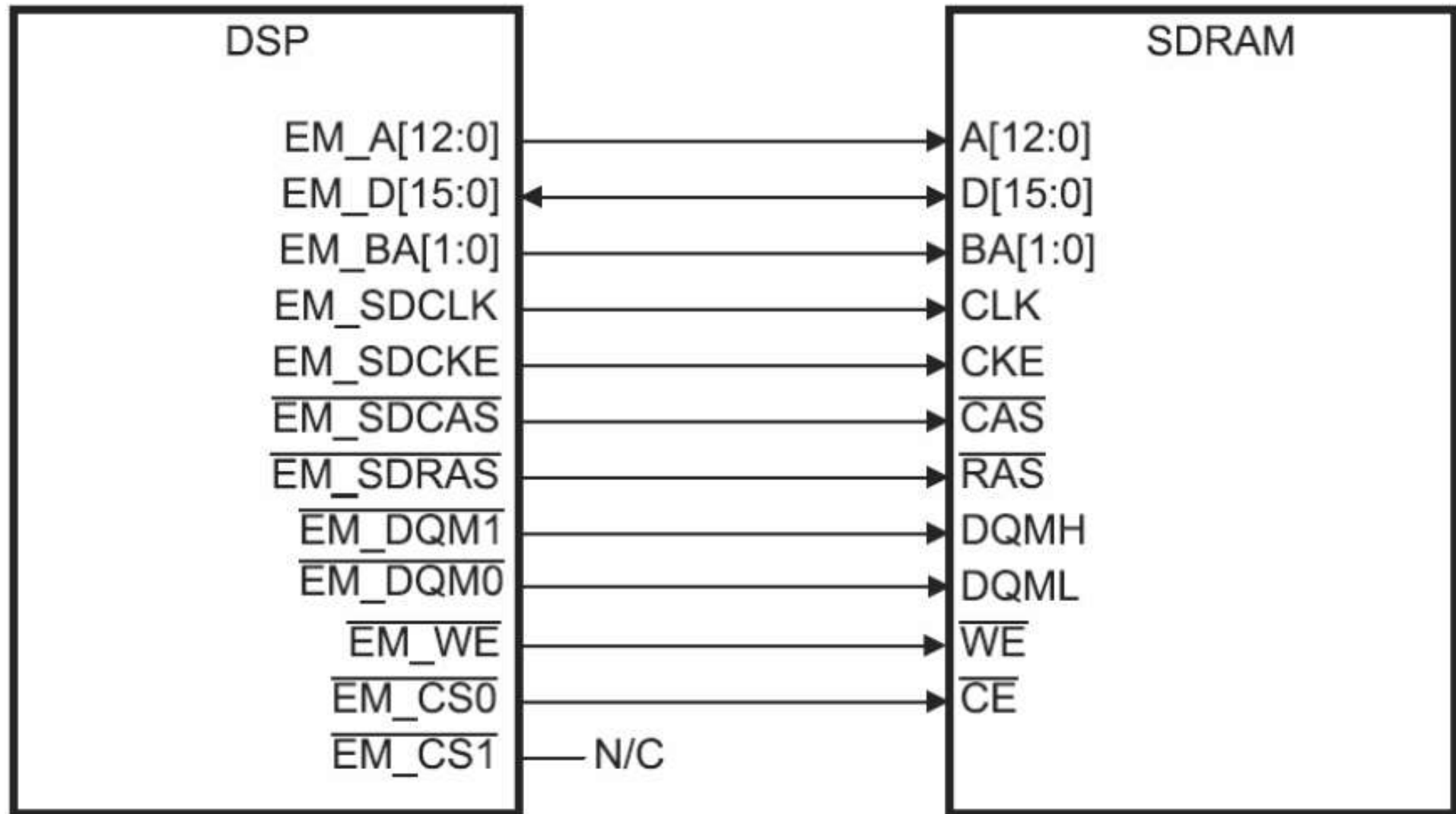
Функция	DDR	DDR2	DDR3	LPDDR3(e)	DDR4	LPDDR4	DDR5
Дата выхода	2000	2003	2007	2012	2014	2014	2020
Скорость	200 – 400 MT/s	400 – 800 MT/s	800 – 1600 MT/s	800 – 2133 MT/s	1.6 – 3.2 GT/s	1.6 – 4.2 GT/s	3.2 – 6.4 GT/s
Плотность	128 Mb – 1 Gb	256 Mb – 4 Gb	512 Mb – 8 Gb	4 – 32 Gb	2 - 16 Gb	8 – 32 Gb	8 - 64 Gb
Предвыборка	2n	4n	8n	8n	8n	16n	8n/16n
Клок	Differential	Differential	Differential	Differential	Differential	Differential	Differential
Строб	Single	Single/Diff	Differential	Differential	Differential	Differential	Differential
Напряжение питания	2.5V/2.6V	1.8V	1.35V/1.5V	1.2V/1.8V	1.2V	1.8V/1.1V	1.1V
Технология	SSTL-2	SSTL-18	SSTL-15	HSUL-12	POD-12	LVSTL-11	POD-11
ODT	No	Yes	Yes	Optional	Yes	Yes	Yes



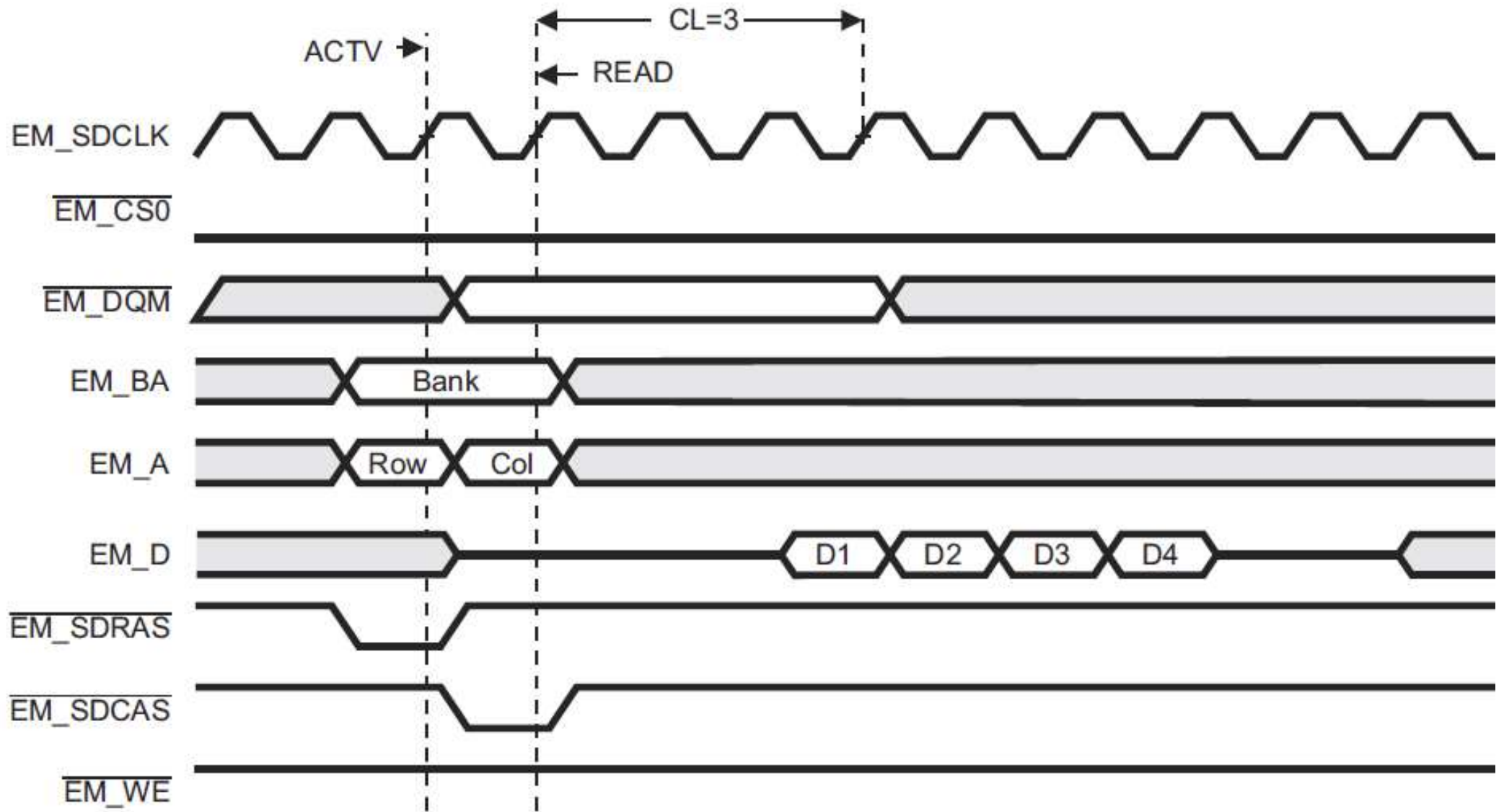
Конфигурация SDRAM



Синхронное подключение

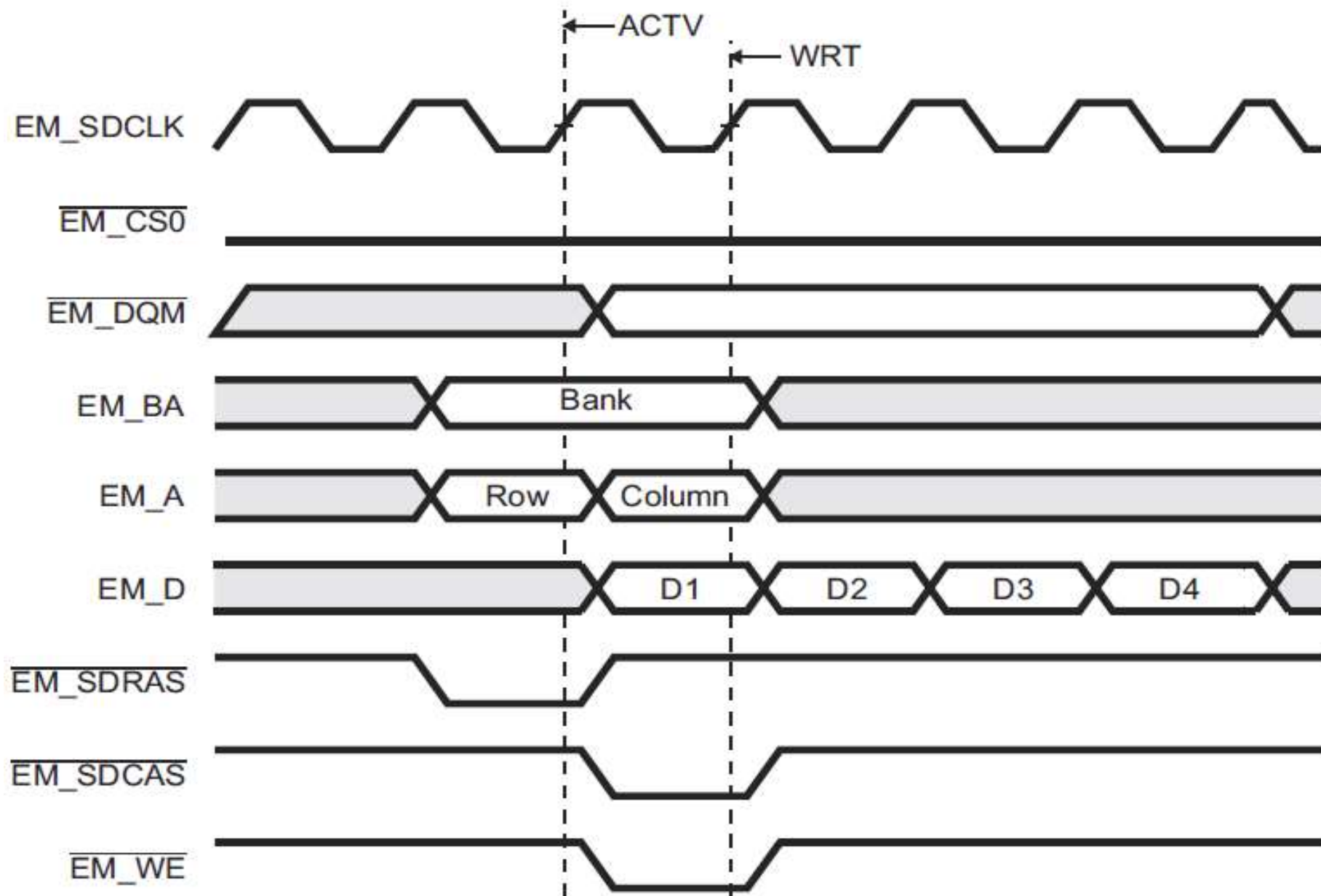


Синхронное чтение

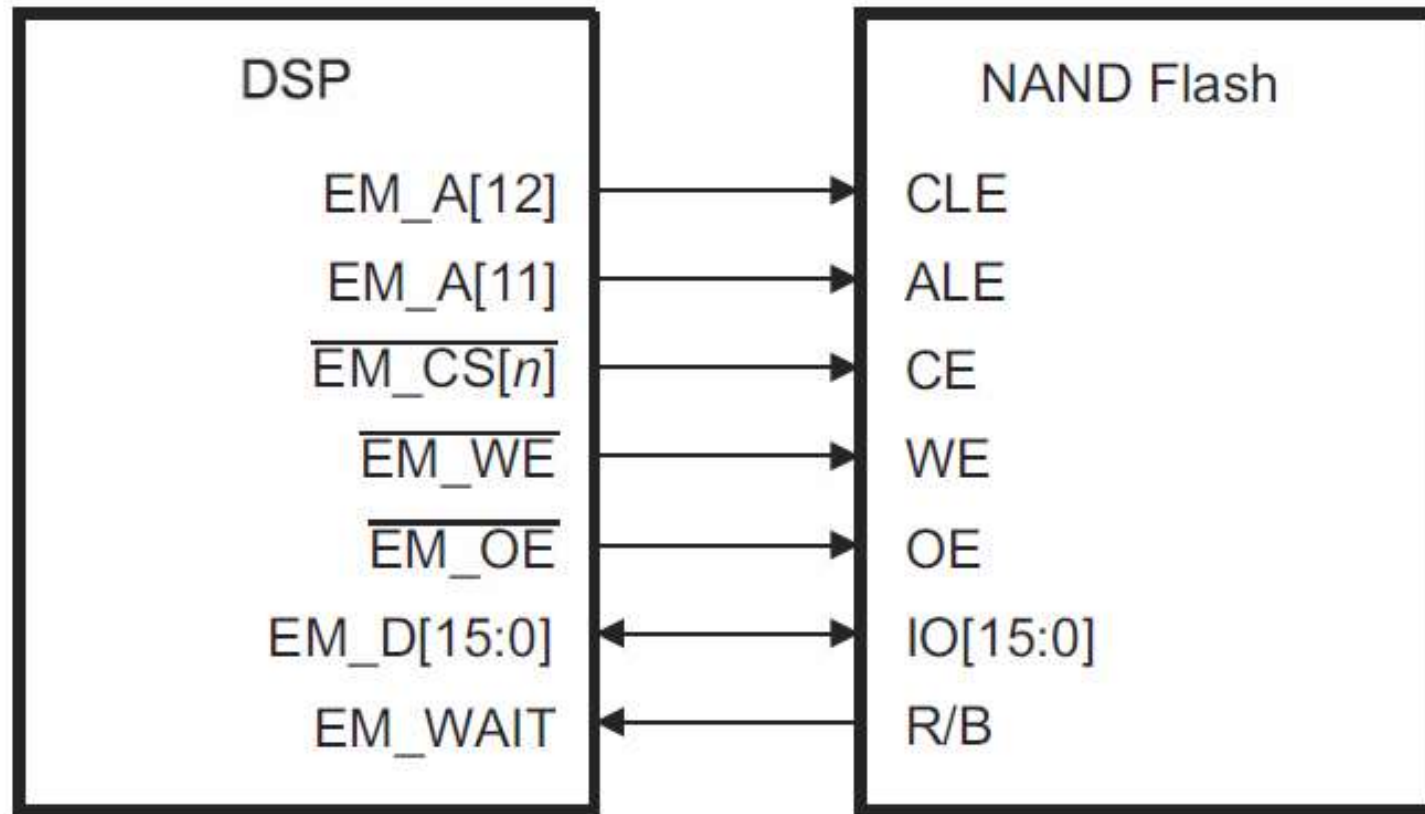


CL – CAS Latency (тайминги 3:1:1:1)

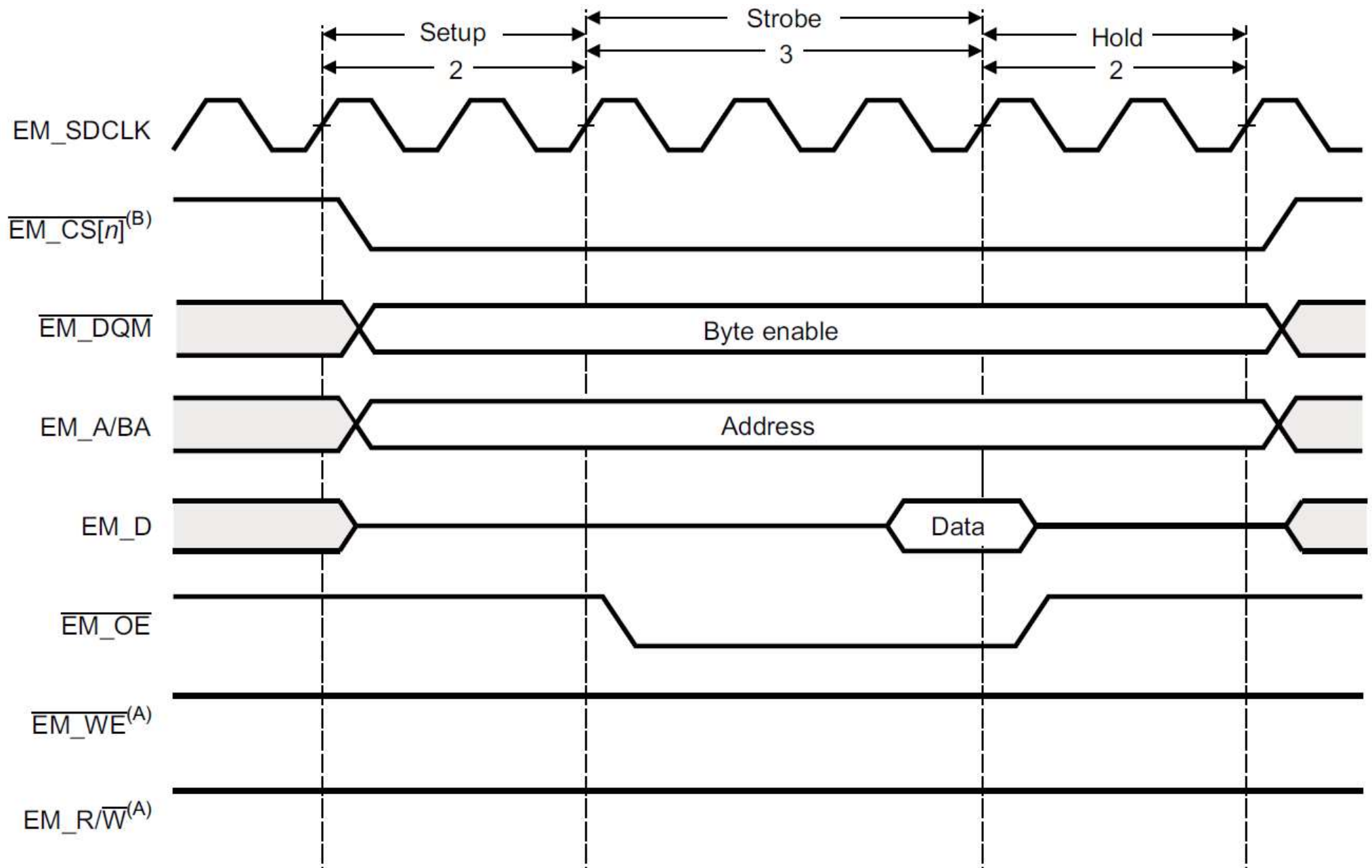
Синхронная запись



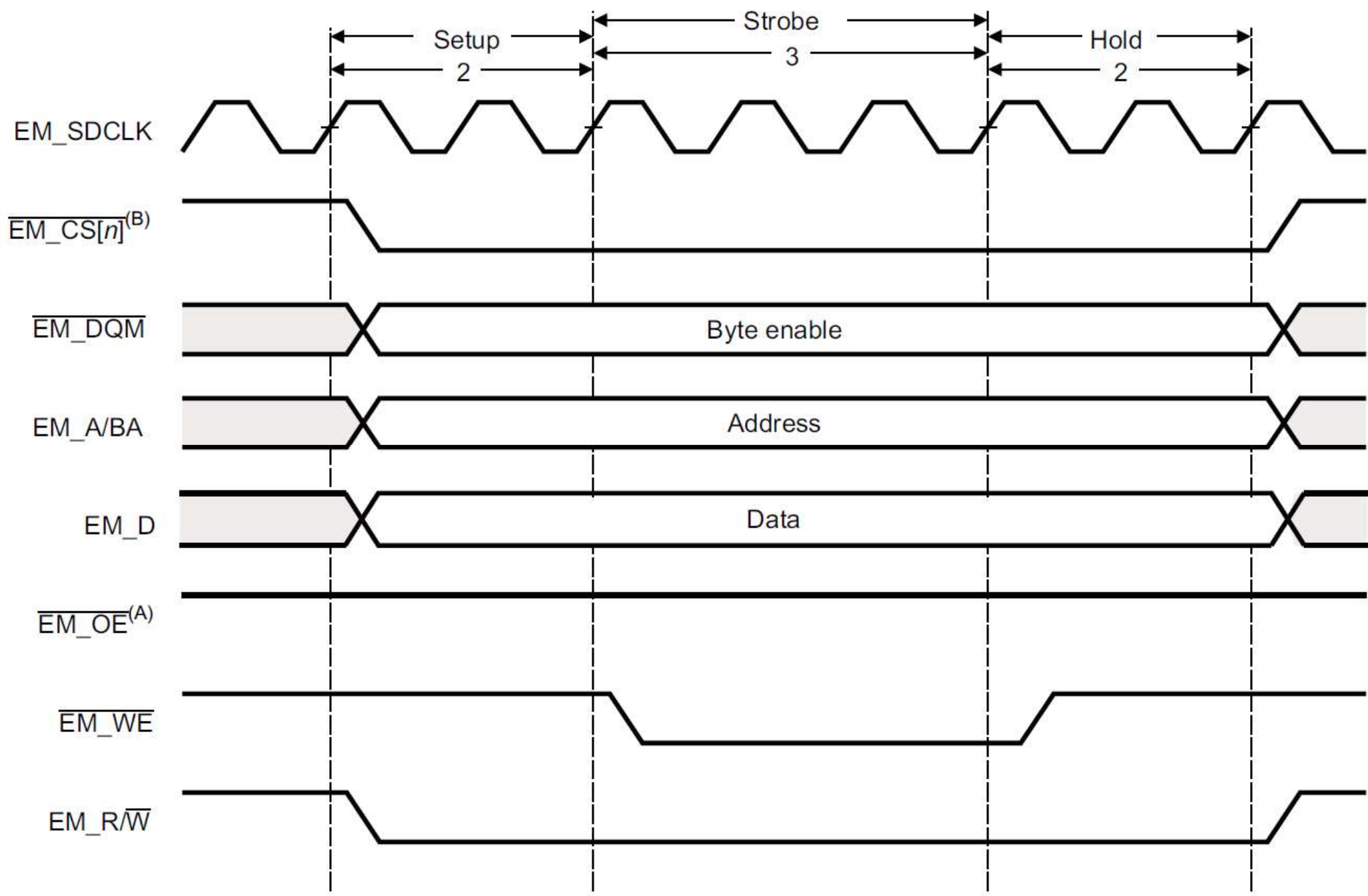
Асинхронное подключение



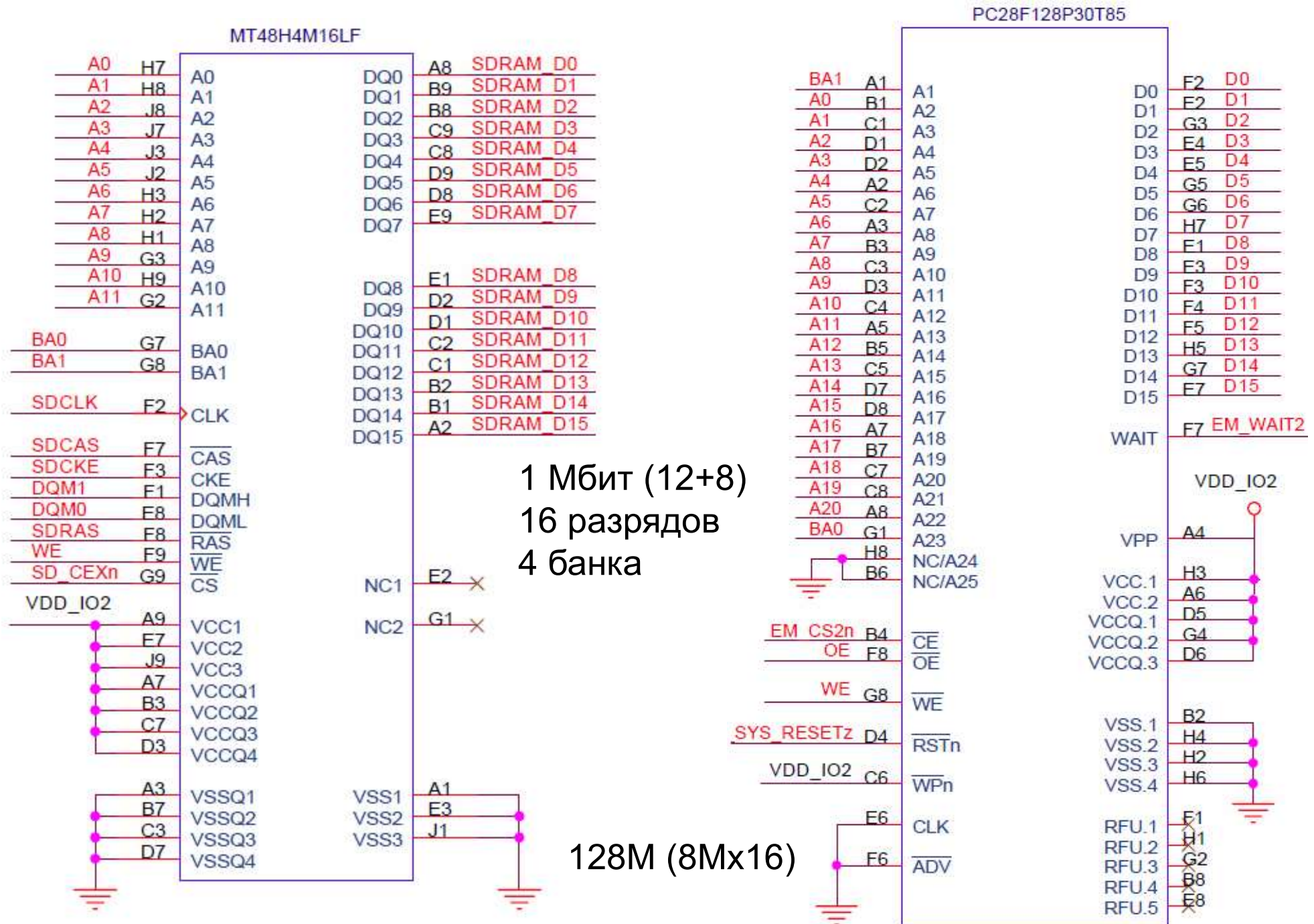
Асинхронное чтение



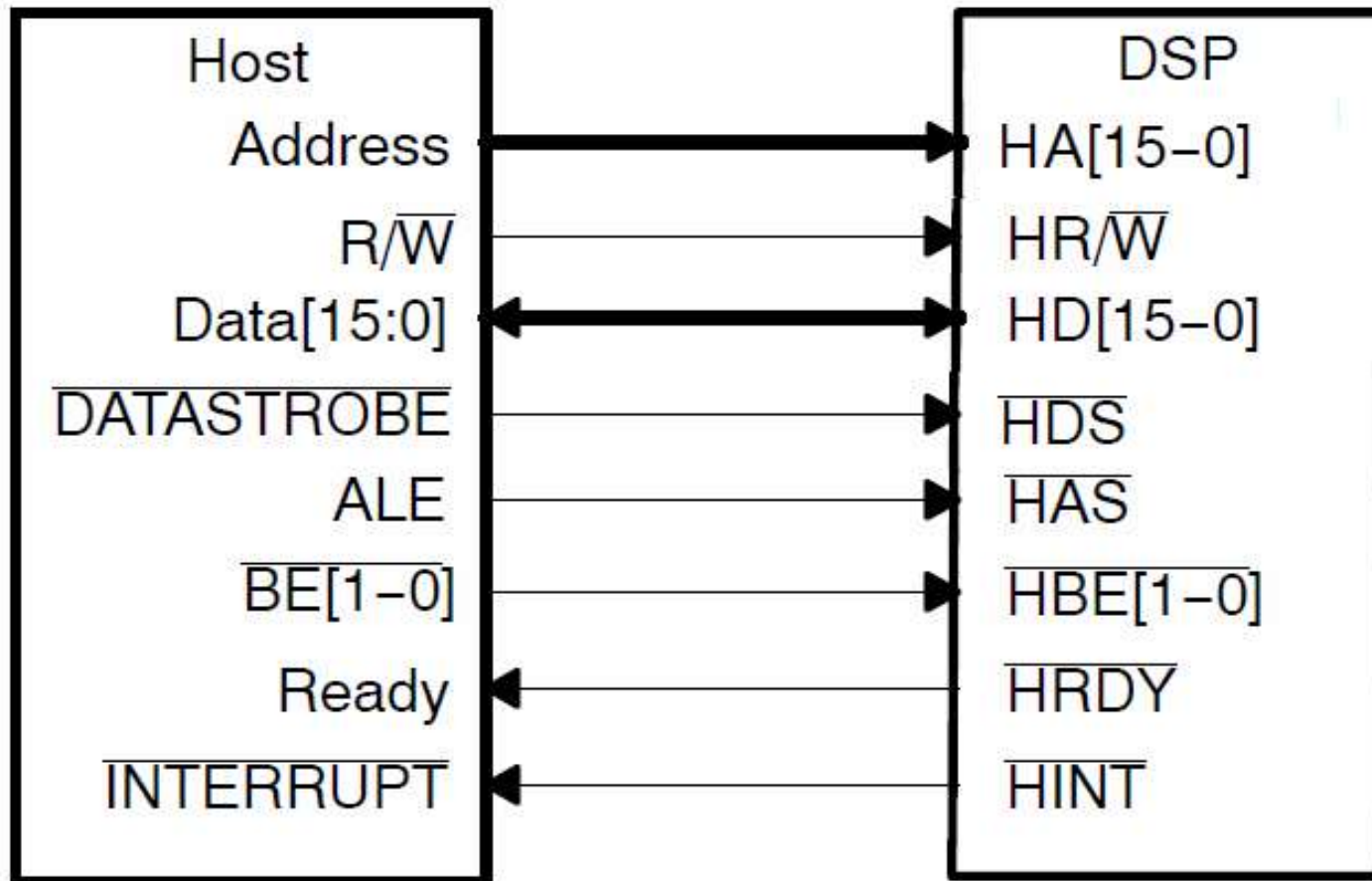
Асинхронная запись



Внешняя память



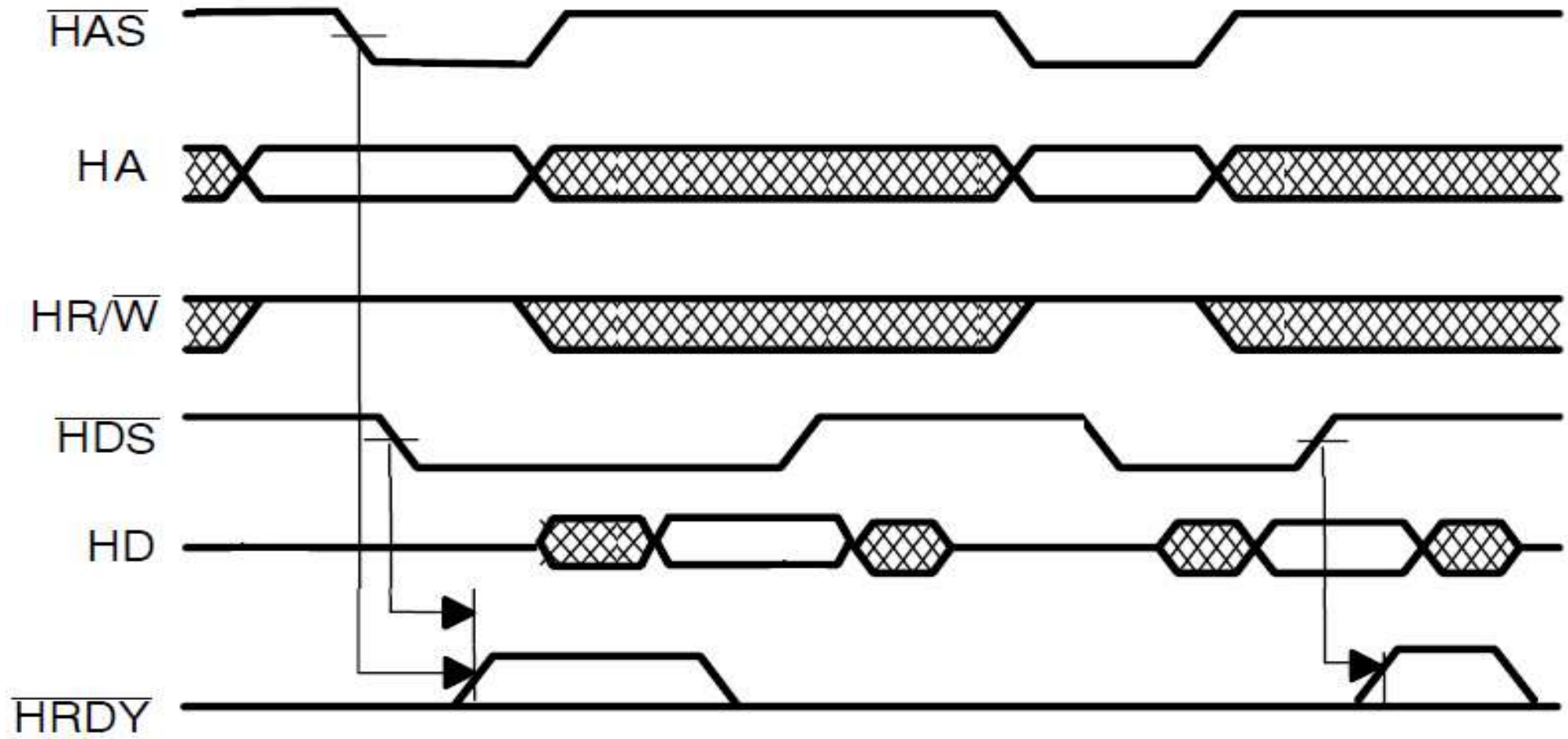
Host Port Interface



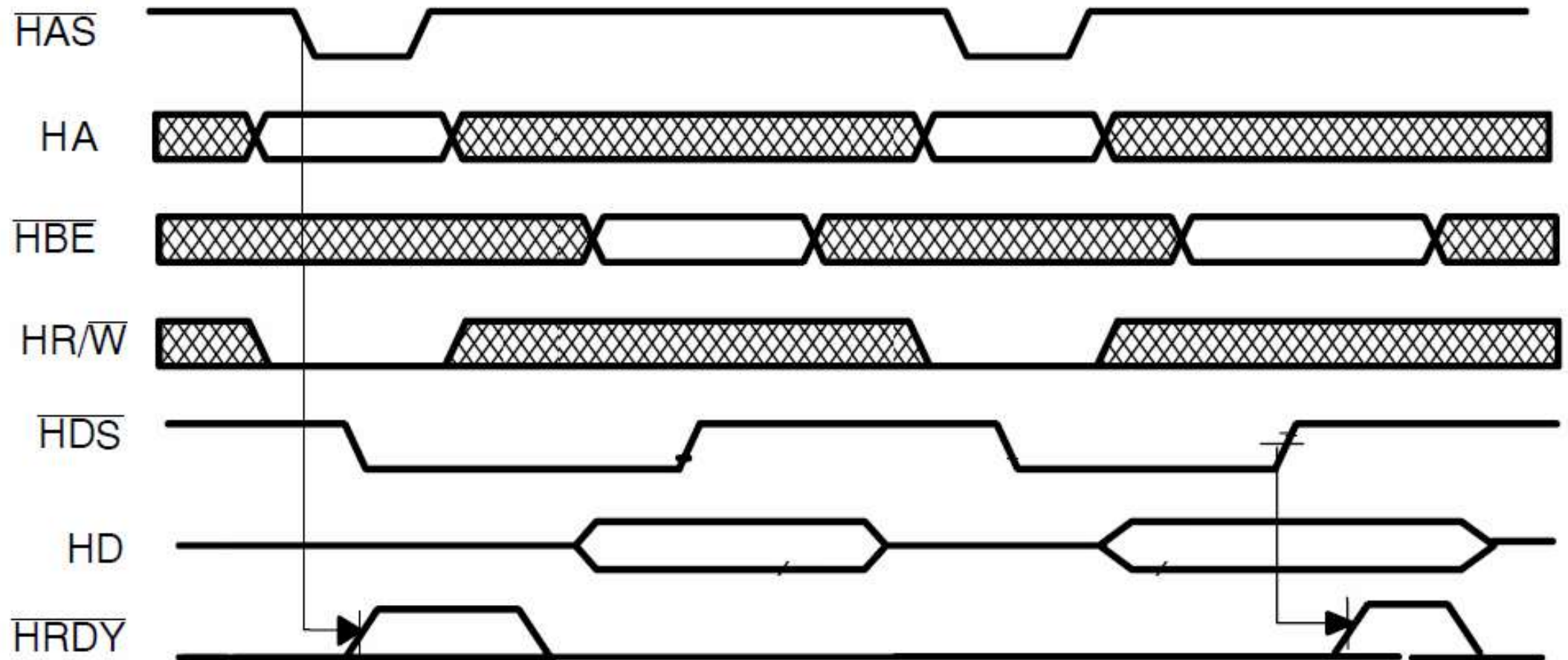
HA[15:0] – Host Address;
HD[15:0] – Host Data;
HBE[1:0] – Host Byte Enables;
HRW – Host Read/Write;

HAS – Host Address Select;
HDS – Host Data Strobe;
HRDY – Host Ready;
HINT – Host Interrupt;

Внешнее чтение



Внешняя запись



Общая память

