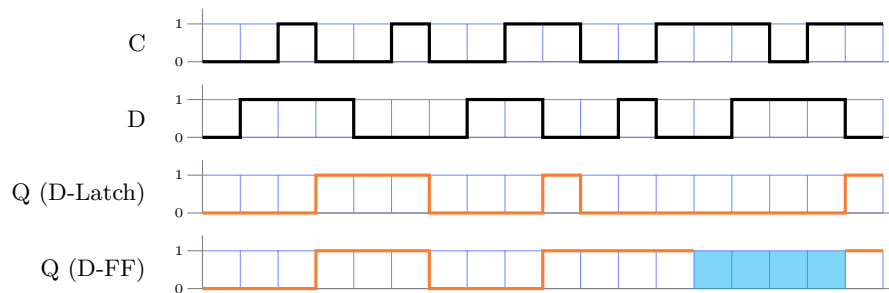


# RS 09 (HA) zum 21.12.2012

Paul Bienkowski, Hans Ole Hatzel

20. Dezember 2012

## 1. Flussdiagramm:



## 2. a) Flipflop mit Multiplexer:

D	E	CLK	$Q^+$
*	*	0	$Q$
*	*	1	$Q$
*	0	$\uparrow$	$Q$
*	1	$\uparrow$	D

## Flipflop mit Taktausblendung:

D	E	CLK	$Q^+$
*	*	0	$Q$
*	0	*	$Q$
*	1	$\uparrow$	D
*	$\uparrow$	1	D

- b) Solche Schaltungen werden in einem synchronen System wie etwa einer CPU als Buffer eingesetzt.
- c) In Schaltung 2 speichert auch bei Vorderflanke auf dem Enable-Eingang (E) falls der Clock-Eingang (C) aktiv ist. Das umgeht die Synchronisation über den Clock-Eingang während einer Taktphase.

Vorteil von Schaltung 2 ist, dass weniger Bauelemente (And-Gatter statt Multiplexer) benötigt werden. Außerdem bietet die zweite Schaltung ein einfacheres Zeitverhalten, da das Ausgangssignal (Q) nicht als Eingang für den Multiplexer verwendet wird.

## 3. a)

b)

c)