

# 64-040 Modul IP7: Rechnerstrukturen

[http://tams.informatik.uni-hamburg.de/  
lectures/2012ws/vorlesung/rs](http://tams.informatik.uni-hamburg.de/lectures/2012ws/vorlesung/rs)

– Kapitel 3 –

Andreas Mäder



Universität Hamburg  
Fakultät für Mathematik, Informatik und Naturwissenschaften  
Fachbereich Informatik

**Technische Aspekte Multimodaler Systeme**

Wintersemester 2012/2013

# Kapitel 3

## Moore's Law

System on a chip

Smart Dust

Roadmap und Grenzen des Wachstums

Literatur



# Moore's Law

- ▶ bessere Technologie ermöglicht immer kleinere Transistoren
- ▶ Materialkosten sind proportional zur Chipfläche
- ⇒ bei gleicher Funktion kleinere und billigere Chips
- ⇒ bei gleicher Größe leistungsfähigere Chips

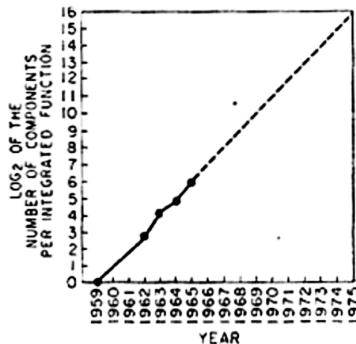
## Moore's Law

Gordon Moore, Mitgründer von Intel, 1965

Speicherkapazität von ICs vervierfacht sich alle drei Jahre

- ⇒ schnelles **exponentielles Wachstum**
  - ▶ klares Kostenoptimum bei hoher Integrationsdichte
  - ▶ trifft auch auf Prozessoren zu

## Moore's Law (cont.)

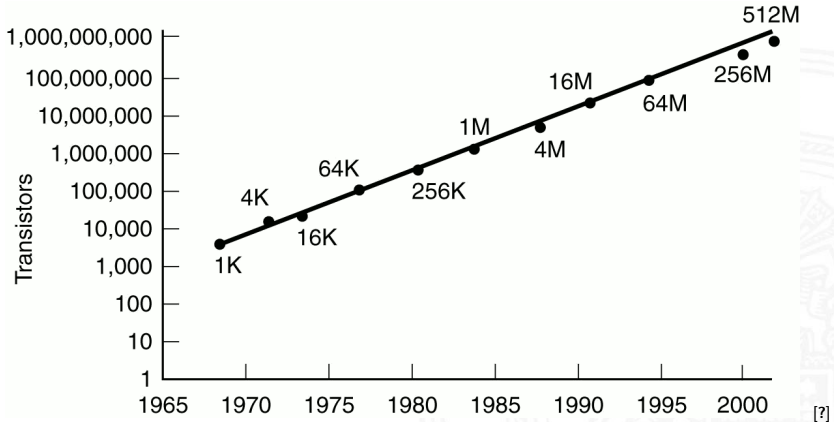


Gordon Moore, 1965, [Moo65]:  
*Cramming more components onto integrated circuits*

Wird das so weitergehen?

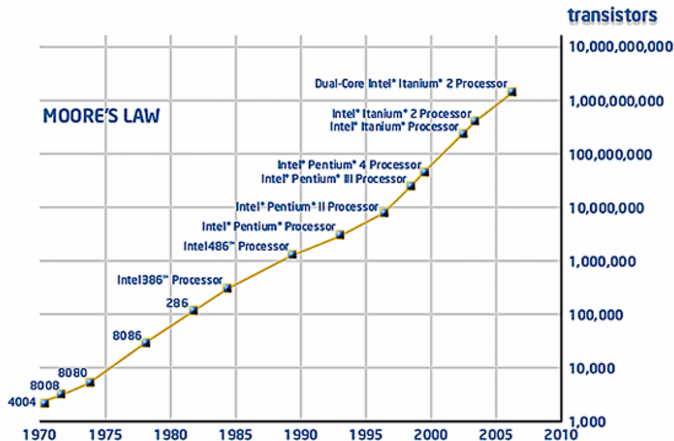
- ▶ Vorhersage gilt immer noch
- ▶ „ITRS“ Prognose bis über Jahr 2025 hinaus [ITRS11]

# Moore's Law: Transistoren pro Speicherchip

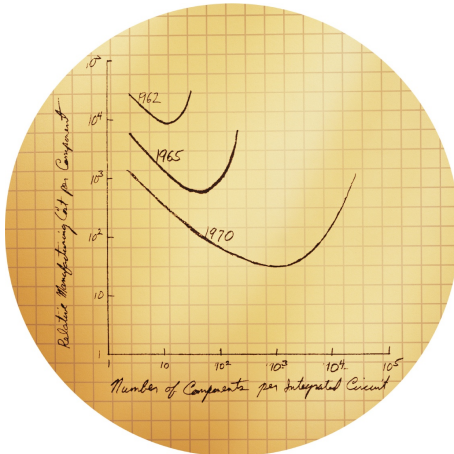


► Vorhersage: 60% jährliches Wachstum der Transistoranzahl pro IC

# Moore's Law: Evolution des Intel x86 (bis 2010)



# Moore's Law: Kosten pro Komponente



Originalskizze von G. Moore [Intel]

# Moore's Law: Formel und Beispiele

$$L(t) = L(0) \times 2^{t/18}$$

mit:  $L(t)$  = Leistung zum Zeitpunkt  $t$ ,  $L(0)$  = Leistung zum Zeitpunkt 0, und Zeit  $t$  in Monaten.

Einige Formelwerte:

|         |         |
|---------|---------|
| Jahr 1: | 1,5874  |
| Jahr 2: | 2,51984 |
| Jahr 3: | 4       |
| Jahr 5: | 10,0794 |
| Jahr 6: | 16      |
| Jahr 7: | 25,3984 |
| Jahr 8: | 40,3175 |



# Leistungssteigerung der Spitzenrechner seit 1993

[www.top500.org/list/2012/06/100](http://www.top500.org/list/2012/06/100) [de.wikipedia.org/wiki/Supercomputer](http://de.wikipedia.org/wiki/Supercomputer)

| Jahr | Rechner                                   | Linpack<br>[GFlop] | Zahl der<br>Prozessoren |
|------|---|--------------------|-------------------------|
| 1993 | Fujitsu NWT                               | 124                | 140                     |
| 1994 | Intel Paragon XP/S MP                     | 281                | 6 768                   |
| 1996 | Hitachi CP-PACS                           | 368                | 2 048                   |
| 1997 | Intel ASCI Red (200 MHz Pentium Pro)      | 1 338              | 9 152                   |
| 1998 | ASCI Blue-Pacific (IBM SP 640E)           | 2 144              | 5 808                   |
| 1999 | ASCI Intel Red (Pentium II Xeon)          | 2 379              | 9 632                   |
| 2000 | ASCI White, IBM (SP Power 3)              | 4 903              | 7 424                   |
| 2002 | Earth Simulator, NEC                      | 35 610             | 5 104                   |
| 2006 | JUBL                                      | 45 600             | 16 384                  |
| 2008 | IBM Roadrunner (Opteron 2c + IBM Cell)    | 1 105 000          | 124 400                 |
| 2009 | Cray XK6 Jaguar (Opteron 16c + NVIDIA)    | 1 941 000          | 298 592                 |
| 2012 | Super MUC, Leibnitz Rechenz. (Xeon 8/10c) | 2 897 000          | 147 456                 |
| 2012 | Sequoia (Power BQC, 16 cores)             | 16 324 750         | 1 572 864               |

# Moore's Law: Aktuelle Trends

- ▶ Miniaturisierung schreitet weiter fort
- ▶ aber Taktraten erreichen physikalisches Limit
- ▶ steigender Stromverbrauch, zwei Effekte:
  1. Leckströme
  2. proportional zu Taktrate

## Entwicklungen

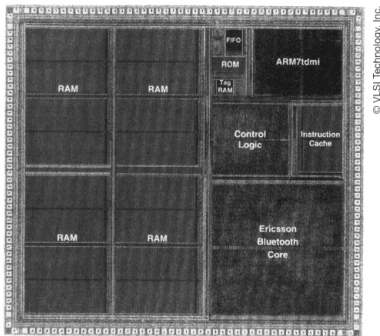
- ▶ 4 GByte Hauptspeicher (und mehr) sind bezahlbar
- ▶ Übergang von 32-bit auf 64-bit Adressierung
- ⇒ Integration mehrerer CPUs auf einem Chip (Dual-/Quad-Core)
- ⇒ zunehmende Integration von Peripheriegeräten
- ⇒ seit 2011: CPU plus leistungsfähiger Grafikchip
- ⇒ **SoC**: „System on a chip“

# SoC: System on a chip

Gesamtes System auf einem Chip integriert:

- ▶ ein oder mehrere Prozessoren
- ▶ Befehls- und Daten-Caches für die Prozessoren
- ▶ Hauptspeicher (dieser evtl. auch extern)
- ▶ weitere Speicher für Medien/Netzwerkoperationen
- ▶ Peripherieblöcke nach Kundenwunsch konfiguriert:
  - ▶ serielle und parallele Schnittstellen, I/O-Pins
  - ▶ Displayansteuerung
  - ▶ USB, Firewire, SATA
  - ▶ Netzwerk kabelgebunden (Ethernet)
  - ▶ Funkschnittstellen: WLAN, Bluetooth, GSM/UMTS
  - ▶ Feldbusse: I<sup>2</sup>C, CAN, ...
- ▶ Smartphone, Tablets, Medien-/DVD-Player, WLAN-Router ...

# SoC Beispiel: Bluetooth-Controller – Chip layout



© VLSI Technology, Inc.

Figure 13.9 Bluetooth Baseband Controller die photograph.

Table 13.1 Bluetooth characteristics.

|               |                    |             |                  |        |       |
|---------------|--------------------|-------------|------------------|--------|-------|
| Process       | 0.25 $\mu\text{m}$ | Transistors | 4,300,000        | MIPS   | 12    |
| Metal layers  | 3                  | Die area    | 20 $\text{mm}^2$ | Power  | 75 mW |
| Vdd (typical) | 2.5 V              | Clock       | 0–13 MHz         | MIPS/W | 160   |

S. Furber: *ARM System-on-Chip Architecture*, 2000 [Fur01]

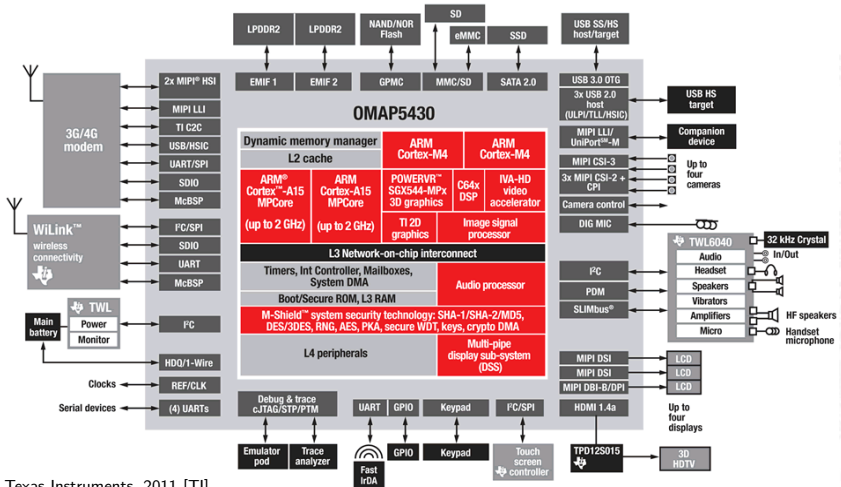
# SoC Beispiel: TI OMAP 5430

- ▶ mehrere (verschiedene) CPUs
- ▶ Grafikbeschleuniger
- ▶ Chipsatz (Speichercontroller, Interconnect, ...)
- ▶ Schnittstellen (WiFi, 4G, USB, Audio, I/O, ...)

## OMAP5430 Key Benefits

- Designed to drive Smartphones, Tablets and other multimedia-rich mobile devices
- Multi-core ARM® Cortex™ processors
  - Two ARM Cortex-A15 MPCore processors capable of speeds up to 2 GHz each
  - Two ARM Cortex-M4 processors for low-power offload and real-time responsiveness
- Multi-core POWERVR™ SGX544-MPx graphics accelerators drive 3D gaming and 3D user interfaces
- Dedicated TI 2D BitBlit graphics accelerator
- IVA-HD hardware accelerators enable full HD 1080p60, multi-standard video encode/decode as well as 1080p30 stereoscopic 3D (S3D)
- Faster, higher-quality image and video capture with up to 24 megapixels (or 12 megapixels S3D) imaging and 1080p60 (or 1080p30S3D) video
- Supports four cameras and four displays simultaneously
- Packaging and memory: 14mm x 14mm, 0.4mm pitch PoP dual-channel LPDDR2 memory

# SoC Beispiel: TI OMAP 5430 (cont.)



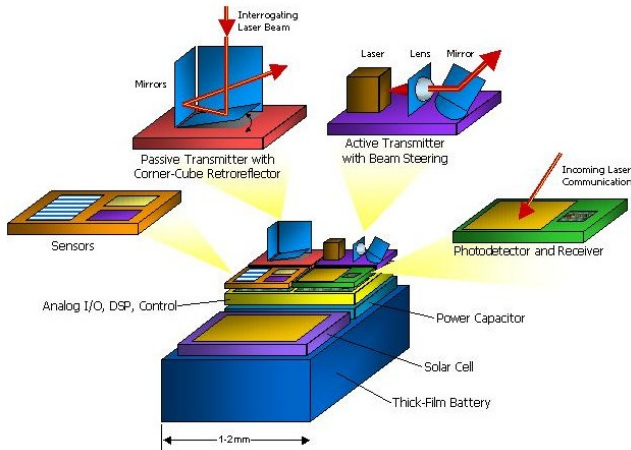
Texas Instruments, 2011 [TI]

# Smart Dust

## Wie klein kann man Computer bauen?

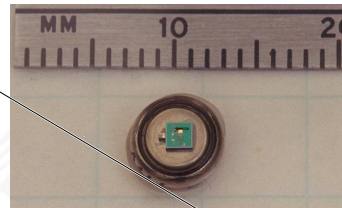
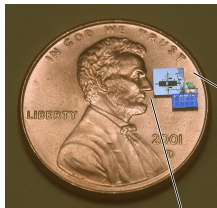
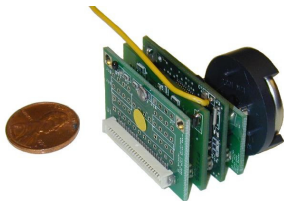
- ▶ Berkeley Projekt: **Smart Dust** 1997-2002
- ▶ Integration kompletter Rechensysteme auf  $1 \text{ mm}^3$ 
  - ▶ vollständiger Digitalrechner CPU, Speicher, I/O
  - ▶ Sensoren Photodioden, Kompass, Gyro
  - ▶ Kommunikation Funk, optisch
  - ▶ Stromversorgung Photozellen, Batterie, Vibration, Mikroturbine
  - ▶ Echtzeit-Betriebssystem Tiny OS
  - ▶ inklusive autonome Vernetzung
- ▶ Massenfertigung? Tausende autonome Mikrorechner
- ▶ „Ausstreuen“ in der Umgebung
- ▶ vielfältige Anwendungen

# Smart Dust: Konzept



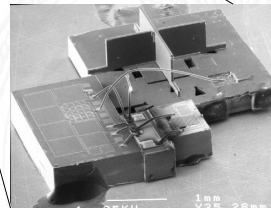


# Smart Dust: Prototypen

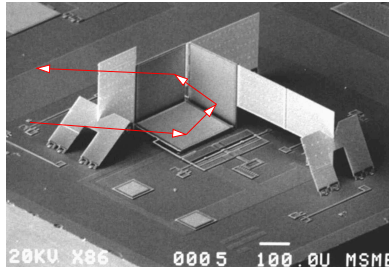
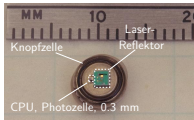


diverse Prototypen:

- vollwertige CPU / Sensoren / RF
- "out-door"-tauglich
- MEMS-"CCR" für opt. Kommunikation



# Smart Dust: Corner-cube reflector („Katzenaugen“)



- ▶ CCR: seitlich zwei starre Spiegel, Gold auf Silizium
- ▶ untere Spiegelfläche beweglich (elektrostatisch, ca. 30 V)
- ▶ gezielte Modulation von eingestrahlttem Laserlicht
- ▶ Reichweiten  $> 100$  m demonstriert

# Smart Dust: Energieverbrauch

Miniatur-Solarzellen

Wirkungsgrad ca. 3%

26  $\mu\text{W}/\text{mm}$  in vollem Sonnenlicht



Batterien:  $\sim 1\text{J}/\text{mm}^2$

Kondensatoren:  $\sim 10\text{ mJ}/\text{mm}^2$

Solarzellen:  $\sim 0.1\text{ mW}/\text{mm}$   $\sim 1\text{J}/\text{mm} / \text{day}$  (außen, Sonne)  
 $\sim 10\text{ }\mu\text{W}/\text{mm}$   $\sim 10\text{mJ}/\text{mm} / \text{day}$  (innen)

Digitalschaltung 1 nJ/instruction (StrongArm SA1100)

Analoger Sensor 1 nJ/sample

Kommunikation 1 nJ/bit (passive transmitter, s.u.)

opt. digitale ASICs:  $\sim 5\text{ pJ}/\text{bit}$  (LFSR Demonstrator, 1.4V)

# Grenzen des Wachstums

- ▶ Jeder exponentielle Verlauf stößt irgendwann an natürliche oder wirtschaftliche Grenzen.
- ▶ Beispiel: eine DRAM-Speicherzelle speichert derzeit etwa 100 000 Elektronen. Durch die Verkleinerung werden es mit jeder neuen Technologiestufe weniger.
- ▶ Offensichtlich ist die Grenze spätestens erreicht, wenn nur noch ein einziges Elektron gespeichert würde.
- ▶ Ab diesem Zeitpunkt gibt es bessere Performance nur noch durch bessere Algorithmen / Architekturen
- ▶ Annahme: 50 % Wachstum pro Jahr,  $a^b = \exp(b \cdot \ln a)$
- ▶ Elektronen pro Speicherzelle:  $100000 / (1.5^{x/\text{Jahre}}) \geq 1$ .
- ▶  $x = \ln(100.000) / \ln(1.5) \approx 28$  Jahre

# Roadmap: ITRS

## International Technology Roadmap for Semiconductors

<http://www.itrs.net/reports.html>

- ▶ non-profit Organisation
- ▶ diverse Fördermitglieder
  - ▶ Halbleiterhersteller
  - ▶ Geräte-Hersteller
  - ▶ Unis, Forschungsinstitute
  - ▶ Fachverbände aus USA, Europa, Asien
- ▶ Jährliche Publikation einer langjährigen Vorhersage
- ▶ Zukünftige Entwicklung der Halbleitertechnologie
- ▶ Komplexität typischer Chips (Speicher, Prozessoren, SoC, ...)
- ▶ Modellierung, Simulation, Entwurfssoftware

# Roadmap: ITRS (cont.)

Table ORTC-2D High-Performance MPU and ASIC Product Generations and Chip Size Model

| Year of Production   | 2011   | 2012   | 2013   | 2014   | 2015   | 2016   | 2017   | 2018   | 2019    | 2020    | 2021    | 2022    | 2023    | 2024    | 2025    | 2026    |
|--|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|---------|---------|---------|---------|---------|---------|
| Flash ½ Pitch (nm) (un-contacted Poly)                                     | 22     | 20     | 18     | 17     | 15     | 14,2   | 13,0   | 11,9   | 10,9    | 10,0    | 8,9     | 8,0     | 8,0     | 8,0     | 8,0     | 8,0     |
| DRAM ½ Pitch (nm) (contacted)  | 36     | 32     | 28     | 25     | 23     | 20,0   | 17,9   | 15,9   | 14,2    | 12,6    | 11,3    | 10,0    | 8,9     | 8,0     | 7,1     | 6,3     |
| MPU/ASIC Metal 1 (M1) ½ Pitch (nm)   | 38     | 32     | 27     | 24     | 21     | 18,9   | 16,9   | 15,0   | 13,4    | 11,9    | 10,6    | 9,5     | 8,4     | 7,5     | 6,7     | 6,0     |
| MPU High-Performance Printed Gate Length (nm)                              | 35     | 31     | 28     | 25     | 22     | 19,8   | 17,7   | 15,7   | 14,0    | 12,5    | 11,1    | 9,9     | 8,8     | 7,9     | 6,79    | 5,87    |
| MPU High-Performance Physical Gate Length (nm)                             | 24     | 22     | 20     | 18     | 17     | 15,3   | 14,0   | 12,8   | 11,7    | 10,6    | 9,7     | 8,9     | 8,1     | 7,4     | 6,6     | 5,9     |
| <b>Logic (Low-volume Microprocessor) High-performance</b>                  |        |        |        |        |        |        |        |        |         |         |         |         |         |         |         |         |
| Generation at Introduction   | p13h   | p13h   | p16h   | p16h   | p16h   | p19h   | p19h   | p19h   | p22h    | p22h    | p22h    | p25h    | p25h    | p25h    | p28h    | p28h    |
| Functions per chip at introduction (million transistors)                   | 8.848  | 8.848  | 17.696 | 17.696 | 17.696 | 35.391 | 35.391 | 35.391 | 70.782  | 70.782  | 70.782  | 141.564 | 141.564 | 141.564 | 283.128 | 283.128 |
| Chip size at introduction (mm <sup>2</sup> )                               | 520    | 368    | 520    | 413    | 328    | 520    | 413    | 328    | 520     | 413     | 328     | 520     | 413     | 328     | 520     | 413     |
| Generation at production   | p11h   | p11h   | p13h   | p13h   | p13h   | p16h   | p16h   | p16h   | p19h    | p19h    | p19h    | p22h    | p22h    | p22h    | p25h    | p25h    |
| Functions per chip at production (million transistors)                     | 4.424  | 4.424  | 8.848  | 8.848  | 8.848  | 17.696 | 17.696 | 17.696 | 35.391  | 35.391  | 35.391  | 70.782  | 70.782  | 70.782  | 141.564 | 141.564 |
| Chip size at production (mm <sup>2</sup> )                                 | 260    | 184    | 260    | 206    | 164    | 260    | 206    | 164    | 260     | 206     | 164     | 260     | 206     | 164     | 260     | 206     |
| OH % of Total Chip Area  | 29,5%  | 29,5%  | 29,5%  | 29,5%  | 29,5%  | 29,5%  | 29,5%  | 29,5%  | 29,5%   | 29,5%   | 29,5%   | 29,5%   | 29,5%   | 29,5%   | 29,5%   | 29,5%   |
| Logic Core+SRAM (Without OH Average Density (M/cm <sup>2</sup> ))          | 2.414  | 3.414  | 4.828  | 6.083  | 7.664  | 9.656  | 12.166 | 15.328 | 19.312  | 24.332  | 30.656  | 38.625  | 48.664  | 61.313  | 77.249  | 97.328  |
| High-performance MPU/Transistors/cm <sup>2</sup> (including on-chip SRAM)  | 1.701  | 2.406  | 3.403  | 4.287  | 5.402  | 6.806  | 8.575  | 10.804 | 13.612  | 17.150  | 21.608  | 27.224  | 34.300  | 43.215  | 54.448  | 68.600  |
| <b>ASIC</b>  |        |        |        |        |        |        |        |        |         |         |         |         |         |         |         |         |
| ASIC usable Transistors/cm <sup>2</sup> (auto layout)                      | 1.701  | 2.406  | 3.403  | 4.287  | 5.402  | 6.806  | 8.575  | 10.804 | 13.612  | 17.150  | 21.608  | 27.224  | 34.300  | 43.215  | 54.448  | 68.600  |
| ASIC max chip size (mm <sup>2</sup> ) (max. lithographic field size)       | 858    | 858    | 858    | 858    | 858    | 858    | 858    | 858    | 858     | 858     | 858     | 858     | 858     | 858     | 858     | 858     |
| ASIC max. functions per chip (Transistors/chip) (fit in litho. Field size) | 14.599 | 20.646 | 29.198 | 36.787 | 46.348 | 58.395 | 73.573 | 92.697 | 116.790 | 147.147 | 185.393 | 233.581 | 294.293 | 370.786 | 467.162 | 588.587 |

# Moore's Law: Schöpferische Pause

## Beispiel für die Auswirkung von Moore's Law

Angenommen die Lösung einer Rechenaufgabe dauert derzeit vier Jahre, und die Rechenleistung wächst jedes Jahr um 60 %.

*Wie lösen wir das Problem ?*

# Moore's Law: Schöpferische Pause

## Beispiel für die Auswirkung von Moore's Law

Angenommen die Lösung einer Rechenaufgabe dauert derzeit vier Jahre, und die Rechenleistung wächst jedes Jahr um 60 %.

Ein mögliches Vorgehen ist dann das folgende:

- ▶ Wir warten drei Jahre, kaufen dann einen neuen Rechner und erledigen die Rechenaufgabe in einem Jahr.
- ▶ *Wie das ?*



# Moore's Law: Schöpferische Pause

## Beispiel für die Auswirkung von Moore's Law

Angenommen die Lösung einer Rechenaufgabe dauert derzeit vier Jahre, und die Rechenleistung wächst jedes Jahr um 60 %.

Ein mögliches Vorgehen ist dann das folgende:

- ▶ Wir warten drei Jahre, kaufen dann einen neuen Rechner und erledigen die Rechenaufgabe in einem Jahr.
- ⇒ Nach einem Jahr können wir einen Rechner kaufen, der um den Faktor 1,6 Mal schneller ist, nach zwei Jahren bereits  $1,6 \times 1,6$  Mal schneller, und nach drei Jahren (also am Beginn des vierten Jahres) gilt  $(1 + 60\%)^3 = 4,096$ .
- ▶ Wir sind also sogar ein bisschen schneller fertig, als wenn wir den jetzigen Rechner die ganze Zeit durchlaufen lassen.

# Wie geht es jetzt weiter?

Ab jetzt erst mal ein *bottom-up* Vorgehen:

Start mit grundlegenden Aspekten

- ▶ Grundlagen der Repräsentation von Information
- ▶ Darstellung von Zahlen und Zeichen
- ▶ arithmetische und logische Operationen
- ▶ Schaltnetze, Schaltwerke, endliche Automaten

dann Kennenlernen aller Basiskomponenten des Digitalrechners

- ▶ Gatter, Flipflops. . .
- ▶ Register, ALU, Speicher. . .

und Konstruktion eines vollwertigen Rechners

- ▶ Befehlssatz, -abarbeitung, Assembler
- ▶ Pipelining, Speicherhierarchie
- ▶ . . .

# Literatur

- [Moo65] G.E. Moore: *Cramming More Components Onto Integrated Circuits*. in: *Electronics* 38 (1965), April 19, Nr. 8
- [ITRS11] *International Technology Roadmap for Semiconductors – 2011 Edition*. Semiconductor Industry Association, 2011.  
[www.itrs.net/Links/2011ITRS/Home2011.htm](http://www.itrs.net/Links/2011ITRS/Home2011.htm)
- [Fur01] S. Furber: *ARM System-on-Chip Architecture*. Second. Addison-Wesley Professional, 2001. ISBN 978-0-201-67519-1

## Literatur (cont.)

[Intel] Intel Corp.; Santa Clara, CA.

[www.intel.com](http://www.intel.com)

[www.intel.com/content/www/us/en/history/museum-gordon-moore-law.html](http://www.intel.com/content/www/us/en/history/museum-gordon-moore-law.html)

[TI] Texas Instruments Inc.; Dallas, TX.

[www.texasinstruments.com](http://www.texasinstruments.com)