

**REF50xx****低噪声、极低温漂、高精度电压基准****1 特性**

- 低温漂：
  - 高等级 : 3 ppm/ $^{\circ}$ C ( 最大值 )
  - 标准等级 : 8 ppm/ $^{\circ}$ C ( 最大值 )
- 高准确度：
  - 高等级 : 0.05% ( 最大值 )
  - 标准等级 : 0.1% ( 最大值 )
- 低噪声 : 3  $\mu$ V<sub>PP</sub>/V
- 出色的长期稳定性 :
  - 第一个 1000 小时后为 22ppm (SOIC-8)
  - 第一个 1000 小时后为 50ppm (VSSOP-8)
- 高输出电流 :  $\pm$ 10mA
- 温度范围 : -40 $^{\circ}$ C 至 125 $^{\circ}$ C

**2 应用**

- 精密数据采集系统
- 半导体测试设备
- 工业过程控制
- 医疗仪器
- 压力和温度变送器
- 实验室和现场仪表

**3 说明**

REF50xx 是一款噪声低、漂移低、精度电压基准极高的产品系列。这些基准同时支持灌电流和拉电流，并且具有出色的线性调整率和负载调整率。

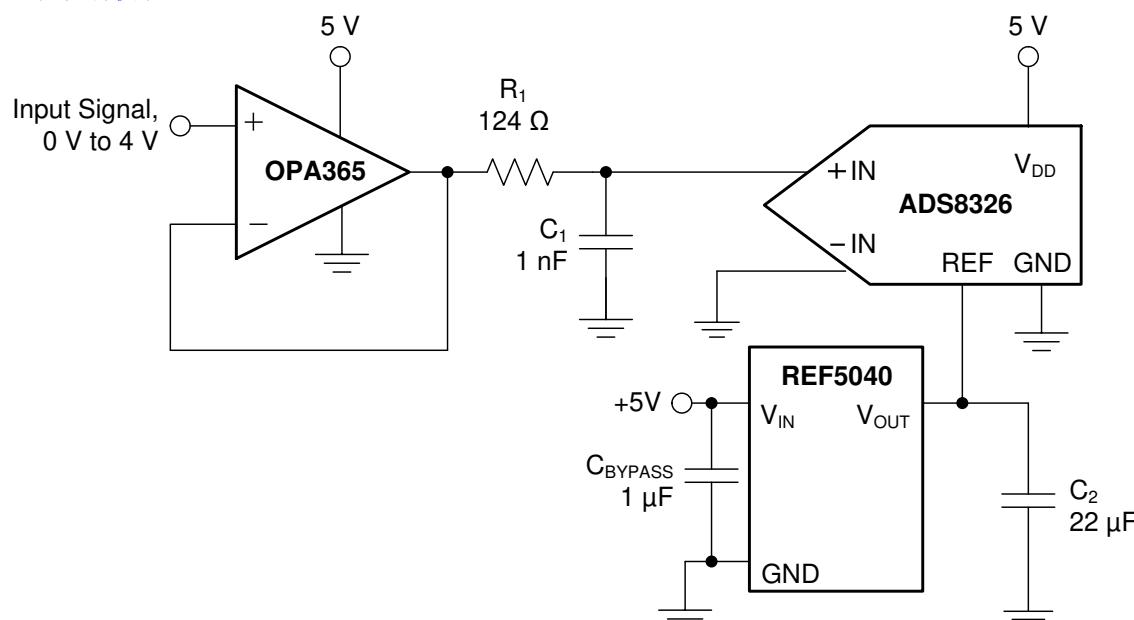
采用专有的设计技术实现了出色的温漂 (3ppm/ $^{\circ}$ C) 和高精度 (0.05%)。这些特性 (再加上非常低的噪声) 使 REF50xx 系列非常适合用于高精度数据采集系统。

每个基准电压都有高等级 (REF50xxIDGK 和 REF50xxID) 和标准等级 (REF50xxAIDGK 和 REF50xxAID) 之分。在 8 引脚 VSSOP 和 SOIC 封装中提供基准电压，指定温度范围为 -40 $^{\circ}$ C 至 125 $^{\circ}$ C。

**器件信息**

器件型号	封装 (1)	封装尺寸 (标称值)
REF50xx	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)	3.00mm × 3.00mm

(1) 有关所有的可用封装，请参阅数据表末尾的可订购产品附录。



Copyright © 2016, Texas Instruments Incorporated

简化原理图



本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 [www.ti.com](http://www.ti.com)，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

English Data Sheet: [SBOS410](#)

## 内容

<b>1 特性</b>	<b>1</b>	9.3 特性说明.....	<b>16</b>
<b>2 应用</b>	<b>1</b>	9.4 器件功能模式.....	<b>19</b>
<b>3 说明</b>	<b>1</b>	<b>10 应用和实现</b> .....	<b>20</b>
<b>4 修订历史记录</b>	<b>2</b>	10.1 应用信息.....	<b>20</b>
<b>5 器件比较表</b>	<b>3</b>	10.2 典型应用.....	<b>20</b>
<b>6 引脚配置和功能</b>	<b>3</b>	<b>11 电源相关建议</b> .....	<b>21</b>
<b>7 规格</b>	<b>4</b>	<b>12 布局</b> .....	<b>22</b>
7.1 绝对最大额定值.....	4	12.1 布局指南.....	22
7.2 ESD 额定值.....	4	12.2 布局示例.....	22
7.3 建议工作条件.....	4	12.3 功率耗散.....	22
7.4 热信息.....	4	<b>13 器件和文档支持</b> .....	<b>23</b>
7.5 电气特性.....	5	13.1 文档支持.....	23
7.6 典型特性.....	8	13.2 接收文档更新通知.....	23
<b>8 参数测量信息</b>	<b>13</b>	13.3 支持资源.....	23
<b>9 详细说明</b>	<b>15</b>	13.4 商标.....	23
9.1 概述.....	15	13.5 术语表.....	23
9.2 功能方框图.....	15	<b>14 机械、封装和可订购信息</b> .....	<b>23</b>

## 4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

<b>Changes from Revision J (July 2022) to Revision K (June 2023)</b>	<b>Page</b>
• 将 VSSOP 2000 小时 LTD 信息行更改为 SOIC-8 1000 小时 LTD 信息.....	1
• 更改了 SOIC-8 封装的长期稳定性参数和规格.....	5
• 将电气特性中的输出电压噪声更改为低频噪声.....	5
• 向电气特性中添加了 10Hz 至 1kHz 噪声信息.....	5
• 更改了电气特性中 SOIC-8 封装的长期稳定性规格.....	5
• 更改了图 7-28 .....	8
• 更改了图 7-29 .....	8
• 更改了图 7-30 .....	8
• 添加了噪声密度图图 7-14 .....	8
• 更改了闪烁噪声图图 7-13 的标题.....	8
• 更改了所有负载瞬态图图 7-17 图 7-18 图 7-19 图 7-20 .....	8
• 更改了图图 9-3 .....	17

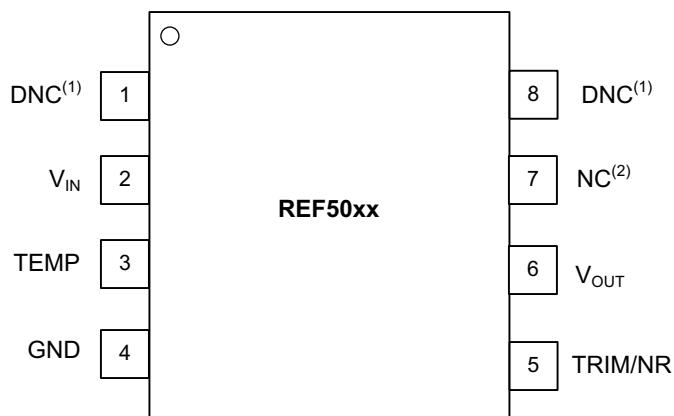
<b>Changes from Revision I (February 2020) to Revision J (July 2022)</b>	<b>Page</b>
• 更新了整个文档中的表格、图和交叉参考的编号格式。 .....	1

<b>Changes from Revision H (June 2016) to Revision I (February 2020)</b>	<b>Page</b>
• 将 REF5045 新增到表中.....	5
• 更改了长期稳定性参数.....	5
• 更改了 VSSOP 的长期稳定性图.....	8
• 新增了有关长期稳定性的部分.....	17

## 5 器件比较表

型号	输出电压
REF5020	2.048V
REF5025	2.5V
REF5030	3V
REF5040	4.096V
REF5045	4.5V
REF5050	5V
REF5010	10V

## 6 引脚配置和功能



NOTES: (1) DNC = Do not connect.  
 (2) NC = No internal connection.

图 6-1. D、DGK 封装  
8 引脚 SOIC、VSSOP  
顶视图

表 6-1. 引脚功能

引脚		说明
名称	编号	
DNC	1	勿连接
VIN	2	输入电源电压
温度	3	温度监测引脚。提供与温度相关的输出电压
GND	4	接地
TRIM/NR	5	输出调整和降噪引脚
VOUT	6	基准电压输出
NC	7	无内部连接
DNC	8	勿连接

## 7 规格

### 7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

	最小值	最大值	单位
输入电压	- 0.2	18	V
输出短路	- 30	30	mA
工作温度	- 55	125	°C
结温 ( $T_J$ 最大值)		150	°C
贮存温度, $T_{stg}$	-65	150	°C

(1) 超过这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大条件下可能会降低器件的可靠性。这些只是应力额定值，并不意味着器件在这些条件或者任何超过指定的其他条件下能够正常工作。

### 7.2 ESD 额定值

	值	单位
$V_{(ESD)}$ 静电放电	人体放电模式 ( HBM ) , 符合 ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	$\pm 3000$
	充电器件模式 ( CDM ) , 符合 JEDEC 规范 JESD22-C101 <sup>(2)</sup>	$\pm 1000$

(1) JEDEC 文档 JEP155 指出 : 500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出 : 250V CDM 可实现在标准 ESD 控制流程下安全生产。

### 7.3 建议工作条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	最小值	标称值	最大值	单位
$V_{IN}$	$V_{OUT} + 0.2V$ <sup>(1)</sup>		18	V
$I_{OUT}$		-10	10	mA

(1) 除 REF5020 之外, 其  $V_{IN}$  ( 最小值 ) = 2.7V

### 7.4 热信息

热指标 <sup>(1)</sup>	REF50xx		单位
	D (SOIC)	DGK (VSSOP)	
	8 引脚	8 引脚	
$R_{JA}$ 结至环境热阻	115	160.9	°C/W
$R_{JC(top)}$ 结至外壳 ( 顶部 ) 热阻	63.4	53.9	°C/W
$R_{JB}$ 结至电路板热阻	57.1	82.3	°C/W
$\Psi_{JT}$ 结至顶部特征参数	15.4	5.1	°C/W
$\Psi_{JB}$ 结至电路板特征参数	56.2	80.7	°C/W
$R_{JC(bot)}$ 结至外壳 ( 底部 ) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用报告, SPRA953](#)。

## 7.5 电气特性

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{LOAD} = 0$ ， $C_L = 1 \mu\text{F}$ ， $V_{IN} = (V_{OUT} + 0.2\text{V})$  至 18V

参数	测试条件	最小值	典型值	最大值	单位
<b>输出电压</b>					
$V_{OUT}$	$V_{OUT} = 2.048\text{V}$ <sup>(1)</sup> , $2.7\text{V} < V_{IN} < 18\text{V}$	2.048			V
	REF5025	2.5			
	REF5030	3.0			
	REF5040	4.096			
	REF5045	4.5			
	REF5050	5.0			
	REF5010	10.0			
初始精度：高等级	所有电压选项 <sup>(1)</sup>	-0.05%	0.05%		
初始精度：标准等级	所有电压选项 <sup>(1)</sup>	-0.1%	0.1%		
<b>噪声</b>					
$e_{npp}$	低频噪声 $f = 0.1\text{Hz}$ 至 $10\text{Hz}$	3			$\mu\text{V}_{PP}/\text{V}$
$e_n$	输出电压噪声 $f = 10\text{Hz}$ 至 $1\text{kHz}$	0.9			$\mu\text{V}_{RMS}/\text{V}$
<b>输出电压温漂</b>					
$dV_{OUT}/dT$	输出电压温漂				
高等级		2.5	3		$\text{ppm}/^\circ\text{C}$
标准等级		3	8		$\text{ppm}/^\circ\text{C}$
<b>线路调整</b>					
$\Delta V_{O(\Delta VI)}$	线路调整	$V_{IN} = (V_{OUT} + 0.2)$ 至 $18\text{V}$ <sup>(4)</sup>	0.1	1	$\text{ppm}/\text{V}$
		$V_{IN} = V_{OUT} + 0.2\text{V}$ , $T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$ <sup>(4)</sup>	0.2	1	$\text{ppm}/\text{V}$
<b>负载调整</b>					
$\Delta V_{O(\Delta IL)}$	负载调整	$-10\text{mA} < I_{LOAD} < 10\text{mA}$ , $V_{IN} = V_{OUT} + 0.75\text{V}$ <sup>(5)</sup>	20	30	$\text{ppm}/\text{mA}$
		$-10\text{mA} < I_{LOAD} < 10\text{mA}$ , $V_{IN} = V_{OUT} + 0.75\text{V}$ $T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$ <sup>(5)</sup>		50	$\text{ppm}/\text{mA}$
<b>短路电流</b>					
$I_{SC}$	短路电流	$V_{OUT} = 0$	25		$\text{mA}$
<b>热迟滞<sup>(2) (3)</sup></b>					
高等级	VSSOP-8	周期 1	50		$\text{ppm}$
标准等级	VSSOP-8	周期 1	70		$\text{ppm}$
高等级	SOIC-8	周期 1	70		$\text{ppm}$
标准等级	SOIC-8	周期 1	90		$\text{ppm}$
高等级	VSSOP-8	周期 2	40		$\text{ppm}$
标准等级	VSSOP-8	周期 2	40		$\text{ppm}$
高等级	SOIC-8	周期 2	50		$\text{ppm}$
标准等级	SOIC-8	周期 2	50		$\text{ppm}$
<b>长期稳定性<sup>(3)</sup></b>					
	VSSOP-8	0 到 1000 小时	50		$\text{ppm}/1000 \text{ 小时}$
	VSSOP-8	1000 到 2000 小时	25		$\text{ppm}/1000 \text{ 小时}$
	SOIC-8	0 到 1000 小时	22		$\text{ppm}/1000 \text{ 小时}$
	SOIC-8	1000 到 2000 小时	18		$\text{ppm}/1000 \text{ 小时}$
<b>TEMP 引脚</b>					
电压输出	在 $T_A = 25^\circ\text{C}$ 时		575		$\text{mV}$
温度敏感性	$T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$		2.64		$\text{mV}/^\circ\text{C}$
<b>导通趋稳时间</b>					

## 7.5 电气特性 (continued)

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{LOAD} = 0$ ， $C_L = 1 \mu\text{F}$ ， $V_{IN} = (V_{OUT} + 0.2\text{V})$  至  $18\text{V}$

参数	测试条件	最小值	典型值	最大值	单位
导通趋稳时间	至 0.1%， $C_L = 1 \mu\text{F}$		200		$\mu\text{s}$

## 7.5 电气特性 (continued)

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{LOAD} = 0$ ， $C_L = 1 \mu\text{F}$ ， $V_{IN} = (V_{OUT} + 0.2\text{V})$  至 18V

参数	测试条件	最小值	典型值	最大值	单位
<b>电源</b>					
$V_S$	电源电压	请参阅注释 <sup>(1)</sup>	$V_{OUT} + 0.2^{(1)}$	18	V
	静态电流	$T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$	0.8	1	mA
<b>温度范围</b>					
指定的范围		-40	125		$^\circ\text{C}$
工作范围		-55	125		$^\circ\text{C}$

- (1) 对于  $V_{OUT} \leq 2.5\text{V}$ ，最小电源电压为 2.7V。
- (2) [节 9.3.3](#) 中更详细地说明了热迟滞过程。
- (3) 使用焊接到测试板上的器件收集数据。
- (4) 除 REF5020 之外，其  $V_{IN} = 2.7\text{V}$  至 18V
- (5) 除 REF5020 之外，其  $V_{IN} = 3\text{V}$

## 7.6 典型特性

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{\text{LOAD}} = 0$ ，且  $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。对于  $V_{\text{OUT}} \leq 2.5\text{V}$ ，最小电源电压为  $2.7\text{V}$ 。

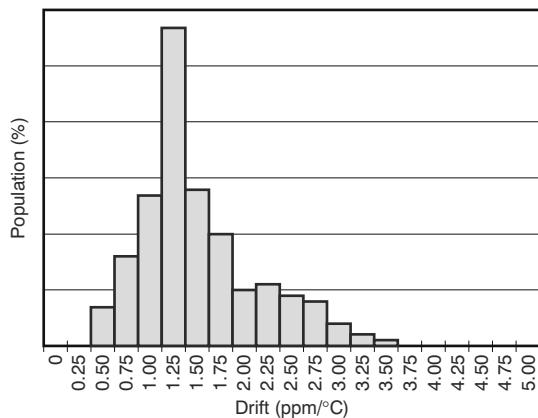


图 7-1. 温漂

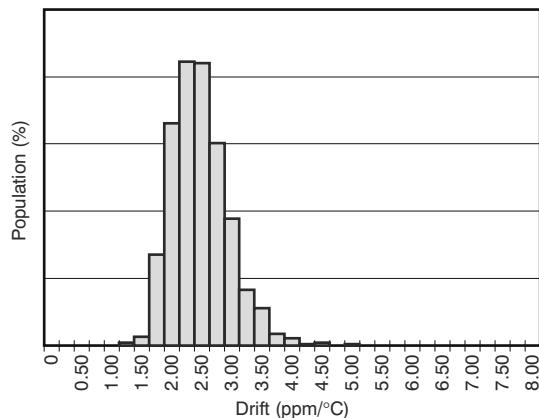


图 7-2. 温漂

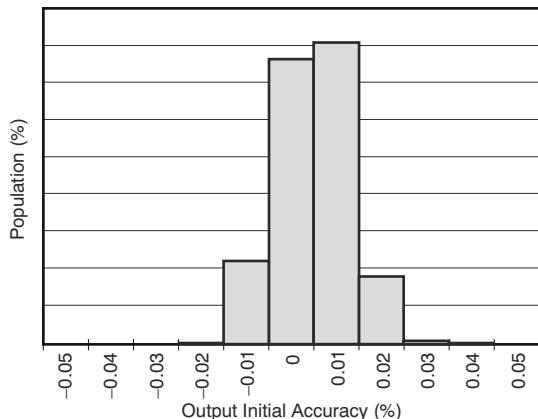


图 7-3. 输出电压初始精度

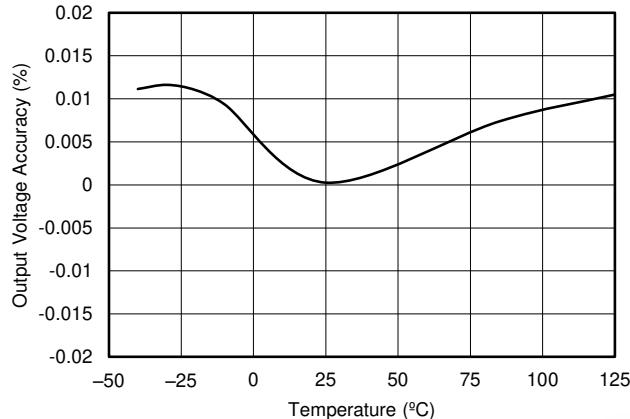


图 7-4. 输出电压精度与温度间的关系

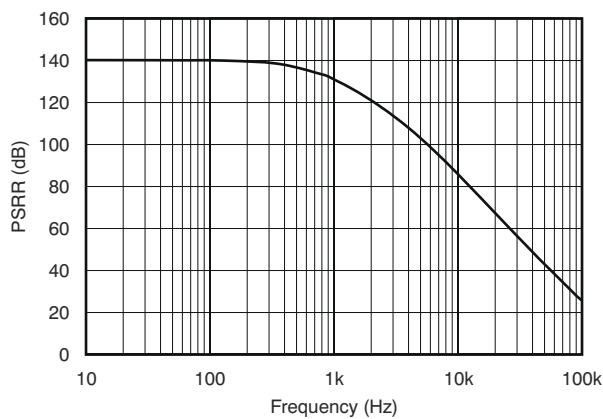


图 7-5. 电源抑制比与频率之间的关系

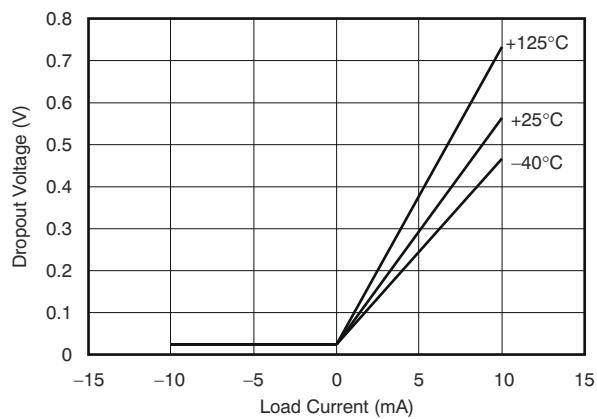


图 7-6. 压降电压与负载电流间的关系

## 7.6 典型特性 (continued)

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{LOAD} = 0$ ，且  $V_S = V_{OUT} + 0.2\text{V}$ 。对于  $V_{OUT} \leq 2.5\text{V}$ ，最小电源电压为  $2.7\text{V}$ 。

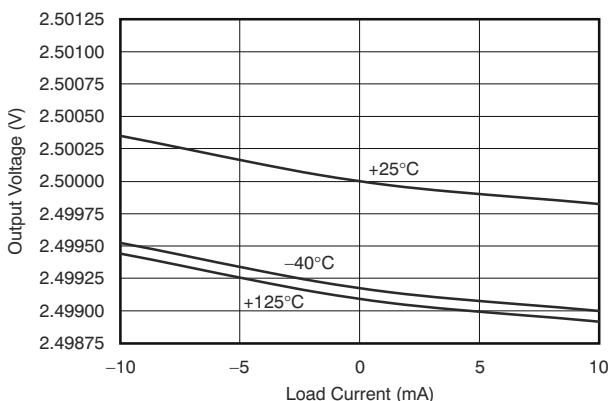


图 7-7. REF5025 输出电压与负载电流间的关系

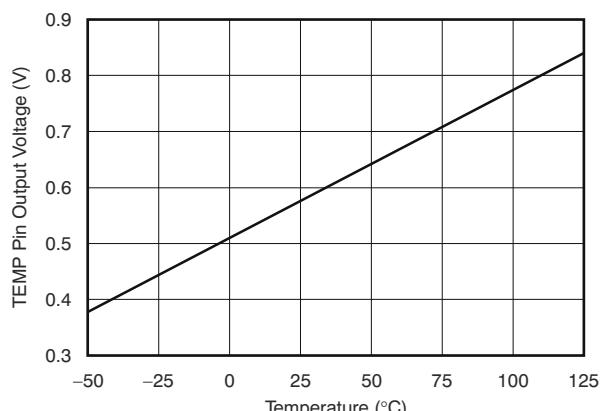


图 7-8. Temp 引脚输出电压与温度间的关系

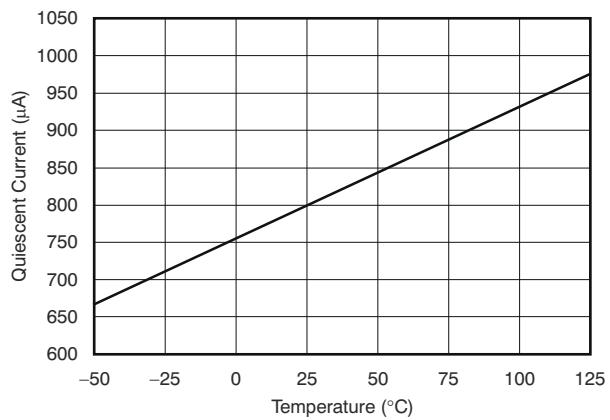


图 7-9. 静态电流与温度间的关系

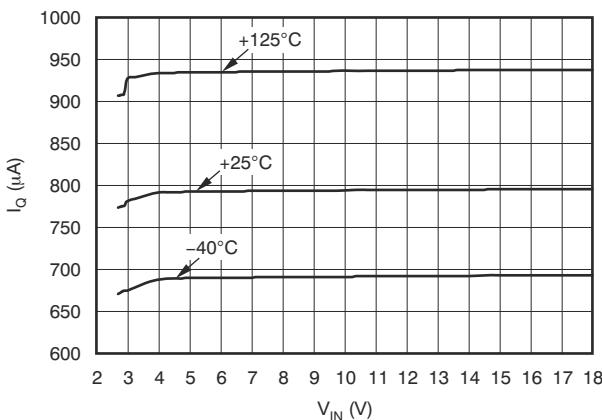


图 7-10. 静态电流与输入电压间的关系

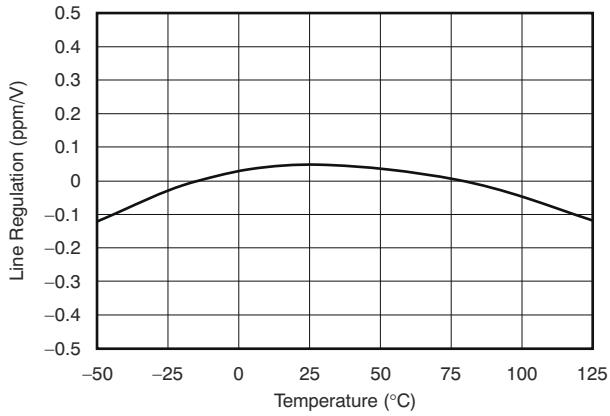


图 7-11. 线路调整与温度间的关系

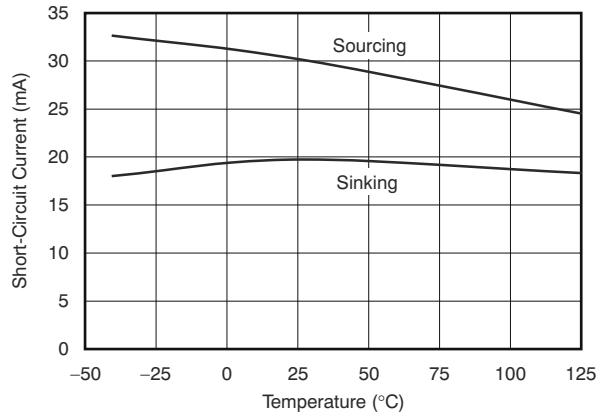


图 7-12. 短路电流与温度间的关系

## 7.6 典型特性 (continued)

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{\text{LOAD}} = 0$ ，且  $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。对于  $V_{\text{OUT}} \leq 2.5\text{V}$ ，最小电源电压为  $2.7\text{V}$ 。

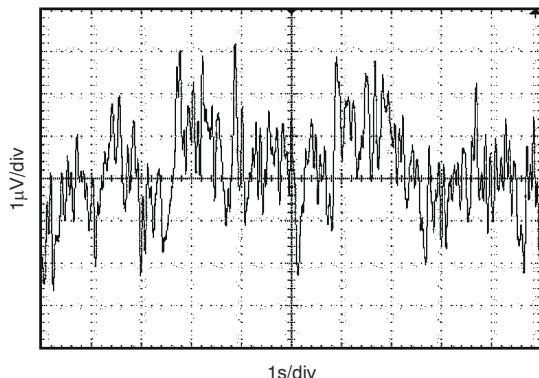


图 7-13. 0.1 Hz 至 10 Hz 噪声

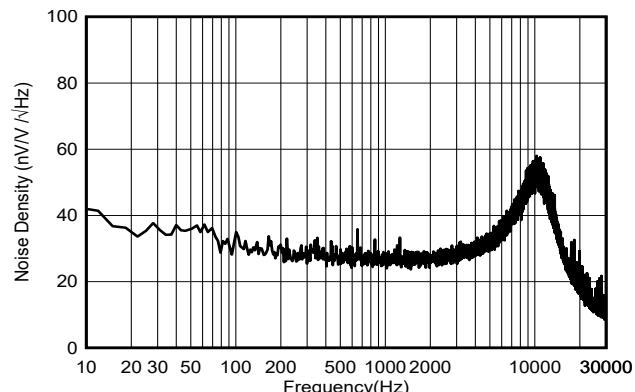
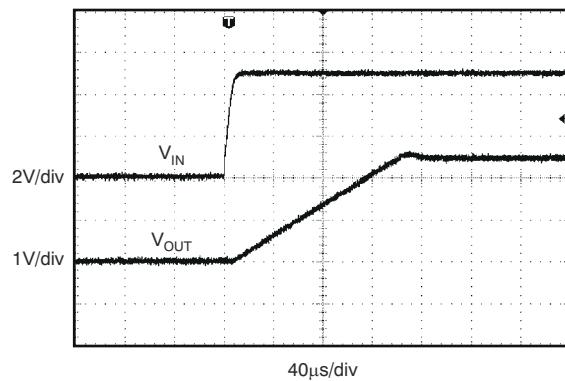
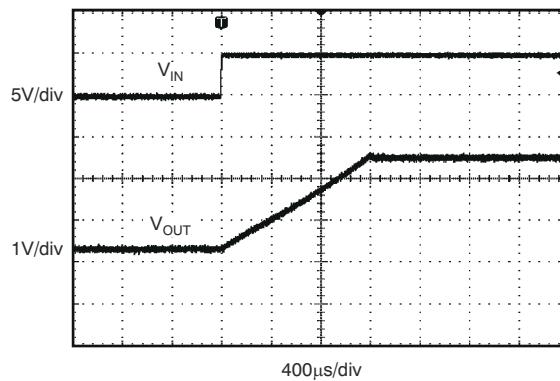


图 7-14. 噪声频谱密度



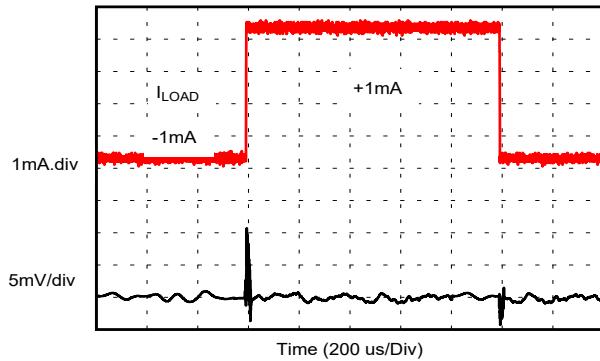
REF5025,  $C_L = 1 \mu\text{F}$

图 7-15. 启动



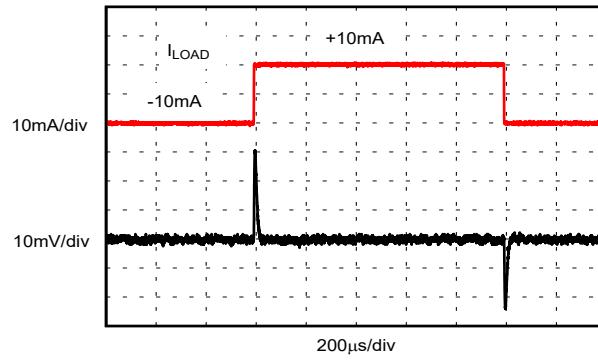
REF5025,  $C_L = 10 \mu\text{F}$

图 7-16. 启动



$C_L = 1 \mu\text{F}$ ,  $I_{\text{OUT}} = 1\text{mA}$

图 7-17. 负载瞬态

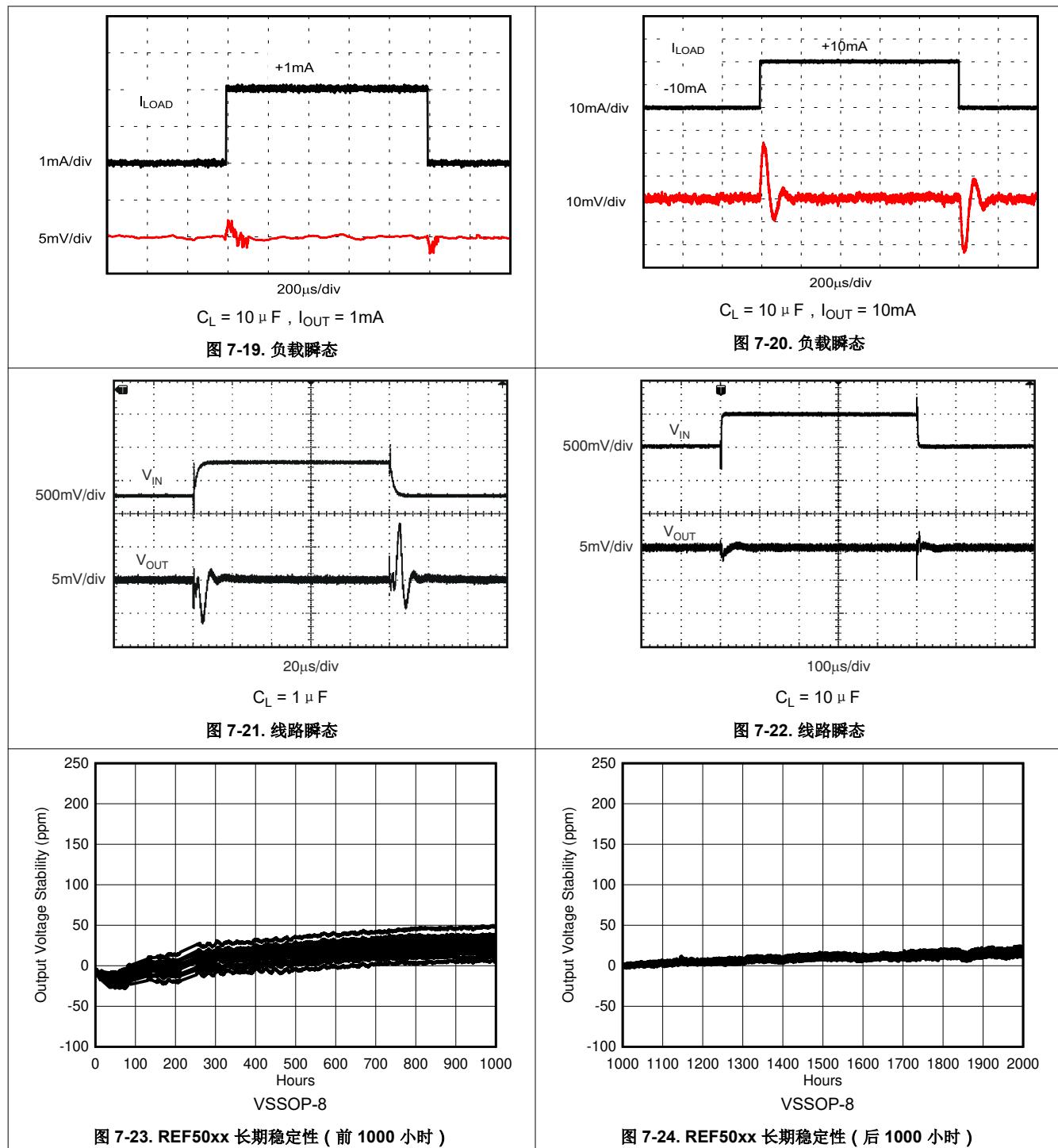


$C_L = 1 \mu\text{F}$ ,  $I_{\text{OUT}} = 10\text{mA}$

图 7-18. 负载瞬态

## 7.6 典型特性 (continued)

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{\text{LOAD}} = 0$ ，且  $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。对于  $V_{\text{OUT}} \leq 2.5\text{V}$ ，最小电源电压为  $2.7\text{V}$ 。



## 7.6 典型特性 (continued)

除非另有说明，否则在  $T_A = 25^\circ\text{C}$  时， $I_{\text{LOAD}} = 0$ ，且  $V_S = V_{\text{OUT}} + 0.2\text{V}$ 。对于  $V_{\text{OUT}} \leq 2.5\text{V}$ ，最小电源电压为  $2.7\text{V}$ 。

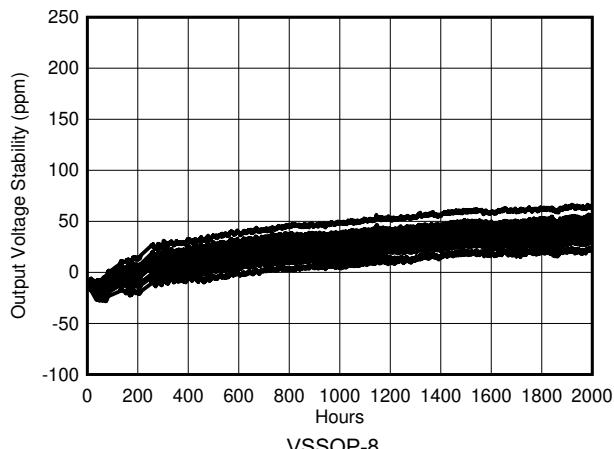


图 7-25. REF50xx 长期稳定性 (前 2000 小时)

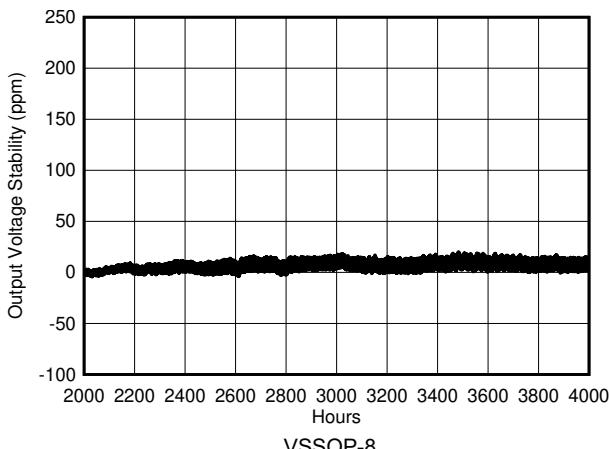


图 7-26. REF50xx 长期稳定性 (后 2000 小时)

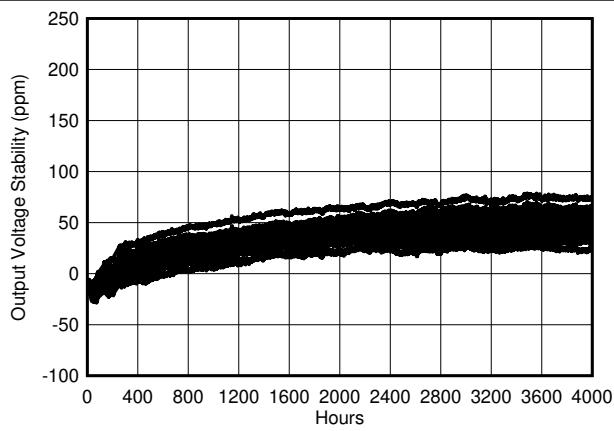


图 7-27. REF50xx 长期稳定性 (4000 小时)

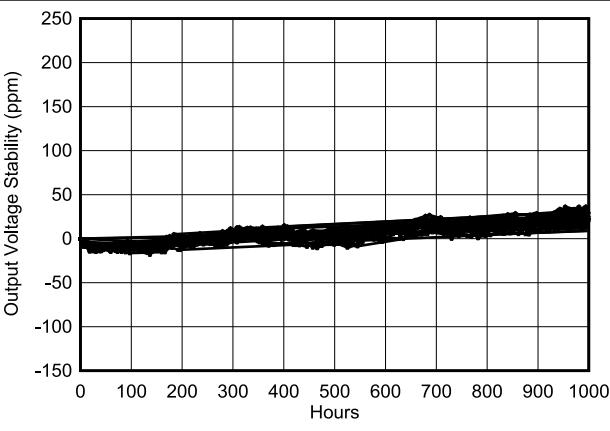


图 7-28. REF50xx 长期稳定性 (前 1000 小时)

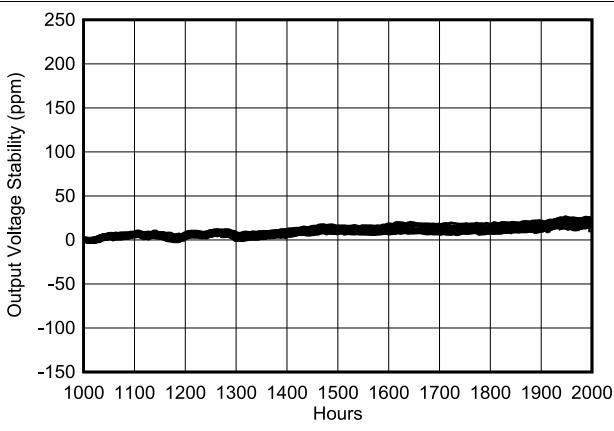


图 7-29. REF50xx 长期稳定性 (后 1000 小时)

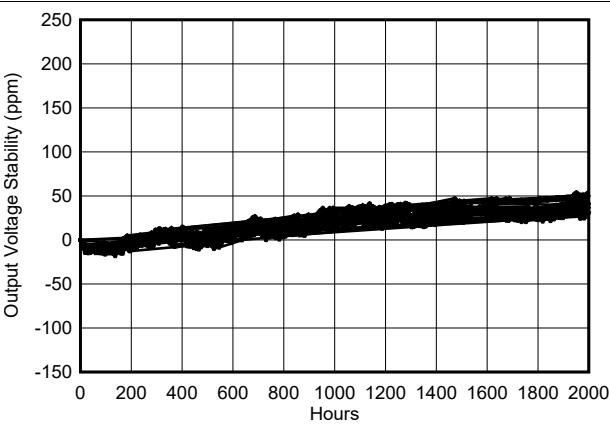


图 7-30. REF50xx 长期稳定性 (2000 小时)

## 8 参数测量信息

**焊接热漂移**：REF50xx 制造中所用的材料具有不同的热胀系数，因此在加热器件时，会在器件芯片上产生应力。器件上的机械应力和热应力会导致输出电压移位，从而降低产品的初始精度和漂移规格。回流焊是造成这种错误的常见原因。

为了说明这种影响，使用无铅焊锡膏和焊锡膏制造商建议的回流焊曲线在印刷电路板上共焊接了 36 个器件。回流焊曲线如图 8-1 中所示。印刷电路板由 FR4 材料组成。电路板厚度为 0.8mm，面积为 13mm × 13mm。

在回流焊过程之前和之后在整个温度范围内测量基准电压；图 8-2 至图 8-9 显示了典型的精度移位和漂移。尽管所有测试单元都表现出非常低的移位，但根据印刷电路板的大小、厚度和材料，也可能出现更高的移位。必须注意的是，直方图显示暴露于单个回流焊曲线的典型移位。在两侧都有表面贴装元件的印刷电路板 (PCB) 上经常会看到暴露于多个回流焊，这会导致输出偏置电压出现额外移位。如果 PCB 暴露于多个回流焊，则在最后一道工序焊接器件，以最大限度地减少器件暴露于热应力的情况。

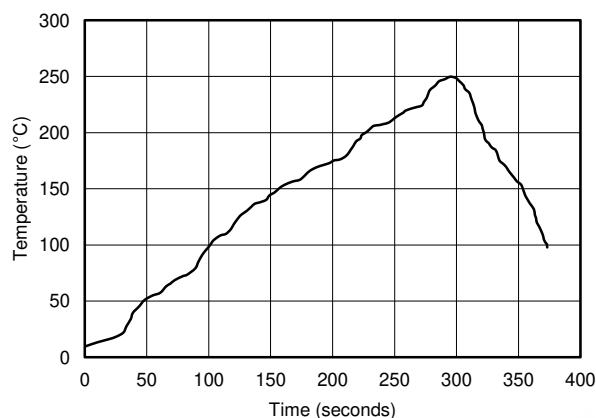


图 8-1. 回流焊曲线

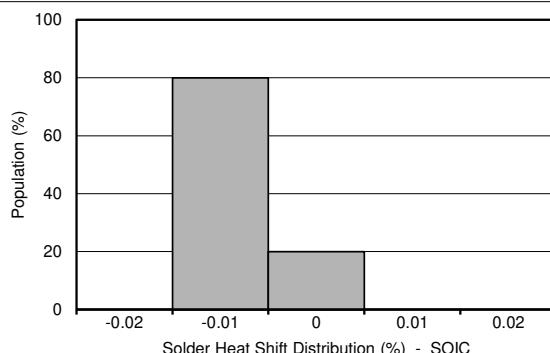


图 8-2. 焊接热移位分配 (%)，SOIC 封装

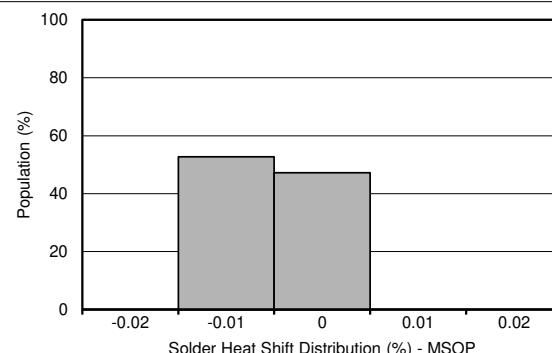


图 8-3. 焊接热移位分配 (%)，VSSOP 封装

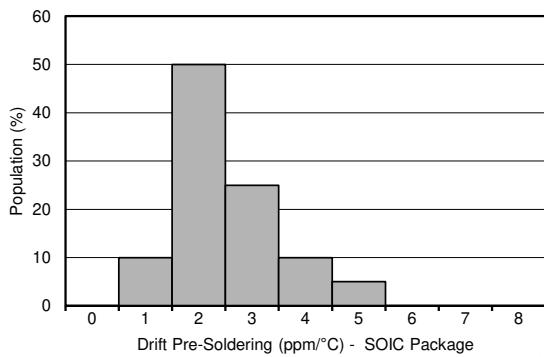


图 8-4. 焊接前漂移分配 , SOIC 封装

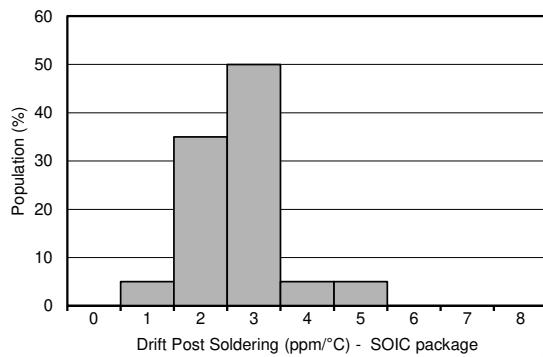


图 8-5. 焊接后漂移分配 , SOIC 封装

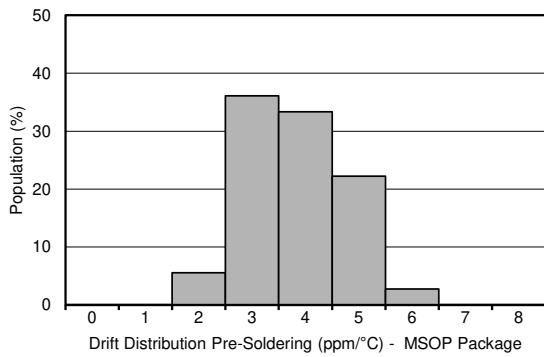


图 8-6. 焊接前漂移分配 , VSSOP 封装

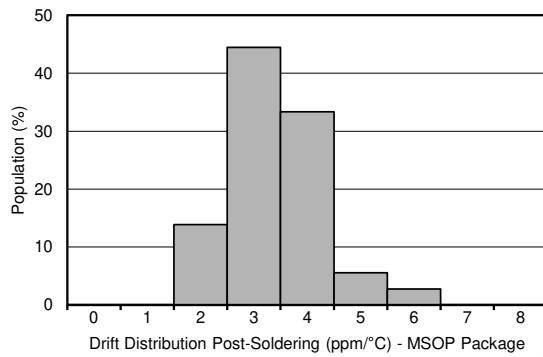


图 8-7. 焊接后漂移分配 , VSSOP 封装

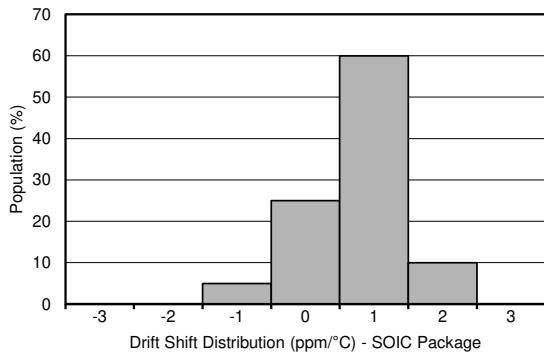


图 8-8. 漂移移位分配 , SOIC 封装

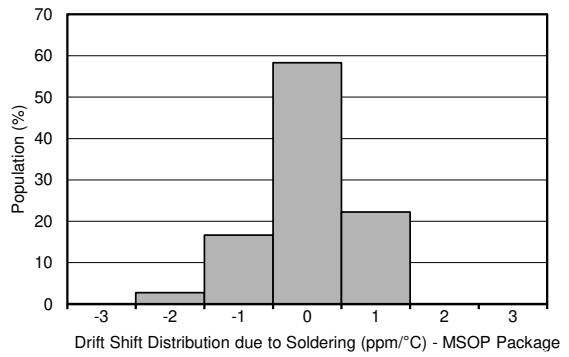


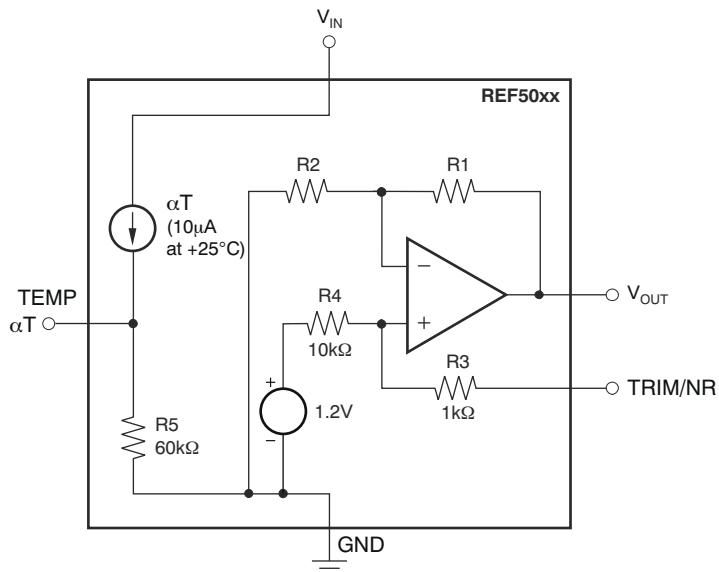
图 8-9. 漂移移位分配 , VSSOP 封装

## 9 详细说明

### 9.1 概述

REF50xx 是低噪声、精密带隙电压基准产品系列，专为出色的初始电压精度和漂移而设计。有关 REF50xx 的简化方框图，请参阅节 9.2。

### 9.2 功能方框图



## 9.3 特性说明

### 9.3.1 温度监测

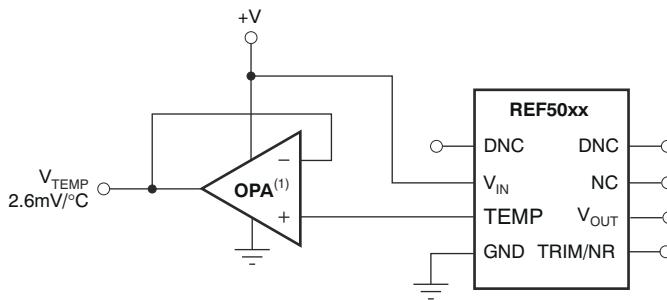
温度输出端子 ( TEMP , 引脚 3 ) 提供了与温度相关的电压输出 , 其源阻抗大约为  $60\text{k}\Omega$  。如图 7-8 所示 , 输出电压遵循标称关系 :

$$V_{\text{TEMP PIN}} = 509\text{mV} + 2.64 \times T(\text{°C}) \quad (1)$$

此引脚指示一般芯片温度 , 精确度大约为  $\pm 15\text{°C}$  。虽然通常不适合精确的温度测量 , 但此引脚可用于指示温度变化或用于模拟电路的温度补偿。 $30\text{°C}$  的温度变化对应于 TEMP 引脚上大约为  $79\text{mV}$  的电压变化。

TEMP 引脚具有高输出阻抗 ( 请参阅节 9.2 ) 。用低阻抗电路加载此引脚会引起测量误差 ; 但是 , 此引脚对  $V_{\text{OUT}}$  精度没有任何影响。

为了避免低阻抗负载引起的误差 , 请使用合适的低温漂运算放大器 ( 例如 OPA333、OPA335 或 OPA376 ) 缓冲 TEMP 引脚输出 , 如图 9-1 所示。



NOTE: (1) Low drift op amp, such as the OPA333, OPA335, or OPA376.

图 9-1. 缓冲 TEMP 引脚输出

### 9.3.2 温漂

REF50xx 专为最小漂移误差而设计 , 该漂移误差被定义为输出电压随温度的变化。使用逻辑框方法计算温漂 , 如方程式 2 中所述。

$$\text{Drift} = \left( \frac{V_{\text{OUTMAX}} - V_{\text{OUTMIN}}}{V_{\text{OUT}} \times \text{Temp Range}} \right) \times 10^6(\text{ppm}) \quad (2)$$

对于高等级版本 , REF50xx 的最大漂移系数为  $3\text{ppm}/\text{°C}$  , 对于标准等级则为  $8\text{ppm}/\text{°C}$  。

### 9.3.3 热迟滞

REF50xx 的热迟滞定义为器件在 25°C 下工作，在指定温度范围内循环并返回到 25°C 后输出电压的变化。热迟滞可表示为方程式 3：

$$V_{HYST} = \left( \frac{|V_{PRE} - V_{POST}|}{V_{NOM}} \right) \cdot 10^6 \text{ (ppm)} \quad (3)$$

其中

- $V_{HYST}$  = 热迟滞 (单位为 ppm)
- $V_{NOM}$  = 指定的输出电压
- $V_{PRE}$  = 在 25°C 预热循环时测得的输出电压
- $V_{POST}$  = 器件从 25°C 开始在 -40°C 至 125°C 额定温度范围内循环遍历并返回 25°C 后测得的输出电压

### 9.3.4 噪声性能

节 7.5 表中指定了 REF50xx 产品系列每个成员的 0.1Hz 至 10Hz 典型电压噪声。噪声电压随输出电压和工作温度的增加而增加。可以使用额外的滤波来改进输出噪声水平，但要注意确保输出阻抗不会降低性能。

有关如何在数据转换器等混合信号应用中使噪声最小化和性能最大化的更多信息，请参阅 [电压基准如何影响 ADC 性能 \(第 1 部分\)](#)、[电压基准如何影响 ADC 性能 \(第 2 部分\)](#) 和 [电压基准如何影响 ADC 性能 \(第 3 部分\)](#) 模拟设计期刊。

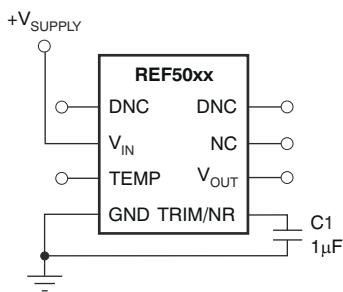


图 9-2. 使用 TRIM/NR 引脚减少噪声

### 9.3.5 长期稳定性

由于老化和环境的影响，所有半导体器件的半导体芯片和封装材料都会随着时间的推移而产生物理变化。这些变化以及芯片上相关的封装应力会导致精密基准电压源中的输出电压随时间的推移而发生偏离。这种变化的值由数据表中称为长期稳定性 (也称为长期漂移 (LTD)) 的参数指定。方程式 4 显示了如何计算 LTD。请注意，如果输出电压漂移随着时间推移变得更高，则 LTD 值为正值，如果电压漂移随着时间推移变得更低，则为负值。图 7-23 至图 7-30 显示了 REF50xx 的输出电压在前 4000 个工作小时内的漂移。

$$LTD(ppm)|_{t=n} = \frac{(V_{OUT}|_{t=0} - V_{OUT}|_{t=n})}{V_{OUT}|_{t=0}} \times 10^6 \quad (4)$$

其中

- $LTD(ppm)|_{t=n}$  = 长期稳定性 (单位为 ppm)
- $V_{OUT}|_{t=0}$  = 时间为 0 小时情况下的输出电压
- $V_{OUT}|_{t=n}$  = 时间为 n 小时情况下的输出电压

### 9.3.6 使用 TRIM/NR 引脚进行输出调节

REF50xx 可提供非常准确的出厂修整电压输出。但是， $V_{OUT}$  可以使用修整引脚和降噪引脚 (TRIM/NR，引脚 5) 来调整。图 9-3 显示了输出调整为 ±15mV 的典型电路。

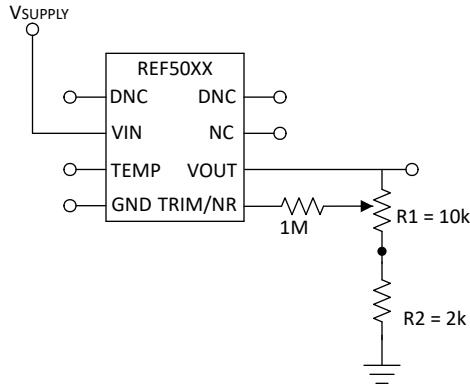


图 9-3. 使用 TRIM/NR 引脚进行  $V_{OUT}$  调节

REF50xx 允许通过 TRIM/NR 引脚访问带隙。从 TRIM/NR 引脚到 GND (图 9-2) 放置一个电容器，结合内部  $R_3$  和  $R_4$  电阻器形成一个低通滤波器。 $1\text{ }\mu\text{F}$  的电容形成了转角频率为  $10\text{Hz}$  至  $20\text{Hz}$  的低通滤波器。这样的滤波器可将  $V_{OUT}$  引脚上测得的总体噪声减少了一半。电容越高，产生的滤波器截止频率越低，从而进一步降低输出噪声。使用此电容器会增加启动时间。

## 9.4 器件功能模式

### 9.4.1 基本连接

图 9-4 显示了 REF50xx 的典型连接。TI 建议电源旁路电容器的范围为  $1\mu F$  至  $10\mu F$ 。 $1\mu F$  至  $50\mu F$  输出电容器 ( $C_L$ ) 必须从  $V_{OUT}$  连接到 GND。 $C_L$  的等效串联电阻 (ESR) 值必须小于或等于  $1.5\Omega$ ，以确保输出稳定性。为了最大限度地降低噪声， $C_L$  的建议 ESR 为  $1\Omega$  至  $1.5\Omega$ 。

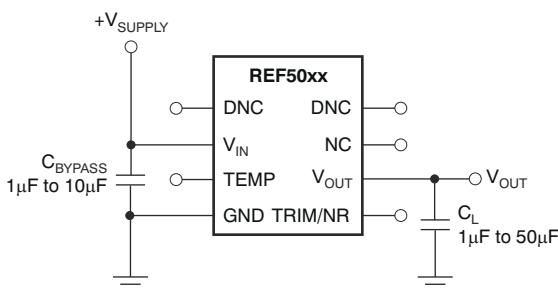


图 9-4. 基本连接

### 9.4.2 电源电压

REF50xx 产品系列的电压基准具有极低的压降电压。除 REF5020 的最低电源要求为  $2.7V$ ，这些基准在空载条件下可以工作在超过输出电压  $200mV$  的电源下。图 7-6 中提供了有负载条件下的典型压降电压与负载关系图。

### 9.4.3 负基准电压

对于需要负和正基准电压的应用，可使用 REF50xx 和 OPA735 从  $5V$  电源提供双电源基准。图 9-5 显示了用于提供  $2.5V$  电源基准电压的 REF5025。REF50xx 的低漂移性能补充了 OPA735 的低偏移电压和零漂移，为分离电源应用提供精确的解决方案。注意匹配  $R_1$  和  $R_2$  的温度系数。

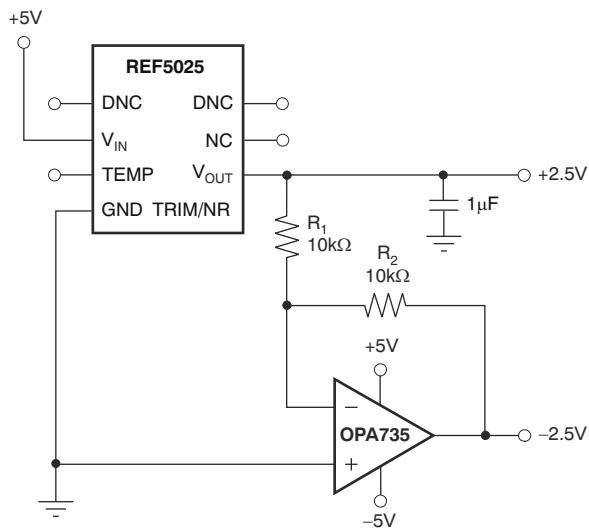


图 9-5. REF5025 与 OPA735 创建正负基准电压

## 10 应用和实现

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 10.1 应用信息

数据采集系统通常需要稳定的电压基准以保持精确性。REF50xx 系列具有低噪声、极低漂移和高初始精度，适用于高性能数据转换器。图 10-1 显示了基本数据采集系统中的 REF5040。

### 10.2 典型应用

#### 10.2.1 16 位、250KSPS 数据采集系统

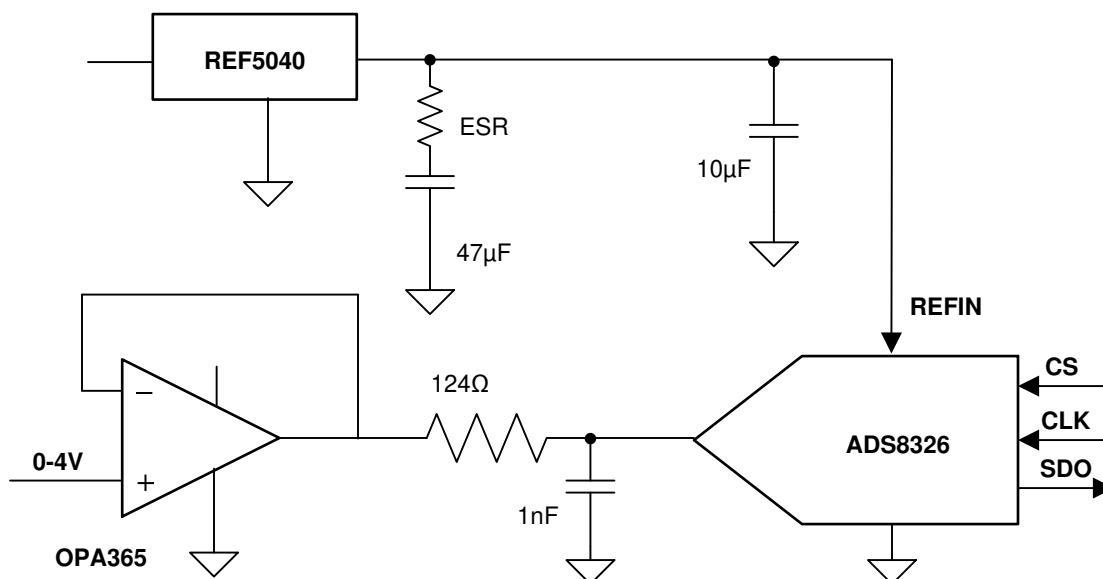


图 10-1. 使用 REF50xx 的完整数据采集系统

##### 10.2.1.1 设计要求

在设计中使用 REF50xx 时，选择不会产生增益峰值的合适输出电容器，从而增加总体系统噪声。同时，必须选择电容器以提供系统所需的滤波性能。此外，必须添加输入旁路电容器和降噪电容器以获得最佳性能。在设计数据采集系统时，必须同时考虑对模拟输入信号的缓冲和基准电压的缓冲。具有适当设计的输入缓冲器和相关的 RC 滤波器是保证数据采集系统具有良好性能的必要条件。

##### 10.2.1.2 详细设计过程

OPA365 用于驱动 16 位模数转换器 (ADS8326)。OPA365 输出端的 RC 滤波器用于减小 ADC 内部采样开关打开和关闭时而产生的电荷反冲。设计 RC 滤波器，以使采样电容器处的电压在 ADC 的采集时间内稳定到 16 位精度。驱动放大器的带宽必须至少是 RC 滤波器带宽的四倍。

REF5040 用于驱动 ADS8326 的 REF 引脚。正确选择合适的基准电压输出电容器对于此设计非常重要。极低的等效串联电阻 (ESR) 会产生增益峰值，从而降低整个系统的 SNR。如果电容器的 ESR 不足，则必须增加一个与输出电容串联的额外电阻。NR 引脚上可连接 1 μF 电容，以减少 REF50xx 的带隙噪声。

表 10-1 显示了在 OPA365 输出端使用不同 RC 滤波器的 SNR 测量值，REF50xx 输出电容器的不同值以及 TRIM/NR 引脚上不同的电容器值。

表 10-1. 不同条件下的数据采集测量结果

	测试条件 1	测试条件 2
OPA365 RC 滤波器	124 Ω , 1nF	124 Ω , 1nF
REF5040 输出电容器	10 μF	10 μF + 47 μF
TRIM/NR 引脚电容器	0 μF	1 μF
SNR	86.7dB	92.8dB

### 10.2.1.3 应用曲线

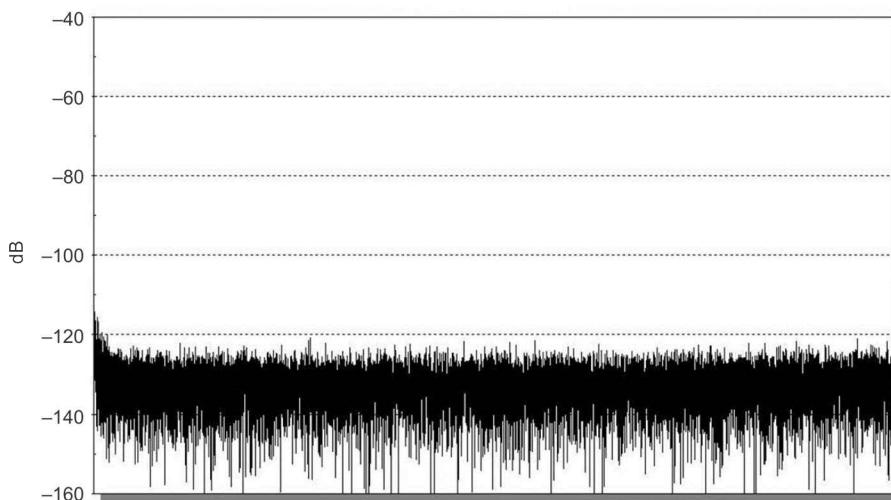


图 10-2. 数据采集系统的本底噪声 FFT 图

## 11 电源相关建议

REF50xx 产品系统的电压基准具有极低的压降电压。除了 REF5020 的最低电源要求为 2.7V，这些基准在空载条件下可以在超过输出电压 200mV 的电源下工作。图 7-6 中提供了有负载条件下的典型压降电压与负载的关系图。TI 建议使用 1 μF 至 50 μF 的电源旁路电容器。

## 12 布局

### 12.1 布局指南

- 尽可能将电源旁路电容器放置靠近电源引脚和接地引脚的位置。该旁路电容器的建议值为  $1\text{ }\mu\text{F}$  至  $10\text{ }\mu\text{F}$ 。如有必要，可以添加额外的去耦电容以补偿噪声或高阻抗电源。
- 将  $1\text{ }\mu\text{F}$  噪声滤除电容器放置在 NR 引脚和接地之间。
- 必须使用  $1\text{ }\mu\text{F}$  至  $50\text{ }\mu\text{F}$  电容器对输出进行去耦。为输出电容器串联电阻器是可选操作。要实现更出色的噪声性能，建议输出电容器上的 ESR 为  $1\Omega$  至  $1.5\Omega$ 。
- 可以在输出和接地之间并联高频、 $1\text{ }\mu\text{F}$  电容器来滤除噪声，并充当数据转换器进行负载切换。

### 12.2 布局示例

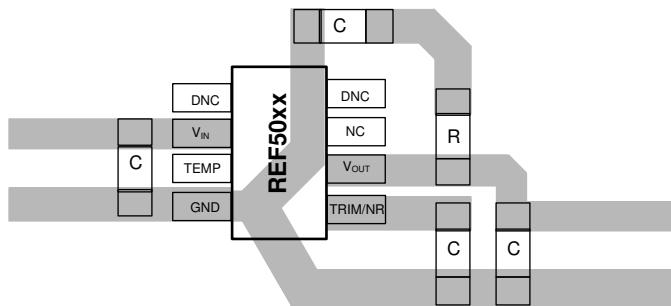


图 12-1. 布局示例

### 12.3 功率耗散

REF50xx 产品系列在指定的输入电压范围内提供  $\pm 10\text{mA}$  的电流负载。器件的温度根据方程式 5 升高：

$$T_J = T_A + P_D \times \theta_{JA} \quad (5)$$

其中

- $T_J$  = 结温 ( $^{\circ}\text{C}$ )
- $T_A$  = 环境温度 ( $^{\circ}\text{C}$ )
- $P_D$  = 耗散的功率 (W)
- $\theta_{JA}$  = 结至环境热阻 ( $^{\circ}\text{C}/\text{W}$ )

REF50xx 结温不得超过  $150^{\circ}\text{C}$  的绝对最大额定温度。

## 13 器件和文档支持

### 13.1 文档支持

#### 13.1.1 相关文档

相关文档如下：

- 德州仪器 (TI) , *0.05  $\mu$ V/ $^{\circ}$ C (最大值) 单电源 CMOS 零漂移系列运算放大器* 数据表
- *REF5020 PSpice 模型*。
- *REF5020 TINA-TI 参考设计*
- *REF5020 TINA-TI Spice 模型*
- *INA270 PSpice 模型*
- *INA270 TINA-TI 参考设计*
- *INA270 TINA-TI Spice 模型*

### 13.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](http://ti.com) 上的器件产品文件夹。点击 [订阅/更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 13.3 支持资源

**TI E2E™ 支持论坛**是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

### 13.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 13.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 14 机械、封装和可订购信息

下述页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，可对本文档进行修订，恕不另行通知。有关此数据表的基于浏览器的版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
REF5010AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5010 A	Samples
REF5010AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5010AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5010AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5010 A	Samples
REF5010ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5010	Samples
REF5010IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5010IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50G	Samples
REF5020AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5020 A	Samples
REF5020AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5020 A	Samples
REF5020ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5020	Samples
REF5020IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50A	Samples
REF5020IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5020	Samples
REF5025AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5025 A	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
REF5025AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5025 A	Samples
REF5025ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5025	Samples
REF5025IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50B	Samples
REF5025IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5025	Samples
REF5030AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5030 A	Samples
REF5030AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5030 A	Samples
REF5030ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5030	Samples
REF5030IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50C	Samples
REF5030IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5030	Samples
REF5040AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5040 A	Samples
REF5040AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
REF5040AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples
REF5040AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5040 A	Samples
REF5040ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5040	Samples
REF5040IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples
REF5040IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50D	Samples
REF5040IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5040	Samples
REF5045AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5045 A	Samples
REF5045AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5045 A	Samples
REF5045ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5045	Samples
REF5045IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50E	Samples
REF5045IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5045	Samples
REF5050AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5050 A	Samples
REF5050AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI   NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples
REF5050AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
REF5050AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	REF 5050 A	Samples
REF5050ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5050	Samples
REF5050IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples
REF5050IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	R50F	Samples
REF5050IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	REF 5050	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBsolete:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

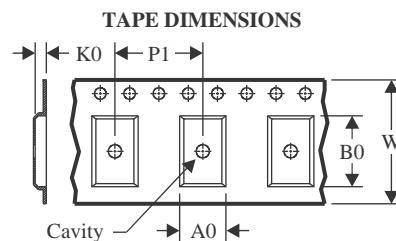
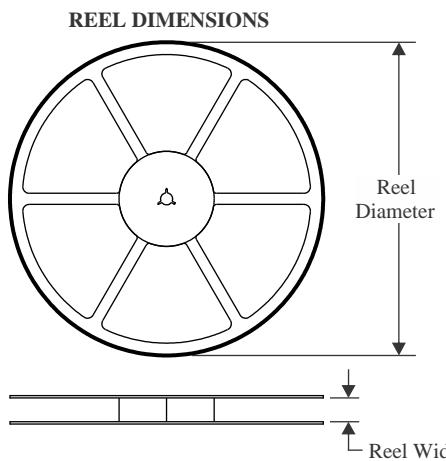
**OTHER QUALIFIED VERSIONS OF REF5020, REF5025, REF5040, REF5050 :**

- Enhanced Product : [REF5020-EP](#), [REF5025-EP](#), [REF5040-EP](#), [REF5050-EP](#)

NOTE: Qualified Version Definitions:

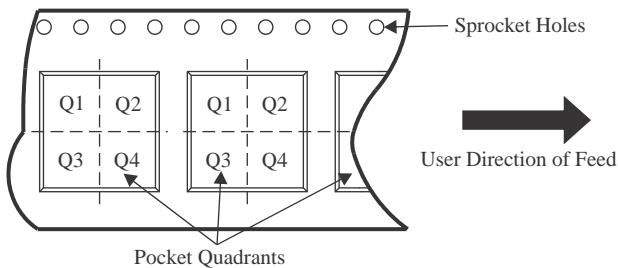
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

## TAPE AND REEL INFORMATION



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

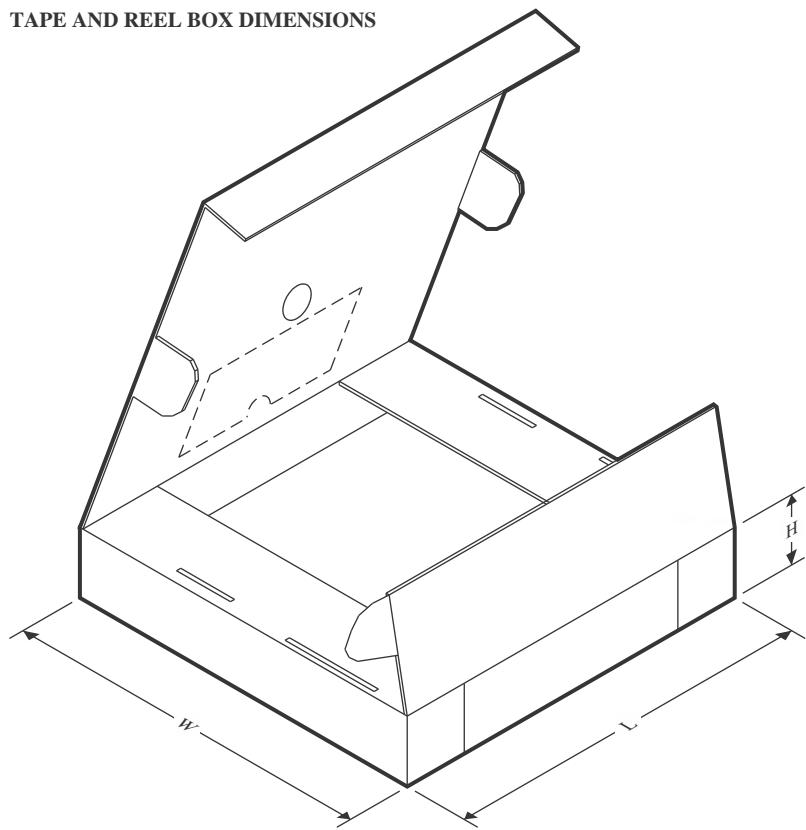
### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
REF5010AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5010AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5010AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5010IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5010IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5020IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5020IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5025AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5025AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5025AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5025IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5025IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

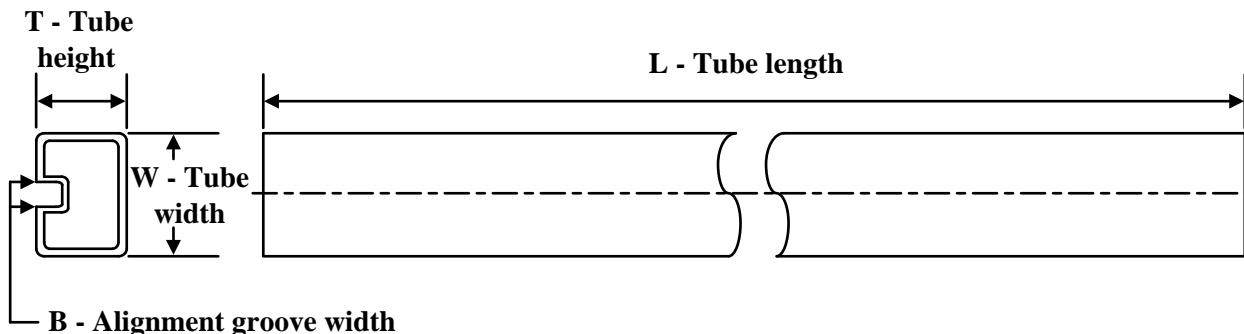
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
REF5025IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5030AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5030IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5030IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5040AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5040IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5040IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5045AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5045IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5045IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5050AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
REF5050IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF5050IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
REF5010AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5010AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5010AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5010IDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
REF5010IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5020AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5020AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5020AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5020IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5020IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5020IDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5025AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5025AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5025AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5025IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5025IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5025IDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5030AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0

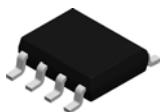
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
REF5030AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5030AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5030IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5030IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5030IDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5040AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5040AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5040AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5040IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5040IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5040IDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5045AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5045AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5045AIDR	SOIC	D	8	2500	367.0	367.0	35.0
REF5045IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
REF5045IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5045IDR	SOIC	D	8	2500	356.0	356.0	35.0
REF5050AIDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
REF5050AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5050AIDR	SOIC	D	8	2500	356.0	356.0	35.0
REF5050IDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
REF5050IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
REF5050IDR	SOIC	D	8	2500	367.0	367.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T ( $\mu$ m)	B (mm)
REF5010AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5010ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5020AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5020ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5025AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5025ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5030AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5030ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5040AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5040ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5045AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5045ID	D	SOIC	8	75	506.6	8	3940	4.32
REF5050AID	D	SOIC	8	75	506.6	8	3940	4.32
REF5050ID	D	SOIC	8	75	506.6	8	3940	4.32

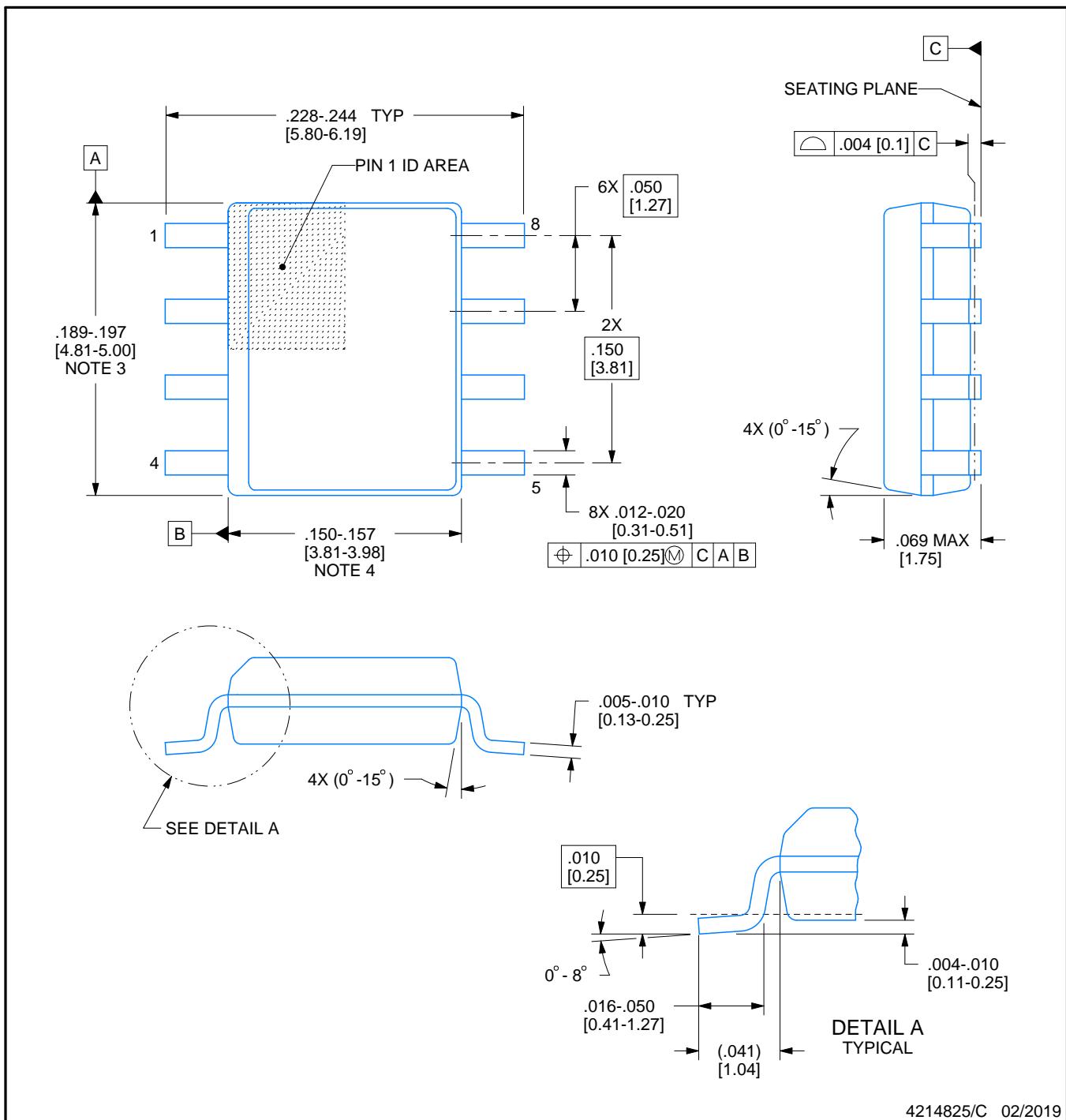
D0008A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

### NOTES:

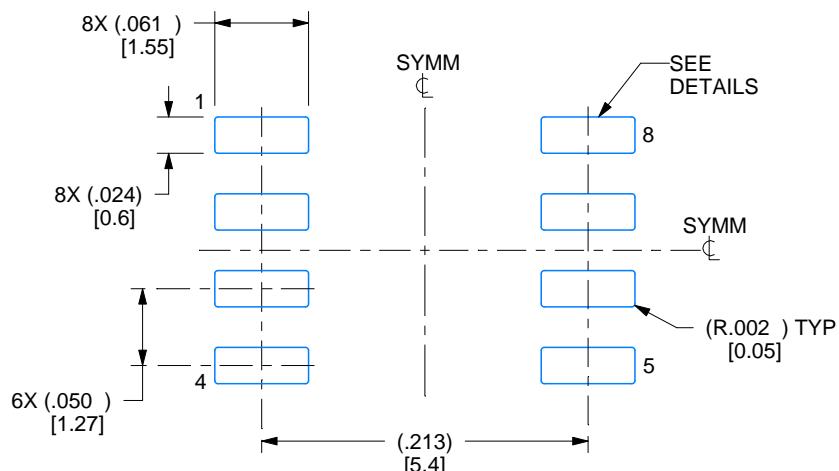
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

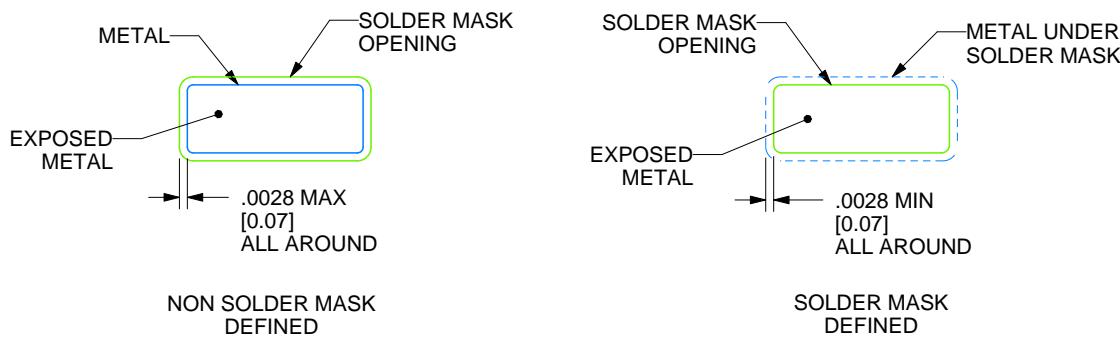
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

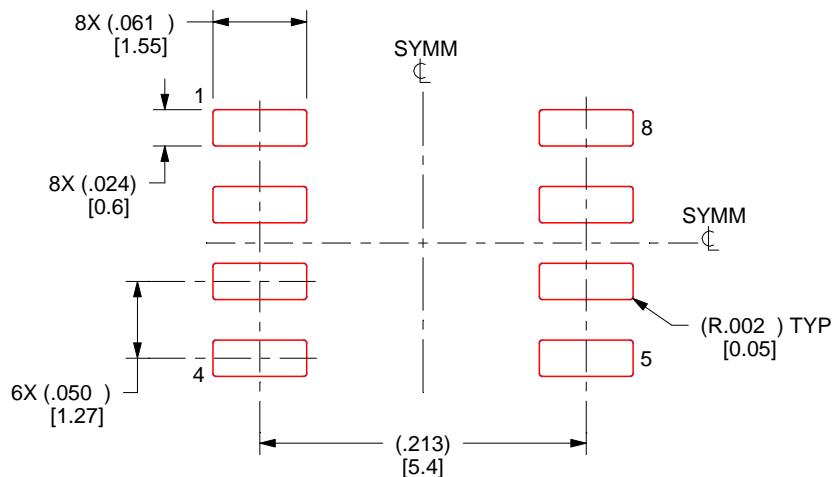
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

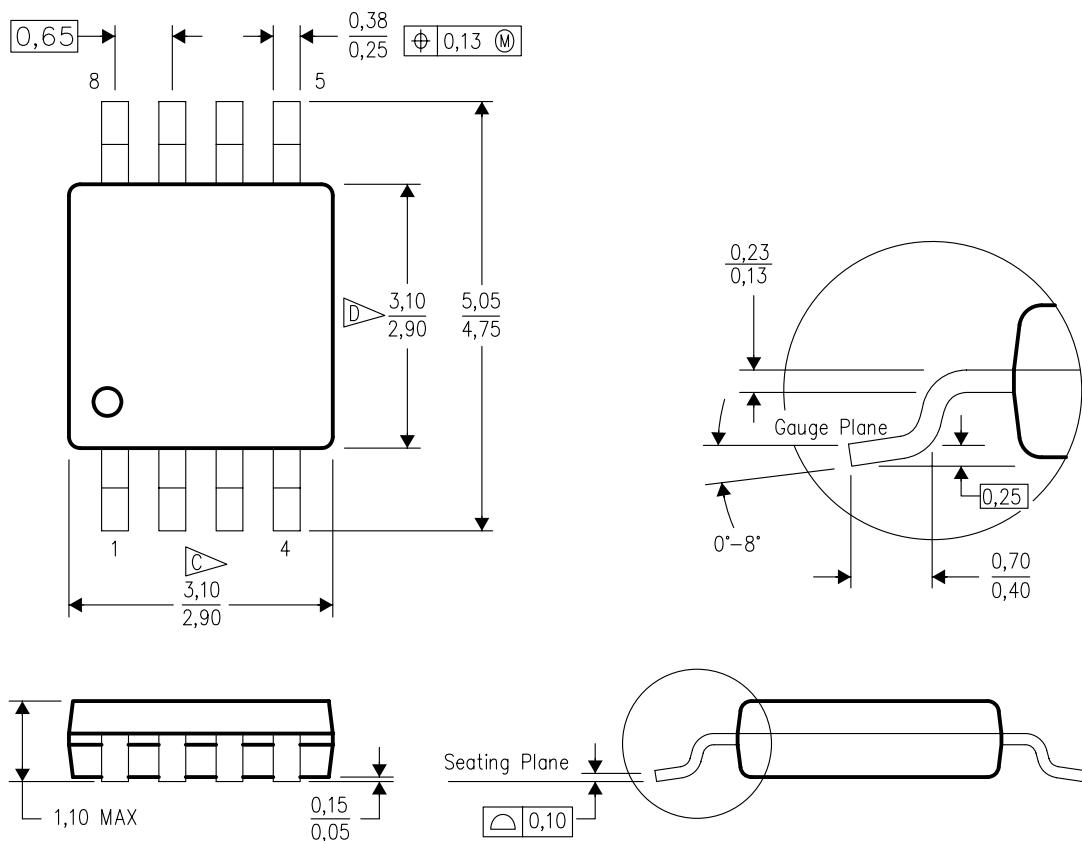
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## DGK (S-PDSO-G8)

## PLASTIC SMALL-OUTLINE PACKAGE



4073329/E 05/06

NOTES: A. All linear dimensions are in millimeters.

B. This drawing is subject to change without notice.

C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.

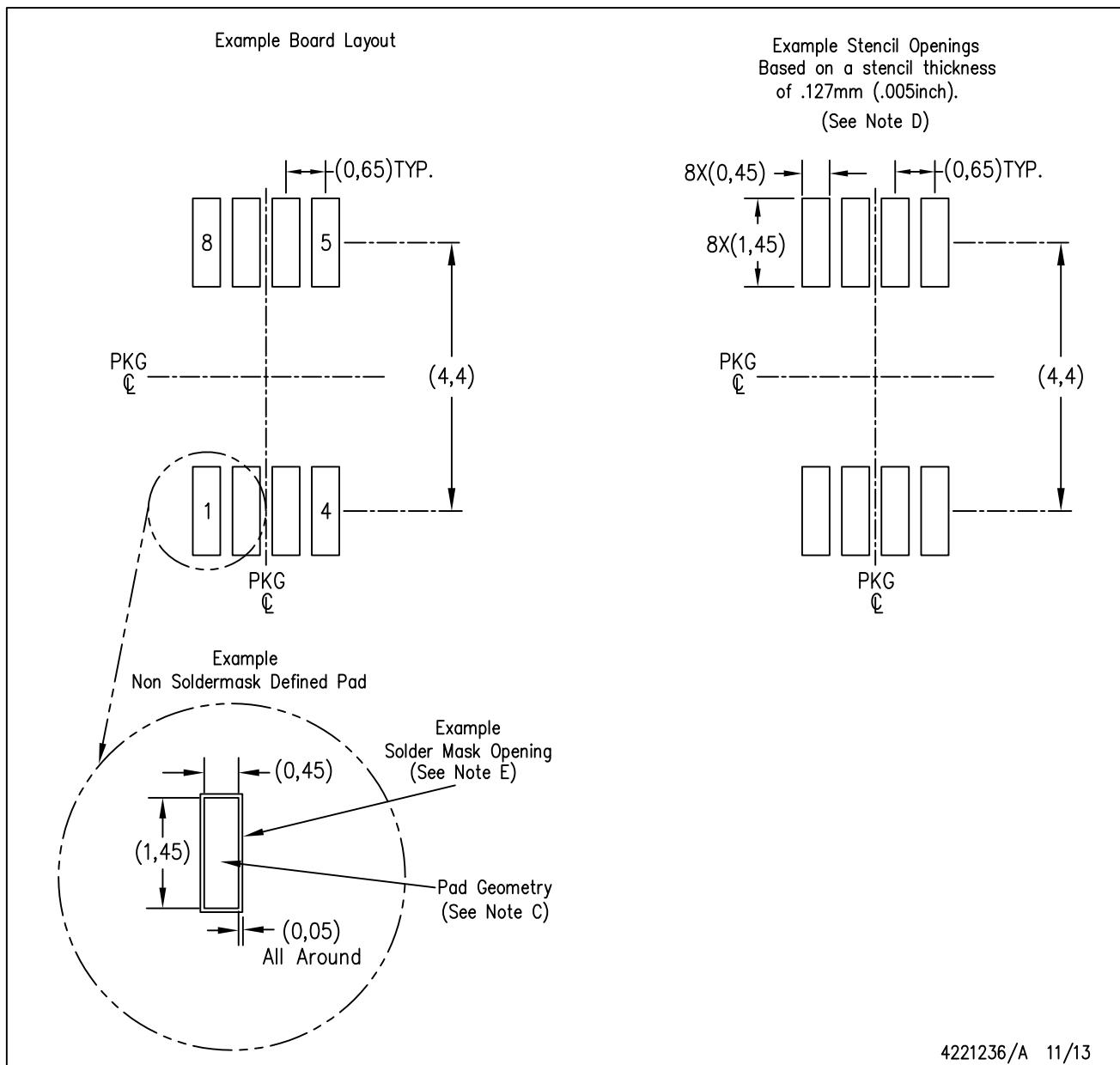
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.

E. Falls within JEDEC MO-187 variation AA, except interlead flash.

# LAND PATTERN DATA

DGK (S-PDSO-G8)

PLASTIC SMALL OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, 德州仪器 (TI) 公司