

TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI



Báo cáo giữa kì môn học:  
**Vi xử lý**

---

## LẬP TRÌNH HÀM BẮM MD5 TRÊN 8086

---

*Sinh viên thực hiện:*  
Tạ Quang Tùng  
MSSV: 20154280

*Giáo viên hướng dẫn:*  
TS. Ngô Lam Trung

Hà Nội, Ngày 12 tháng 6 năm 2018

# Mục lục

|     |  |   |
|-----|--|---|
| 1   | Giới thiệu về 8086 . . . . .                 | 1 |
| 2   | Truyền nối tiếp sử dụng 8251 USART . . . . . | 3 |
| 2.1 | Các chân của 8251 . . . . .                  | 3 |
| 2.2 | Chế độ được sử dụng . . . . .                | 4 |
| 2.3 | Các bước ghi dữ liệu . . . . .               | 5 |
| 2.4 | Các bước đọc dữ liệu . . . . .               | 5 |

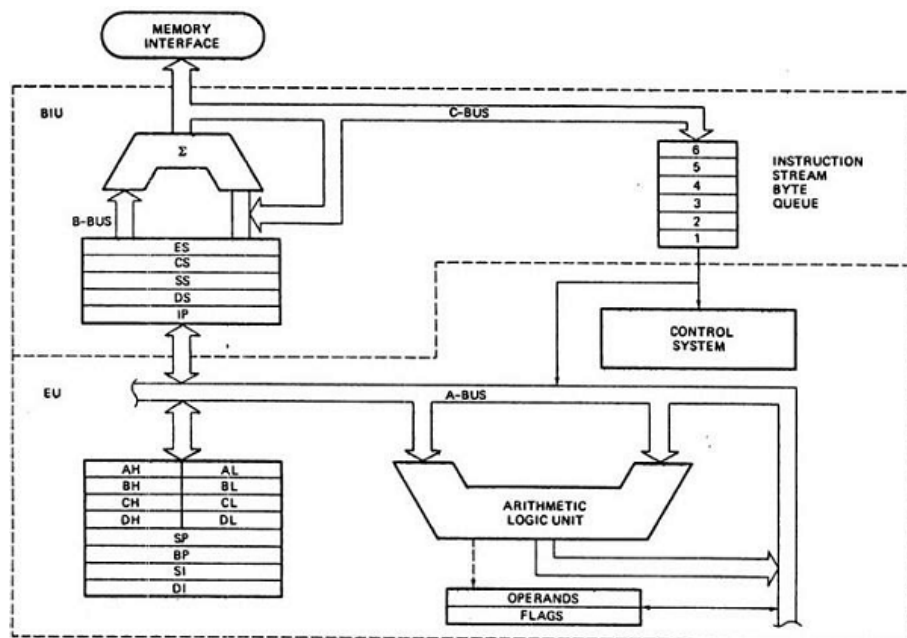
# 1 Giới thiệu về 8086

Vi xử lý 8086 là phiên bản nâng cấp của vi xử lý 8085 được phát triển từ năm 1976. Nó là vi xử lý 16 bit, có một tập lệnh mạnh mẽ và cung cấp phép toán nhân, chia trực tiếp trên phần cứng. Bao gồm 20 chân địa chỉ và 16 chân dữ liệu. Do đó nó có thể truy cập tới 1MB bộ nhớ.

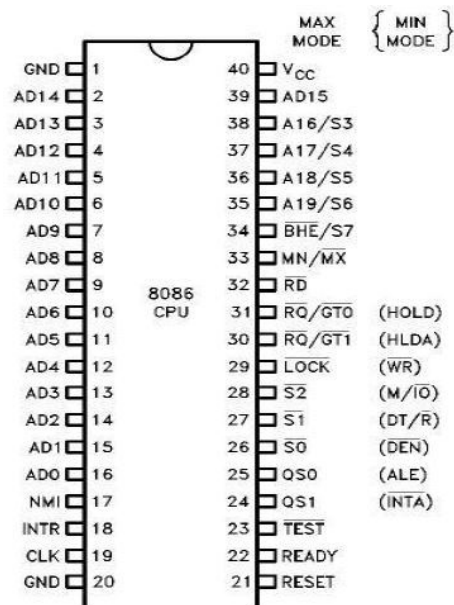
Nó có 2 chế độ hoạt động là chế độ Maximum và chế độ Minimum. Chế độ Maximum phù hợp với hệ thống có nhiều vi xử lý và ngược lại chế độ Minimum phù hợp với hệ thống chỉ có một vi xử lý. Ở đây ta chỉ quan tâm tới chế độ Minimum.

Những đặc điểm nổi bật của vi xử lý 8086:

- Nó có hàng đợi lệnh, cho phép lưu trữ tới 6 byte lệnh giúp tăng tốc xử lý.
- Là vi xử lý 16 bit đầu tiên có 16 bit ALU, thanh ghi 16 bit, bus nội 16 bit, và 16 bit bus ngoại.
- Nó có 2 giai đoạn xử lý đường ống, Fetch và Execute giúp tăng hiệu năng.
- Bảng vector ngắt 256 phần tử.
- Được tạo thành bởi 29.000 transistor.



Hình 1: Kiến trúc của 8086

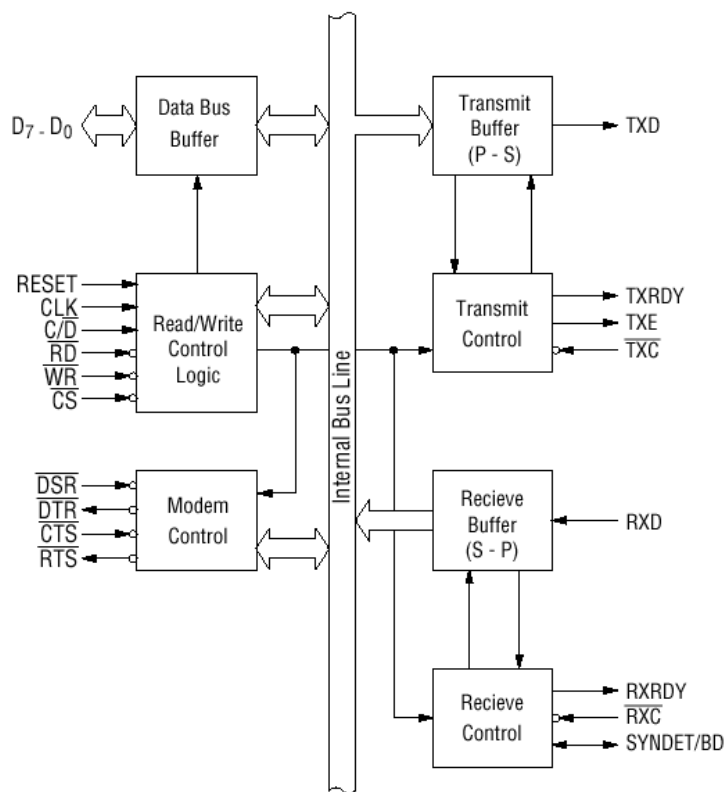


Hình 2: Các chân của 8086

Các chân của 8086 ở chế độ Min bao gồm:

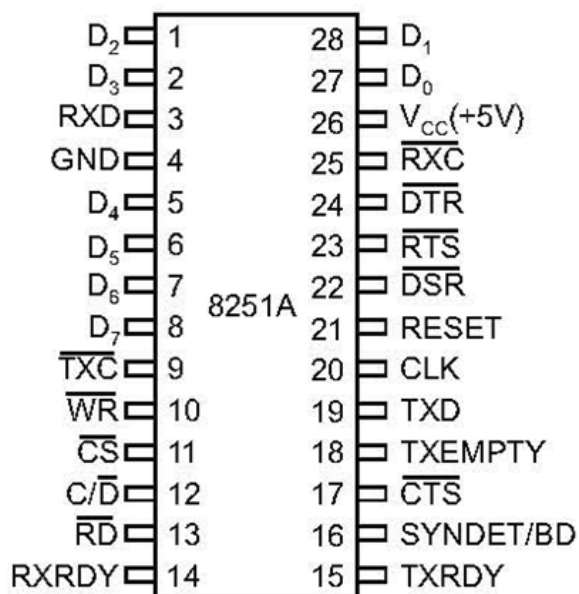
- Nguồn: Sử dụng nguồn 5V DC với chân nguồn tại chân 40, chân đất tại chân 1 và 20.
- Tín hiệu clock: chân 19.
- Địa chỉ / Dữ liệu: AD0-AD15.
- Địa chỉ / Trạng thái: A16-A19/S3-S6.
- Tín hiệu đọc: Chân 32.
- Tín hiệu sẵn sàng: Chân 22.
- Tín hiệu khởi động vi xử lý: Chân 21.
- Tín hiệu báo ngắt: Chân 18.
- Tín hiệu ngắt không che được: Chân 17.
- Tín hiệu kiểm tra: Chân 23. CPU đợi nếu tín hiệu này là cao.
- Tín hiệu phân biệt Minimum / Maximum: Chân 33.
- Tín hiệu chấp nhận ngắt: Chân 24.
- Tín hiệu chốt địa chỉ: Chân 25.
- Tín hiệu chỉ định hướng của dữ liệu: Chân 27.
- Tín hiệu chỉ định bộ nhớ / vào ra: Chân 28.
- Tín hiệu ghi: Chân 29.

## 2 Truyền nối tiếp sử dụng 8251 USART



Hình 3: Kiến trúc của 8251

### 2.1 Các chân của 8251

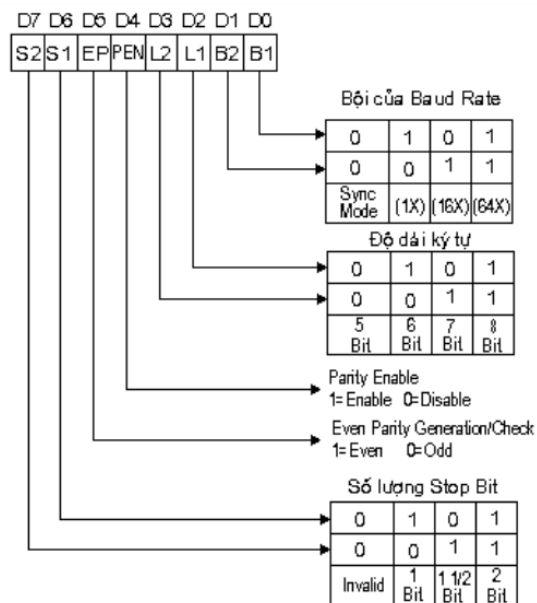


Hình 4: Các chân của 8251

- CLK: Chân nối tới xung đồng hồ của hệ thống.
- TxRDY: Tín hiệu báo bộ đệm gửi rỗng (sẵn sàng nhận dữ liệu mới từ CPU).
- RxRDY: Tín hiệu báo bộ đệm thu đầy (có ký tự nằm chờ CPU đọc vào).
- TxEMPTY: Báo cả đệm gửi và đệm thu đều rỗng.
- C/D: CPU chọn thanh ghi lệnh hay thanh ghi dữ liệu.
- RxC và TxC: Xung đồng hồ cung cấp cho thanh ghi dịch của phần thu và phát.
- RxD và TxD: Nhận và gửi tín hiệu nối tiếp.
- D0-D7: Nối với bus dữ liệu của hệ thống.

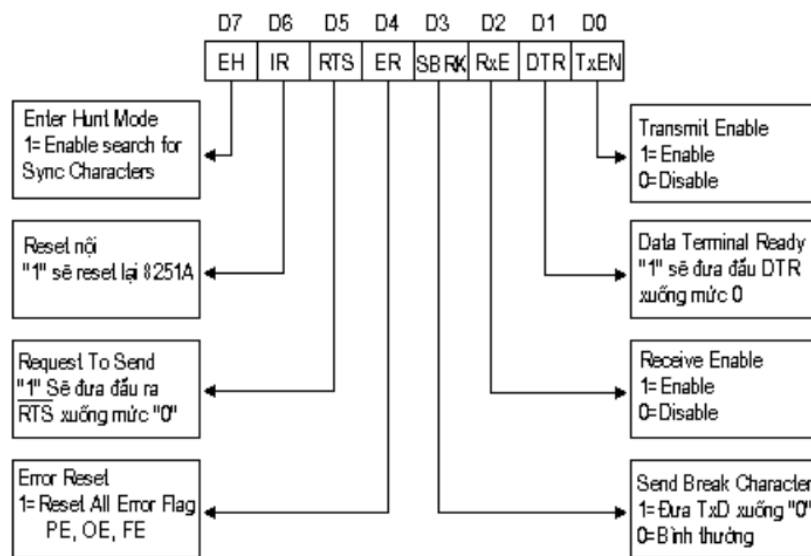
## 2.2 Chế độ được sử dụng

Trong bài này ta sử dụng 2 giá trị của thanh ghi chế độ và thanh ghi lệnh lần lượt là 01001101b và 00000111b. Tương ứng:



Thanh ghi chế độ:

- Bội của Baurd Rate: 1x.
- Độ dài kí tự: 8 bit.
- Parity: Disable.
- Even Parity Generation/Check: Odd.
- Số lượng Stop Bit: 1 bit.



Thanh ghi lệnh:

- Transmit Enable: Enable.
- Data Terminal Ready: 1.
- Receive Enable: Enable.
- Send Break Character: Bình thường.
- Error Restet: Disable.
- Request To Send: 0.
- Reset nội: 0.
- Enter Hunt Mode: Disable.

## 2.3 Các bước ghi dữ liệu

## 2.4 Các bước đọc dữ liệu