



PLANO DE ENSINO

CURSO	Bacharelado em Ciência da Computação	MATRIZ	50
--------------	--------------------------------------	---------------	----

FUNDAMENTAÇÃO LEGAL	Resolução 043 do COGEP de 11 de novembro de 2011. Resolução 062 do COGEP de 04 de agosto de 2016.
----------------------------	--

DISCIPLINA/UNIDADE CURRICULAR	CÓDIGO	PERÍODO	CARGA HORÁRIA (horas)			
Arquitetura e Organização de Computadores	BCC33B	3	AT	AP	APS	TA
			34	34	4	72

PRÉ-REQUISITO	BCC33B - Elementos de Lógica Digital.
----------------------	---------------------------------------

EQUIVALÊNCIA	Não há.
---------------------	---------

OBJETIVOS
Compreender os conceitos fundamentais de Arquitetura e Organização de Computadores, o funcionamento de computadores através do estudo do ciclo de instrução e do tráfego de informações dentro da CPU e até a memória e unidades de entrada e saída.

EMENTA
Aritmética para computadores com inteiros e ponto flutuante. Arquiteturas gerais de computadores. Arquiteturas RISC e CISC. CPU. ALU. Instruções e linguagem de máquina. Modos de endereçamento. Sistemas de memória cache, virtual, principal e externa. Pipeline. Mecanismos de interrupção. Interface com periféricos. Arquiteturas Paralelas e não Convencionais.

CONTEÚDO PROGRAMÁTICO		
ITEM	EMENTA	CONTEÚDO
1	Arquiteturas gerais de computadores. CPU. ALU. Aritmética para computadores com inteiros e ponto flutuante	Conceitos de Arquitetura e Organização de Computadores. Evolução e Desempenho de Computadores. Unidade Aritmética: arquitetura, registradores, funções e funcionamento básico. Unidade de Controle: arquiteturas típicas de UC por circuito (hardwired) e microprogramada, relógio e sincronia, máquina clássica de três tempos, microprogramação horizontal e vertical. Barramentos de dados, de controle e de endereços.
2	Instruções e linguagem de máquina. Modos de endereçamento. Mecanismos de interrupção. Interface com periféricos.	Conjunto de instruções.
3	Arquiteturas RISC e CISC. Pipeline.	Técnicas para a Melhoria do Desempenho. Arquiteturas pipelined.
4	Sistemas de memória cache, virtual, principal e externa	Hierarquia e gerenciamento de memória: memórias cache, principal e secundária.
5	Arquiteturas Paralelas e não Convencionais	Arquiteturas Avançadas: Conceitos de Arquiteturas Superescalares: Execução fora de ordem, execução especulativa, previsão de desvios, renomeação de registradores, buffer de reordenação. Noções de Arquiteturas Paralelas.

PROFESSOR	TURMA
Rogério Aparecido Gonçalves	IC3A

ANO/SEMESTRE	CARGA HORÁRIA (aulas)					
2017/01	AT	AP	APS	AD	APPC	Total
	34	34	4	-	-	72

AT: Atividades Teóricas, AP: Atividades Práticas, APS: Atividades Práticas Supervisionadas, AD: Atividades a Distância.

DIAS DAS AULAS PRESENCIAIS						
Dia da semana	Segunda	Terça	Quarta	Quinta	Sexta	Sábado
Número de aulas no semestre	34	-	-	34	-	-

PROGRAMAÇÃO E CONTEÚDOS DAS AULAS (PREVISÃO)		
Dia /Mês ou Semana	Conteúdo das Aulas	Número de Aulas
02/03/2017	Apresentação da disciplina, do professor, bibliografia, do plano de ensino e dos critérios de avaliação. Introdução e visão geral da disciplina.	2
06/03/2017	Sistema Computacional. Arquitetura de von Neumann e Estruturas de Interconexão do Computador. Diagramas de execução. Atividade sobre Diagramas de execução e Arquitetura de von Neumann.	2
09/03/2017	Exercício Diagrama de Execução. Implementação de Exemplos no Simulador Marie ou Kands.	2
13/03/2017	Microprocessador. Estrutura do processador. Registradores do MIPS. Conjunto de Instruções, instruções de carregamento e movimentação de dados. Instruções de Load/Store. Endereçamento Indireto. Endereçamento Base/Deslocamento.	2
16/03/2017	Microprocessador. Conjunto de Instruções. Instruções aritméticas e lógicas. Apresentação do Simulador MARS.	2
20/03/2017	Introdução ao simulador MARS, exemplos de instruções para entrada e saída.	2
23/03/2017	Microprocessador. Conjunto de Instruções. Instruções de desvio de controle, construções da linguagem de programação if, for, while.	2
27/03/2017	Microprocessador. Conjunto de Instruções. Instruções de desvio de controle e chamada a subrotinas.	2
30/03/2017	Microprocessador. Conjunto de Instruções. Pilha e salvamento de contexto. Frame pilha, chamada recursiva. Convenções utilizadas pelo GCC e pelo MIPS. Atividade de implementação de uma calculadora.	2
03/04/2017	Microprocessador. Tratamento de Exceções e Interrupções. Exercícios.	2
06/04/2017	Sistema Computacional. Noções do processo de compilação e geração de código. Tradução de Código Assembly para código de máquina.	2
10/04/2017	Unidade de Controle (UC): contextualização com o modelo de von Neumann, modelo geral e funcionamento da UC e tipos de implementações: hardwired e microprogramada. Decodificação de Instruções.	2
17/04/2017	Unidade de Controle (UC): Decodificação de Instruções. Atividade sobre Unidade de Controle.	2
20/04/2017	Unidade Lógica e Aritmética (ULA): Revisão sobre Aritmética Computacional. Circuitos Aritméticos multiplicador e divisor. Atividade: Implementação de ULA Simplificada.	2
24/04/2017	Sistemas e Estruturas de Interconexão do Computador: Barramentos, conceitos, tipos, temporização, arbitragem e hierarquia de barramentos.	2
27/04/2017	Sistemas e Estruturas de Interconexão do Computador: Barramentos, conceitos, tipos, temporização, arbitragem e hierarquia de barramentos.	2
04/05/2017	Entrega e Apresentação do Projeto A.	2
08/05/2017	Aplicação da 1ª. Avaliação.	2
11/05/2017	Microprocessador: Datapath do MIPS. Construindo um caminho de dados. Um esquema de implementação simples. Caminho de dados e componentes acessados durante a execução das instruções dos três formatos.	2
15/05/2017	Datapath do MIPS. Caminho de dados e sinais de controle. Simulação utilizando o Logisim.	2
18/05/2017	Sistema de Memória. Características e organização das memórias internas.	2
22/05/2017	Sistema de Memória. Características e organização das memórias internas.	2
25/05/2017	Hierarquia de Memória. Caches com Mapeamento Direto e Caches com Mapeamento totalmente associativo. Atividades sobre cache com mapeamento direto.	2
29/05/2017	Hierarquia de Memória. Caches com Mapeamento associativo por conjunto. Atividade sobre o cache de mapeamento associativo por conjunto. Desempenho de cache. Atividade sobre desempenho de caches.	2
01/06/2017	Técnicas de Melhoria de Desempenho. Pipeline e tratamento de conflitos.	2
05/06/2017	Técnicas de Melhoria de Desempenho. CISC vs. RISC. Pipeline 2a. parte.	2

	o capricho na elaboração e na formatação do texto, bem como o conteúdo do texto, dentre outros critérios.
Valor da atividade	A nota obtida em cada APS é de 20% da nota parcial correspondente.

ATIVIDADES Á DISTÂNCIA

Não há atividades a distância.

PROCEDIMENTOS DE AVALIAÇÃO

Avaliação objetiva e discursiva. Seminário. Avaliação prática. Projeto. Trabalhos. APS. Avaliação continuada. Aproveitamento em sala de aula.

Os alunos serão avaliados por meio de dois conjuntos de avaliações (AV1, AV2).

Cada avaliação valerá 10,0 pontos sendo considerados os seguintes pesos para a composição da nota:

- Avaliação 1 (AV1):

- Avaliação Escrita (P1): 60%
- Projeto A (PA)*: 20%
- Cálculo: $AV1 = P1 * 0,6 + PA * 0,2$

- Avaliação 2 (AV2):

- Avaliação Escrita (P2): 60%
- Projeto B (PB)*: 20%
- Cálculo: $AV2 = P2 * 0,4 + PB * 0,2$

- Aproveitamento em sala de aula, cumprimento das atividades (ACA): 20%

- Nota calculada com base na frequência e no cumprimento das atividades.

A nota final será calculada pela fórmula:

$$NF = \frac{(AV1 + AV2)}{2} + ACA$$

Para possibilitar a recuperação do aproveitamento acadêmico, aos alunos que não atingirem a média para aprovação estabelecida para o curso, será aplicada uma avaliação final (AF), na forma escrita, envolvendo todo o conteúdo apresentado durante o semestre. Caso o aluno deseje fazer essa avaliação, o cálculo de sua média final será dado pela média aritmética entre NF e a AF, seguindo a fórmula: $\frac{(NF + AF)}{2}$.

*Os trabalhos acadêmicos em grupo contemplarão as APS.

REFERÊNCIAS

Referências Básicas

HENNESSY, John L.; PATTERSON, David A. **Arquitetura de computadores: uma abordagem quantitativa**. 5. ed. Rio De Janeiro: Elsevier, 2014. 744 p. ISBN 978-85-352-6122-6.

STALLINGS, William. **Arquitetura e organização de computadores: projeto para o desempenho**. 8. ed. São Paulo: Prentice-Hall, 2010 624 p. ISBN 978-85-7605-564-8.

PATTERSON, David A.; HENNESSY, John L. **Organização e projeto de computadores: a interface hardware/software**. 4. ed. Rio de Janeiro: Elsevier, 2014. 736 p. ISBN 978-85-352-3585-2.

Referências Complementares

TANENBAUM, Andrew S. **Organização estruturada de computadores**. 5. ed. São Paulo: Pearson Prentice Hall, c2007. xii, 449 p. ISBN 9788576050674.

HEURING, Vincent P., JORDAN, Harry Frederick, MURDOCCA, Miles. **Computer systems design and architecture**. Prentice Hall. 2004.

FLYNN, Michael J., **Computer Architecture: Pipelined and Parallel Processor Design**, Jones & Bartlett Learning, 1995, ISBN 0867202041, 788p.

MANO, M. Morris, **Computer System Architecture**, 3a. edição, ISBN 9780131755635, Prentice Hall, 1992.

DE ROSE, César A. F.; NAVAUX, Philippe O. A. **Arquiteturas paralelas**. Porto Alegre: Bookman, 2008. 152 p. ISBN 9788577803095.

ORIENTAÇÕES GERAIS

Monitoria:

Disciplina necessita de um estudante monitor para auxiliar o professor na assistência aos estudantes. Dentre as atividades do monitor estão a resolução de exercícios e esclarecimento de dúvidas, bem preparação de atividades teóricas e/ou práticas; e a elaboração de material didático complementar.

Assinatura do Professor

Assinatura do Coordenador do Curso