

به نام خدا

آزمایشگاه مدارهای منطقی

نام استاد : علیرضا برزگر زادگان

فهرست

فصل اول : معرفی گیت‌های منطقی

AND -

OR -

NOR -

NAND -

- آشنایی با جبر بول و پیاده سازی مدارهای منطقی

فصل دوم : مدارهای ترکیبی

- پیاده سازی مدارهای ترکیبی

- طراحی مدارهای منطقی با مدارهای ترکیبی

فصل سوم : آشنایی با مدارهای ترتیبی

- آشنایی با گیت‌های ترکیبی

فصل اول : معرفی گیت‌های منطقی

AND –

OR –

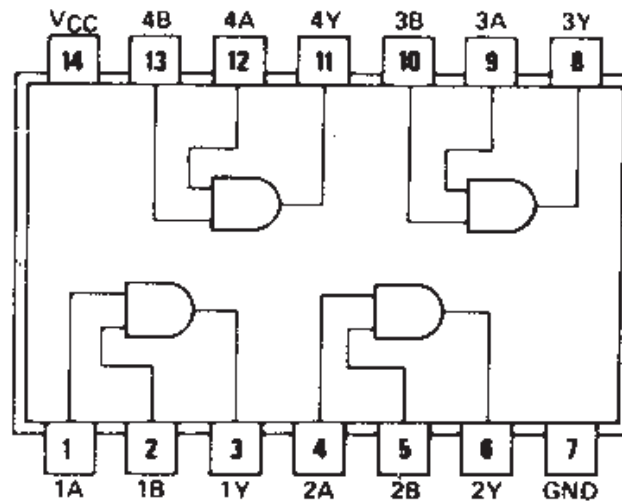
NOR –

NAND –

- آشنایی با جبر بول و پیاده سازی مدارهای منطقی

آزمایش شماره 1) آشنایی با گیت AND

7408



روش کار: ابتدا ترمینال VCC را به 5V + و پایه GND را به زمین (پتانسیل صفر) متصل کنید.

یکی از گیت‌های AND را انتخاب کرده و جدول زیر را تکمیل می‌کنید:

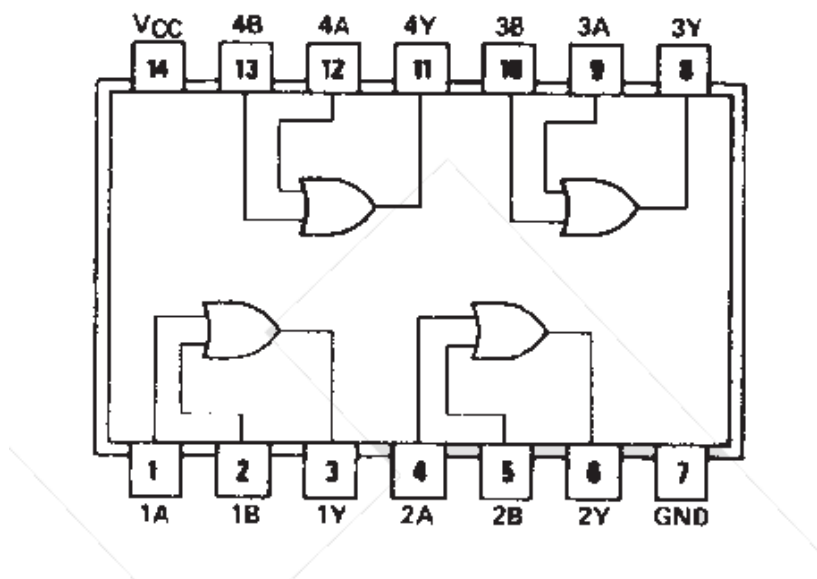
نکته: منظور از 1 منطقی +5 V dc و منظور از 0 منطقی صفر ولت است.

1A	1B	1Y
0	0	
0	1	
1	0	
1	1	

سوال 1) جای دو ردیف 1A و 1B را با هم عوض کنید. آیا نتایج عوض می‌شود؟

آزمایش شماره 2) آشنایی با گیت OR

7432

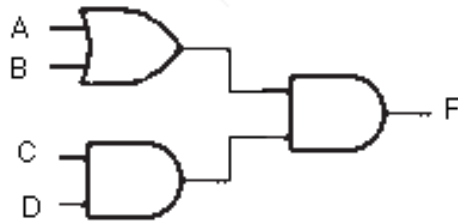


جدول زیر را تکمیل کنید:

1A	1B	1Y
0	0	
0	1	
1	0	
1	1	

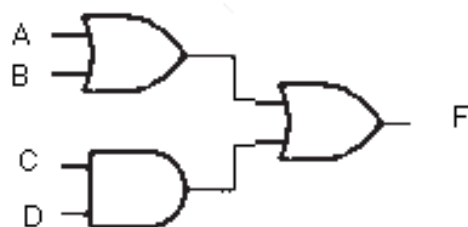
سوال 1) تفاوت جدول آزمایش 1 و 2 چیست؟

سوال 2) مدار زیر را بسته و جدول داده شده را تکمیل کنید:



A	B	C	D	F
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

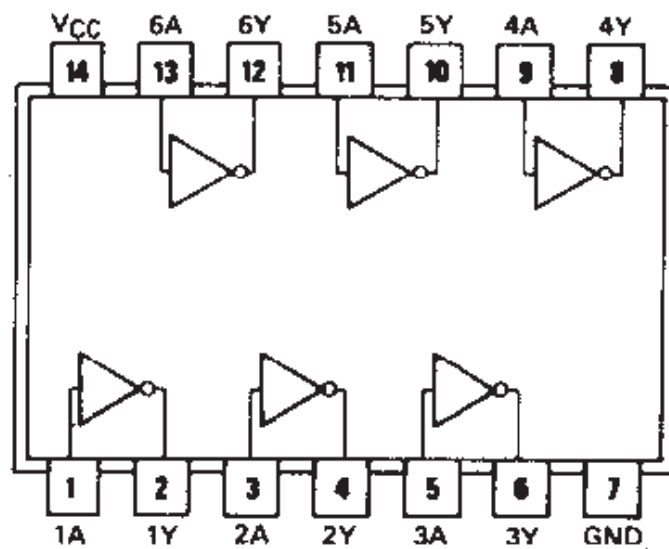
سوال 3) مدار زیر را بسته و خروجی را تعیین کنید:



A	B	C	D	F
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

آزمایش شماره 3) آشنایی با گیت NOT

7404

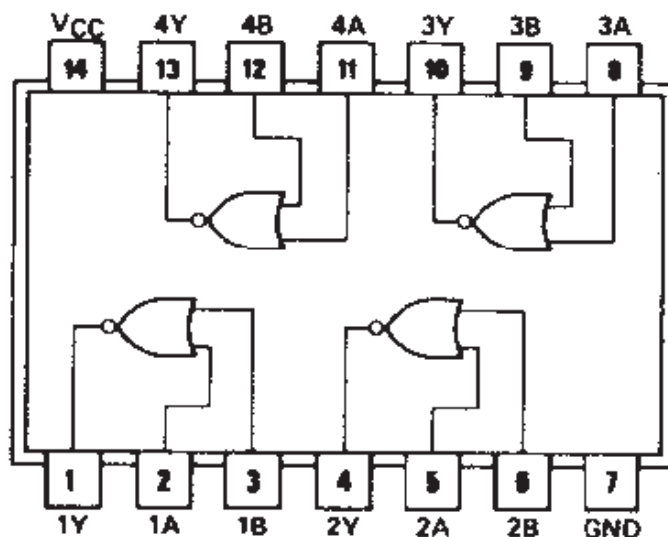


جدول زیر را تکمیل کنید :

1A	1Y
0	
1	

آزمایش شماره 4) آشنایی با گیت NOR

7402



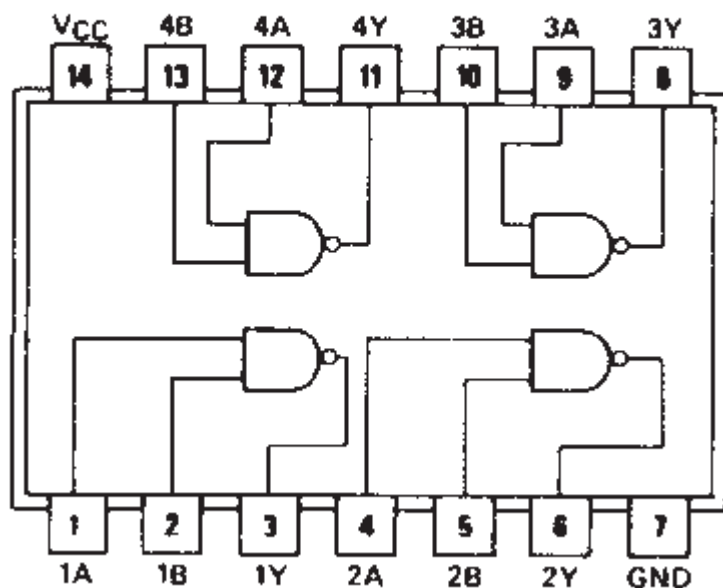
جدول زیر را تکمیل کنید:

1A	1B	1Y
0	0	
0	1	
1	0	
1	1	

سوال 1) تفاوت جدول آزمایش شماره 2 با جدول این آزمایش را بیان کنید؟

آزمایش شماره 5) آشنایی با گیت NAND

7400

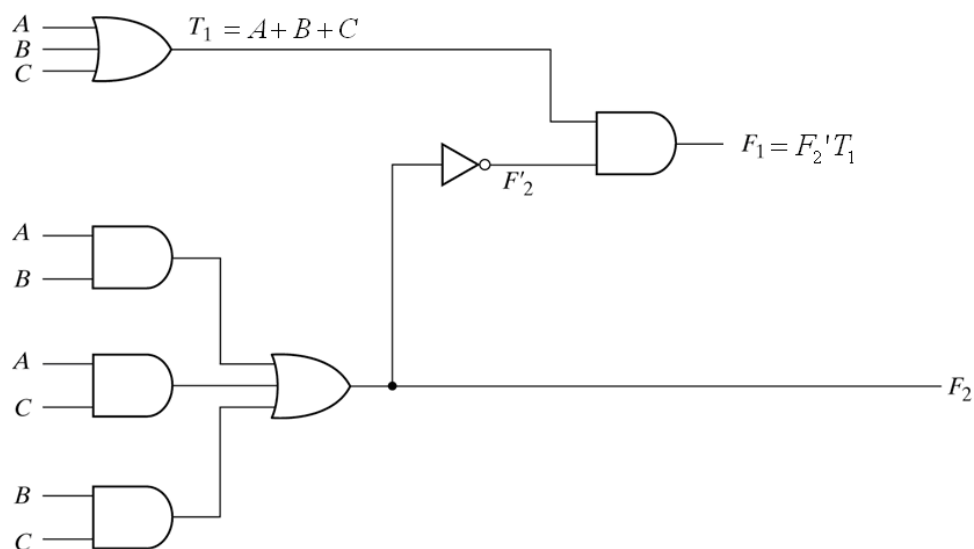


جدول زیر را تکمیل کنید:

1A	1B	1Y
0	0	
0	1	
1	0	
1	1	

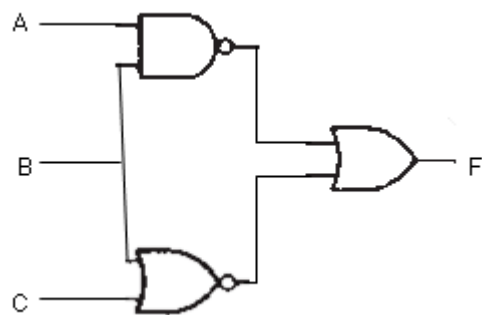
سوال 1) تفاوت جدول آزمایش شماره 1 با جدول این آزمایش را بیان کنید؟

آزمایش شماره 6) مدار زیر را پیاده سازی کنید و جدول صحت آن را تکمیل نمایید:



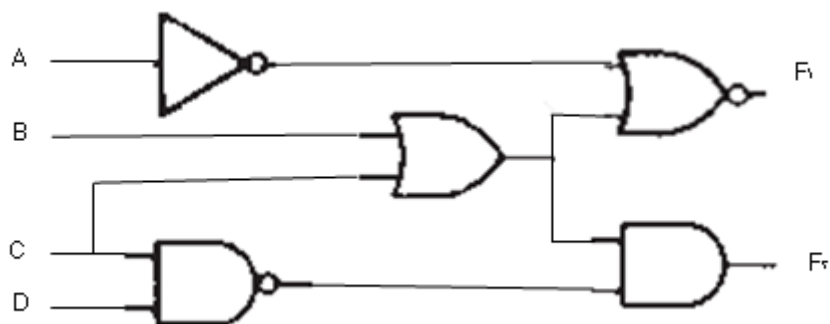
A	B	C	F1	F2
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

آزمایش شماره 7) مدار زیر را پیاده سازی کنید و جدول صحت آن را تکمیل نمایید:



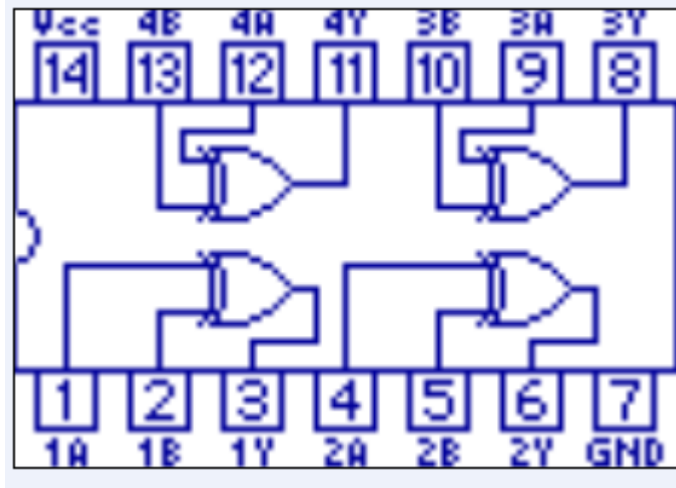
A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

آزمایش شماره 8) مدار زیر را پیاده سازی کنید و جدول صحت آن را تکمیل نمایید:



A	B	C	D	F1	F2
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

آزمایش شماره 9) آشنایی به گیت XOR (IC 74LS86)

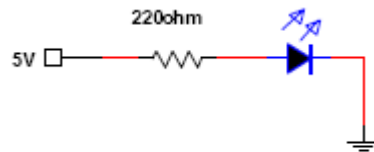


جدول زیر را تکمیل کنید:

1A	1B	1Y
0	0	
0	1	
1	0	
1	1	

نمایشگرها

مدار زیر را ببندید:



سوال 1) در هنگامی که دیود روشن است ولتاژ دو سر دیود را محاسبه کنید؟

سوال 2) مدار شکل فوق را طوری تغییر دهید که اتصال صفر ولت باعث روشن شدن LED شود؟

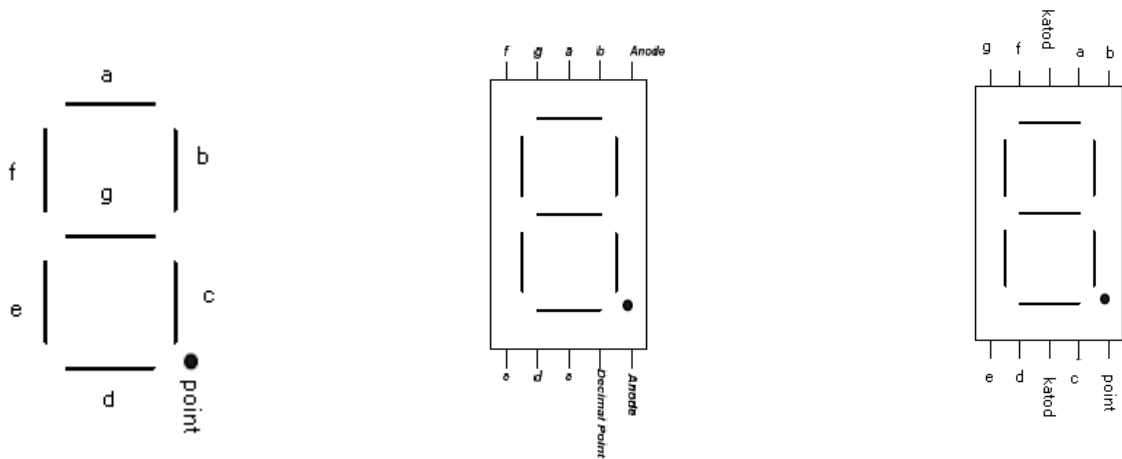
سوال 3) آیا میزان ولتاژ بر روی رنگ LED تاثیری دارد؟

سوال 4) در هنگام هدایت دیود ولتاژ دو سر مقاومت را محاسبه است؟

آشنایی با 7-SEG

سون سگمنت (7-SEG) یک المان برای نمایش اعداد به کار می رود و از 7 LED تشکیل شده است که ترتیب روشن شدن آنها اعداد مختلفی را نمایش می دهد و تمامی 7-seg به دو صورت کاتد مشترک و آند مشترک ساخته می شوند.

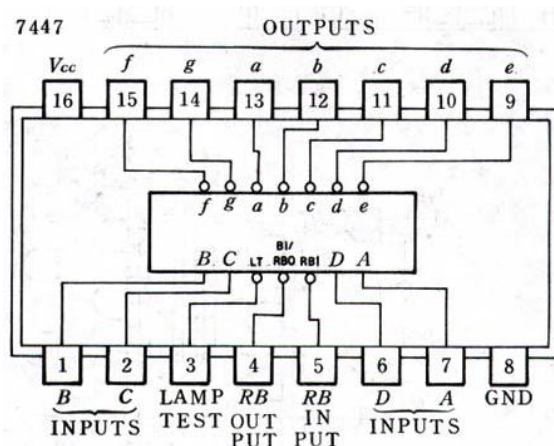
نکته: شکل وسط برای حالت آند مشترک و شکل سمت راست مشترک و شکل سمت چپ حالت نامگذاری استاندارد 7-seg می باشد.



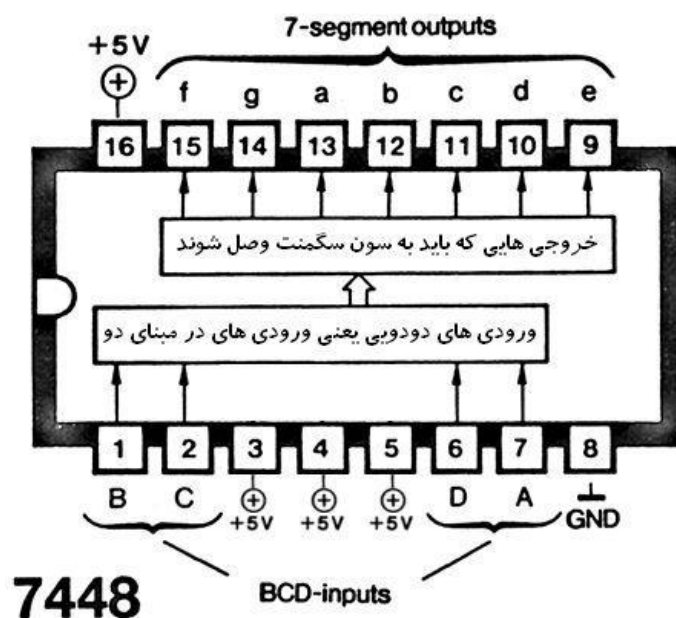
DCBA	عدد نشان داده شده	a b c d e f g	DCBA	عدد نشان داده شده	a b c d e f g
0000	0	0000001	1000	8	0000000
0001	1	1001111	1001	9	0001100
0010	2	0010010	1010	6	1110010
0011	3	0000110	1011	7	1100110
0100	4	1001100	1100	5	1011100
0101	5	0100100	1101	0	0110100
0110	6	1100000	1110	4	1110000
0111	7	0001111	1111	3	1111111

جدول حالت آند مشترک

تمامی 7-seg ها دارای یک IC درایور (راه انداز) میباشند که با توجه به آند مشترک بودن یا کاتد مشترک بودن دارای IC درایور مخصوص به خود می باشند:



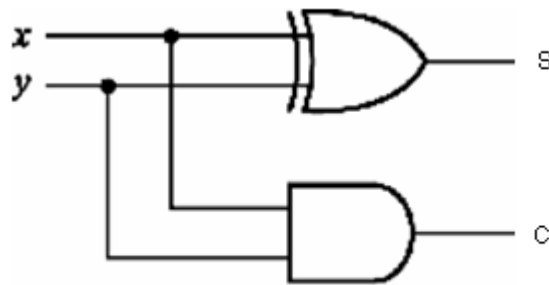
درایور آند مشترک



ساختار درایور 7-seg در حالت کاتد مشترک

آزمایش شماره 10) مدار نیم جمع کننده

(مدار زیر را به گونه ای طراحی کنید که هم ورودی و هم خروجی توسط 7-seg نمایش داده شود)



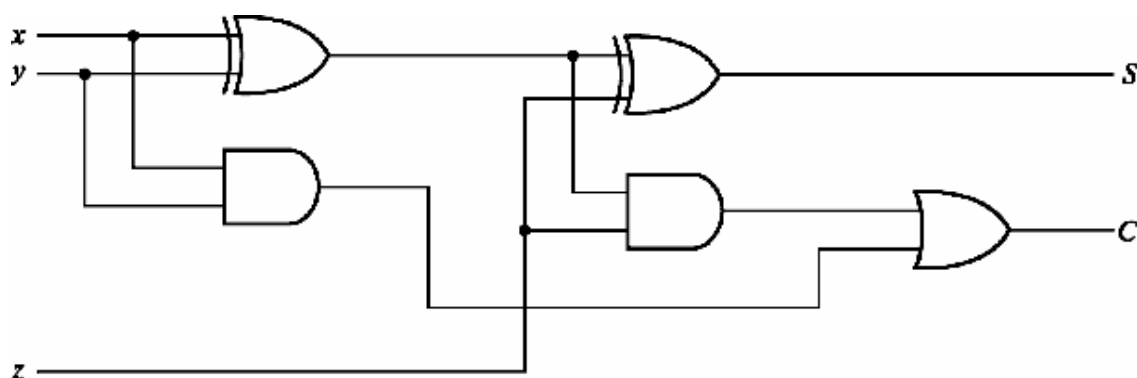
X	Y	C	S
0	0		
0	1		
1	0		
1	1		

سوال 1) آیا مدار نیم جمع کننده را می توان به روش دیگری طراحی کرد؟

سوال 2) اگر جای ستونهای X و Y را عوض کنیم آیا تاثیری بر روی خروجی جدول دارد؟

آزمایش شماره 11) مدار جمع کننده کامل زیر را بسته و جدول داده شده را تکمیل نمایید:

(مدار زیر را به گونه ای طراحی کنید که هم ورودی و هم خروجی توسط 7-seg نمایش داده شود)



X	Y	Z	C	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

جبر بول

فرم ریاضی گیت های منطقی را توسط جبر بول بیان می کنیم . جبر بول به ما این امکان را می دهد که مدارات منطقی را ساده سازی کرده و بتوان آنها را بهتر تحلیل کرد.

جبر بول به دو صورت مینترم و مکسترم برای هر مدار منطقی بیان می شود.

در زیر گیتها پایه منطقی به همراه فرم جبر بولی آن بیان شده است.



$$A \cdot B = C$$



$$(A \cdot B)' = C$$



$$A + B = C$$



$$(A + B)' = C$$



$$A'B + AB' = C$$

آزمایش شماره 12) جبر بول داده شده را پیاده سازی کنید:

(مدار زیر را به گونه ای طراحی کنید که هم ورودی و هم خروجی توسط 7-seg نمایش داده شود)

$$F = (ABC + AC + CD) + ACB$$

A	B	C	D	ABC	AC	CD	ABC+AC+CD	ACB	F
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

$$F = (AB + DC')'(AB + CD)$$

A	B	C	D	AB	C'	DC'	(AB+DC')	CD	(AB+CD)	F
0	0	0	0							
0	0	0	1							
0	0	1	0							
0	0	1	1							
0	1	0	0							
0	1	0	1							
0	1	1	0							
0	1	1	1							
1	0	0	0							
1	0	0	1							
1	0	1	0							
1	0	1	1							
1	1	0	0							
1	1	0	1							
1	1	1	0							
1	1	1	1							

$$F = (AB)' + C'D' + (AB)(CD)$$

A	B	C	D	AB	(AB)'	C'	D'	C'D'	CD	(AB)(CD)	F
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

$$F = A'(B + C' + D') + (B'D) + (AD)$$

A	B	C	D	A'	C'	D'	A'(B+C'+D')	B'D	AD	F
0	0	0	0							
0	0	0	1							
0	0	1	0							
0	0	1	1							
0	1	0	0							
0	1	0	1							
0	1	1	0							
0	1	1	1							
1	0	0	0							
1	0	0	1							
1	0	1	0							
1	0	1	1							
1	1	0	0							
1	1	0	1							
1	1	1	0							
1	1	1	1							

$$F = (ABD)' + (AB)' + (CB)$$

A	B	C	D	ABC	(ABC)'	(AB)	(AB)'	(CB)	F
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

$$F = AB + CD(AB)' + D'$$

A	B	C	D	AB	CD	(AB)'	CD(AB)'	D'	F
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

$$F=DA+A'D'+D'(B+C)$$

A	B	C	D	A'	D'	A'D'	DA	B+C	D'	D'(B+C)	F
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

$$F = ACD + D'C' + A'B$$

A	B	C	D	ACD	D'	C'	D'C'	A'	A'B	F
0	0	0	0							
0	0	0	1							
0	0	1	0							
0	0	1	1							
0	1	0	0							
0	1	0	1							
0	1	1	0							
0	1	1	1							
1	0	0	0							
1	0	0	1							
1	0	1	0							
1	0	1	1							
1	1	0	0							
1	1	0	1							
1	1	1	0							
1	1	1	1							

$$F = CB'D'A + AB + CD$$

A	B	C	D	B'	D'	CB'D'A	AB	CD	F
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

$$F = A + C'(BA) + B' + DC$$

A	B	C	D	C'	(AB)	C'(BA)	B'	DC	F
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

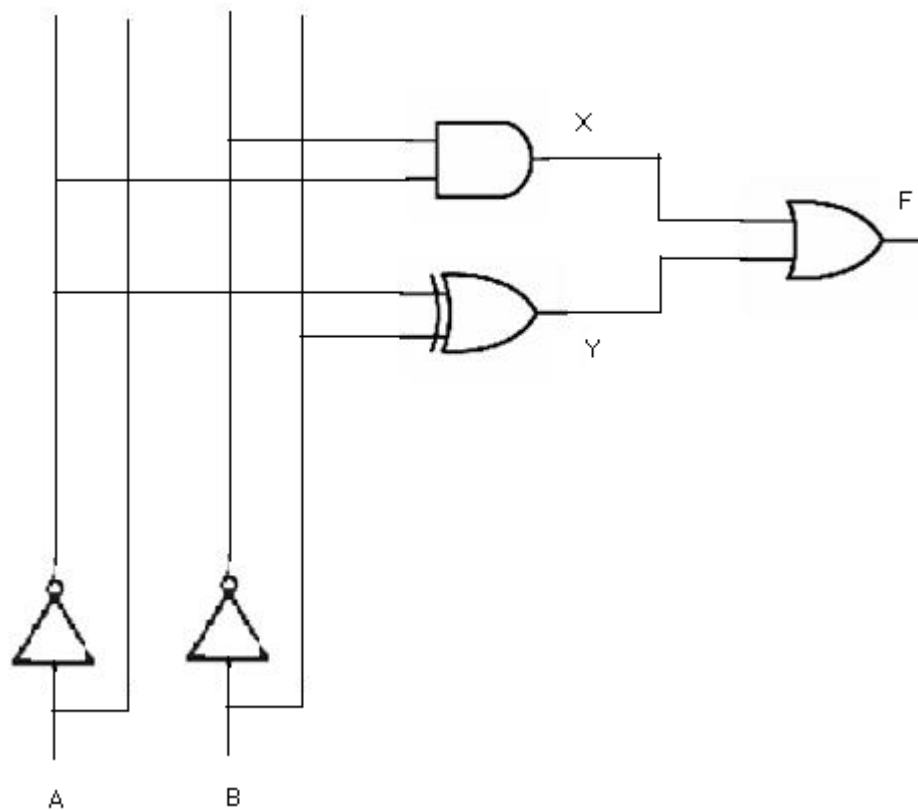
فصل دوم : مدارات ترکیبی

- پیاده سازی مدارهای ترکیبی

- طراحی مدارهای منطقی با گیت های ترکیبی

نکته: در تمامی مدارهای زیر برای نمایش ورودی ها و خروجی ها از 7-SEG استفاده کنید

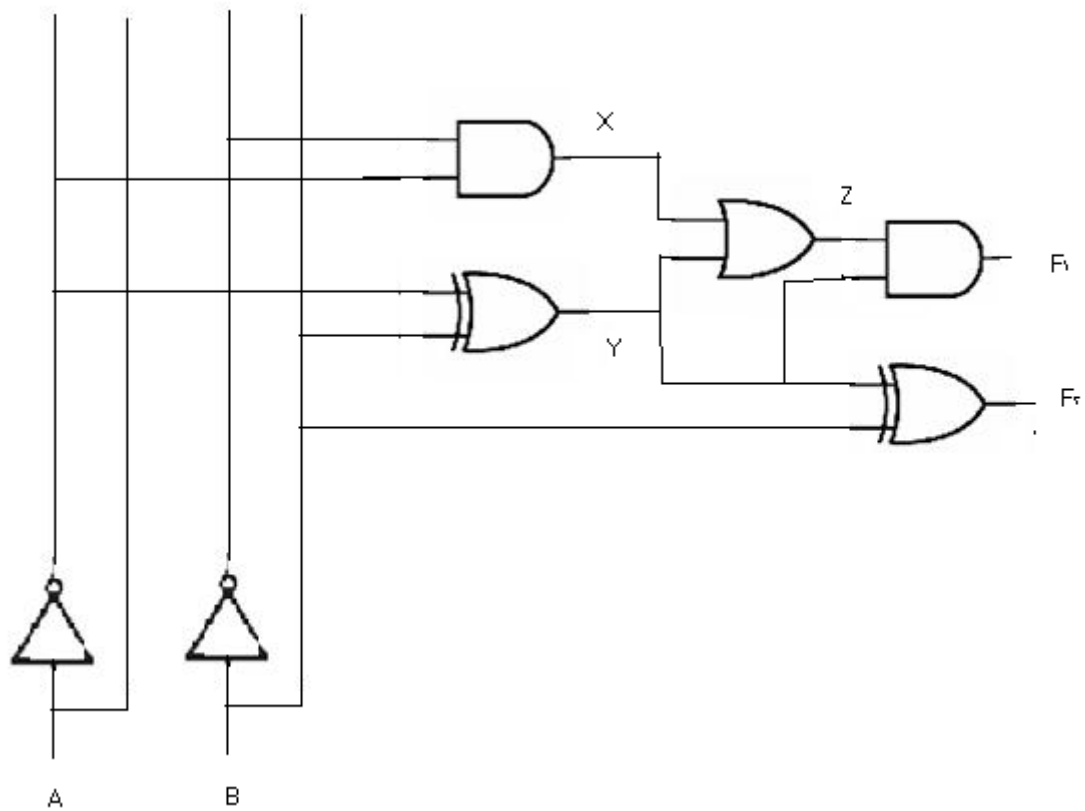
آزمایش شماره 13) مدارات زیر را پیاده سازی کنید:



A	B	X	Y	F
0	0			
0	1			
1	0			
1	1			

- فرم ریاضی مدار بالا را بنویسید؟

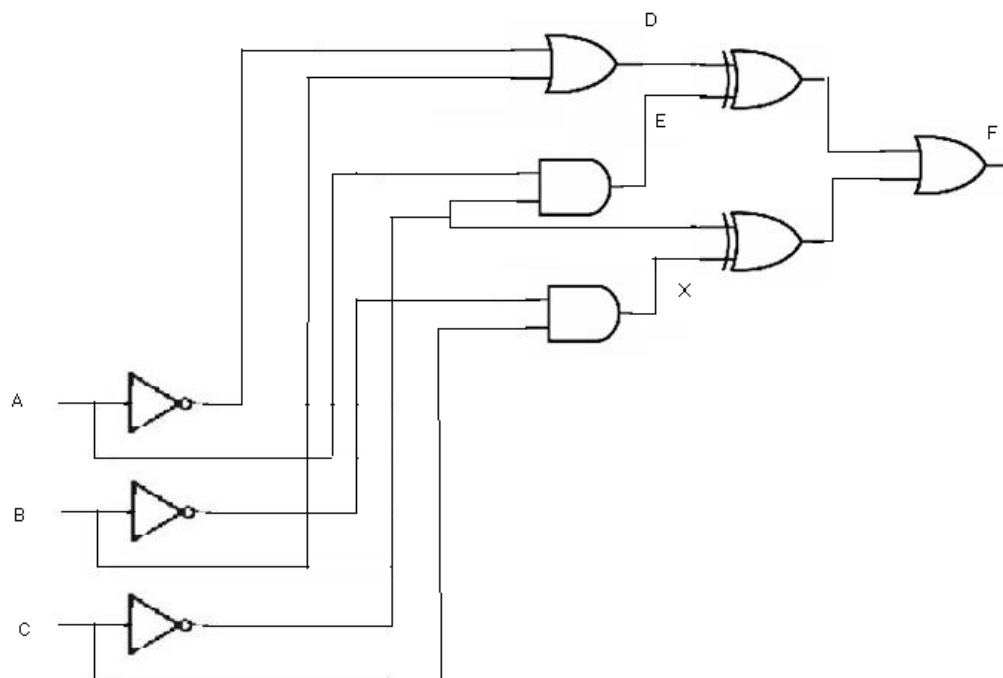
آزمایش شماره 14) مدارات زیر را پیاده سازی کنید



A	B	X	Y	Z	F1	F2
0	0					
0	1					
1	0					
1	1					

- فرم ریاضی مدار بالا را بنویسید؟

آزمایش شماره 15) مدارات زیر را پیاده سازی کنید



A	B	C	X	D	E	F
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

نکته: در تمامی مدارهای زیر برای نمایش ورودی ها و خروجی ها از 7-SEG استفاده کنید

آزمایش شماره 16) مدارهای زیر را طراحی کنید:

طراحی شماره 1) مدار تفریق کننده 2 بیتی طراحی کنید و فرم جبر بولی آنرا بنویسید:

طراحی شماره 2) مدار تفریق کننده 3 بیتی طراحی کنید و فرم ریاضی آنرا بنویسید:

طراحی شماره 3) مدار جمع کننده 4 بیتی طراحی کنید و فرم ریاضی آنرا بنویسید:

طراحی شماره 4) مقایسه گر 2 بیتی طراحی کنید و فرم ریاضی آنرا
بنویسید:

طراحی شماره 5) مداری را طراحی کنید که هر عدد 2 بیتی را که دریافت کند، 2 واحد به آن اضافه کند و خروجی آنرا نمایش دهد و فرم ریاضی آنرا بنویسید:

طراحی شماره 6) مداری را طراحی کنید که هر عدد 2 بیتی را که دریافت کند، 1 واحد از آن کم کند و در خروجی آنرا نمایش دهد و فرم ریاضی آنرا بنویسید:

طراحی شماره 7) مداری را طراحی کنید که هر عدد 4 بیتی را که دریافت میکند تشخیص دهد که زوج یا فرد است و آنرا در خروجی نمایش دهد و فرم ریاضی آنرا بنویسید:

طراحی شماره 8) مداری را طراحی کنید که هر عدد 3 بیتی را که دریافت میکند فقط در حالت فرد بودن آنرا در خروجی نمایش دهد و فرم ریاضی آنرا بنویسید:

طراحی شماره 9) مدار را طراحی کنید که هر عدد 2 بیتی را که دریافت کند فقط در صورتی آن را در خروجی نمایش دهد که از عدد 2 بزرگتر باشد و فرم جبر بولی آنرا بنویسید:

طراحی شماره 10) مدار را طراحی کنید که هر عدد 3 بیتی را که دریافت کند فقط در صورتی آن را در خروجی نمایش دهد که از عدد 5 بزرگتر باشد و فرم جبر بولی آنرا بنویسید:

طراحی شماره 11) مقایسه گری را طراحی کنید که پس از دریافت دو عدد 2 بیتی , فقط در صورتی آن را در خروجی نمایش دهد که دو عدد با هم برابر باشند و فرم ریاضی آنرا بنویسید:

طراحی شماره 12) مداری را طراحی کنید که هر عدد 2 بیتی را که دریافت کند , 3 واحد به آن اضافه کند و خروجی آنرا نمایش دهد و فرم ریاضی آنرا بنویسید:

طراحی شماره 13) مداری را طراحی کنید که 3 بیت را دریافت کند و
بیت اول و دوم را با هم جمع کرده و از بیت سوم کم کند:

بیت سوم C= بیت دوم B= بیت اول A=

طراحی شماره 14) مداری را طراحی کنید دو عدد 3بیتی را که دریافت میکند با یکدیگر مقایسه کرده . اگر با هم برابر بودند عدد صفر و اگر بزرگتر بود عدد 1 و اگر کوچکتر بود عدد 2 را نمایش دهد..

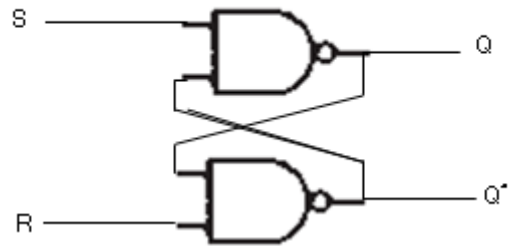
فصل سوم :

آشنایی با مدارهای ترتیبی

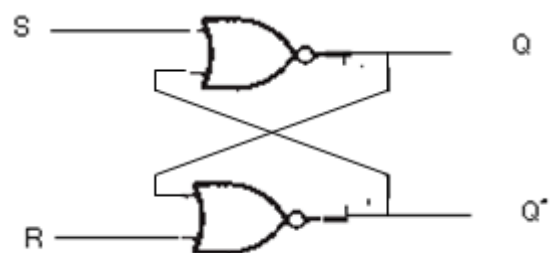
- آشنایی با فلیپ فلاپ

- آشنایی با مولتی پلکسر

آزمایش 17) فلیپ فلاپها (R – S)



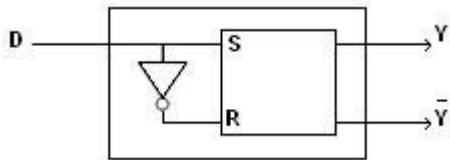
S	R	Q	Q [*]
1	0		
1	1		
0	1		
1	1		
0	0		



S	R	Q	Q [*]
1	0		
1	1		
0	1		
1	1		
0	0		

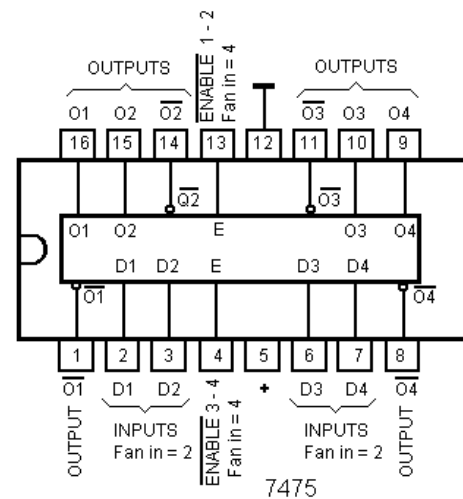
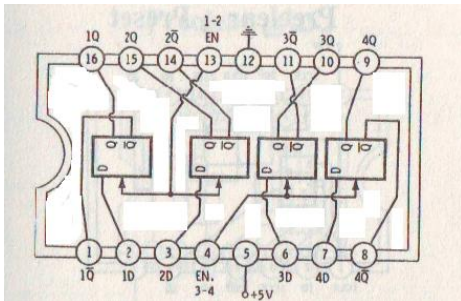
آزمایش 18) فلیپ فلاپه نوع D

فلیپ فلاپ D



مدار داخلی یک فلیپ فلاپ D

این مدار تاخیر دهنده شبیه به یک عنصر تاخیر دهنده ساعت عمل می کند به این ترتیب که هر ورودی به آن می دهیم در یک فاصله زمانی مشخصی بعداً همان ورودی را به صورت خروجی دریافت می کنیم. از این رو این فلیپ فلاپ را فلیپ فلاپ تاخیر (Delay) می نامند. این فلیپ فلاپ یک ورودی به نام D دارد .



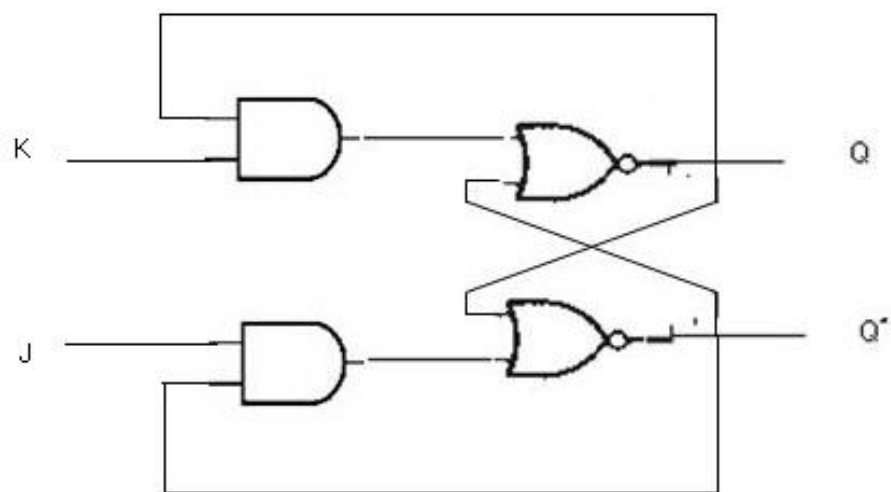
جدول زیر را تکمیل کنید:

D	E	Q	Q'
0	0		
0	1		
1	0		
1	1		

سوال 1) نقش پایه E را بیان کنید؟

سوال 2) مزایای فلیپ فلاپ نوع D را بیان کنید؟

آزمایش شماره 19) فلیپ فلاپ نوع J-K



جدول زیر را تکمیل کنید:

Q	J	K	Q(t+1)
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

شیفت رجیسترها

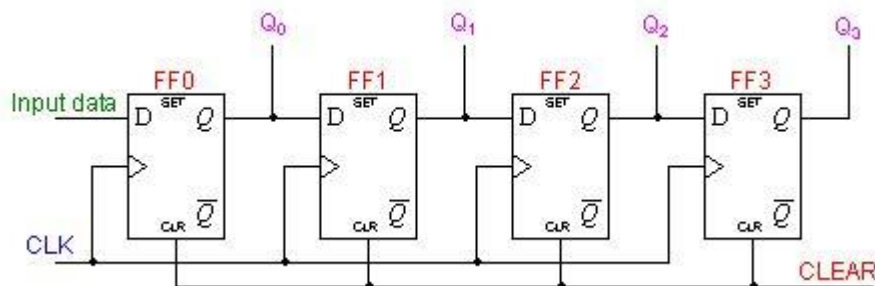
شیفت رجیسترها نوعی از مدارات منطقی ترتیبی هستند که اطلاعات دیجیتال را ذخیره می کنند. شیفت رجیسترها مجموعه ای از یک سری فلیپ فلاپ هستند که به صورت یک زنجیره به یکدیگر متصل می گردند. خروجی هر **FF** به عنوان ورودی **FF** بعدی است. همه **FF** ها از کلاک مشترک استفاده می کنند و به طور همزمان **SET** یا **RESET** می شوند. کاربرد اصلی شیفت رجیسترها در تاخیرهای زمانی، ترکیب دیتای دیجیتال منطقی و تبدیل دیتای سریال به پارالل و برعکس هست.

شیفت رجیسترها انواع مختلفی دارند.

1. **SISO**: ورودی و خروجی به صورت سریال
2. **SIPO**: ورودی سریال و خروجی به صورت موازی
3. **PISO**: ورودی به صورت موازی و خروجی به شکل سریال
4. **PIPO**: ورودی و خروجی به شکل موازی
5. **Bidirectional**: شیفت رجیسترهای دو طرفه
6. **Shift Register Counters**: شمارنده های شیفت رجیستری

SIPO: ورودی سریال و خروجی به صورت موازی

برای این نوع شیفت رجیستر، بیت های دیتا به طور سریال با روشی یکسان مطابق حالت قبل وارد می شوند. تفاوت تنها در روش قرار گرفتن دیتا در خروجی است. هر بار که دیتا ذخیره می شود، هر بیت در خط خروجی مختص به خود ظاهر می گردد و همه بیت ها در یک زمان در دسترس هستند. یک ساختار از شیفت رجیستر 4 بیتی با ورودی سریال و خروجی موازی به صورت زیر است:



از میان آی سی های موجود، **74164** و **74595** رایج ترین شیفت رجیسترهای **SIPO** هشت بیتی هستند.

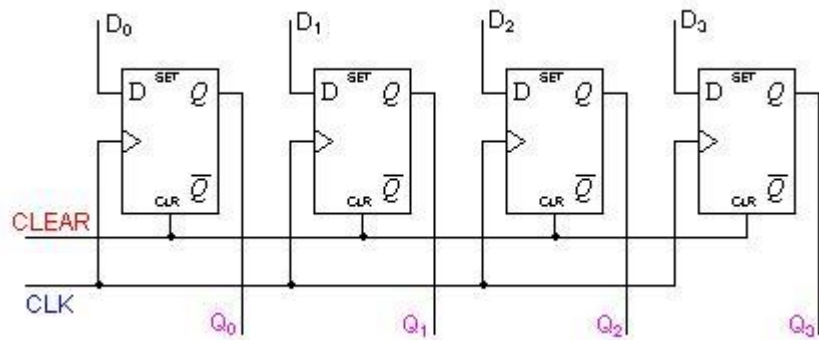
سوال 1) جدول صحت زیر را کامل کنید:

CLEAR	IN	Q3	Q2	Q1	Q0
0	0				
0	0				
0	0				
0	0				
0	1				
0	1				
0	1				
0	1				

آزمایش شماره 21) شیفت رجیستر PIPO

PIPO: ورودی و خروجی به شکل موازی

برای شیفت رجیستری با ورودی و خروجی موازی، همه بیت های دینا فورا با یک کلاک در خروجی ظاهر می شوند. شکل زیر ساختار این نوع شیفت رجیستر را که شامل فلیپ فلاپ های نوع D است نشان می دهد:

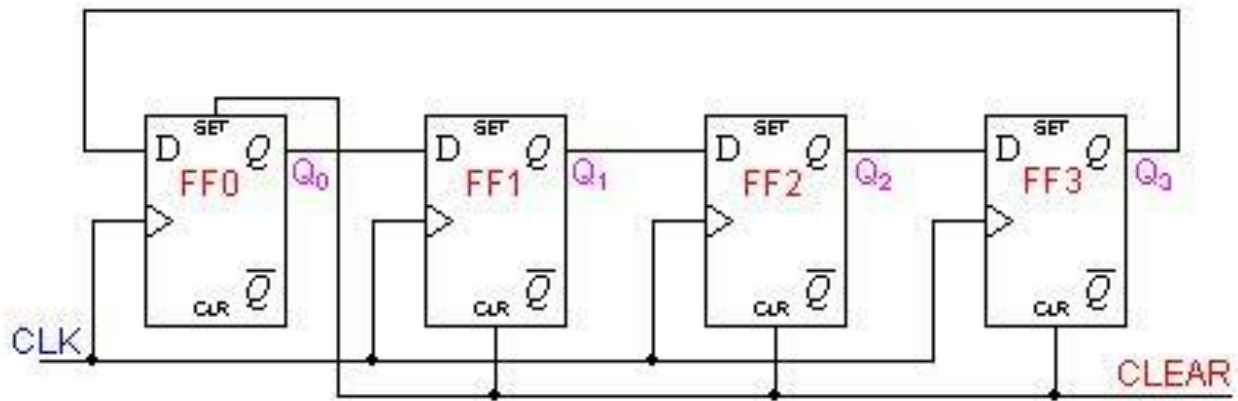


سوال 1) جدول صحت زیر را کامل کنید:

CLEAR	D3	D2	D1	D0	Q3	Q2	Q1	Q0
0	0	0	0	0				
0	0	0	0	1				
0	0	0	1	0				
0	0	0	1	1				
0	0	1	0	0				
0	0	1	0	1				
0	0	1	1	0				
0	0	1	1	1				
0	1	0	0	0				
0	1	0	0	1				

0	1	0	1	0				
0	1	0	1	1				
0	1	1	0	0				
0	1	1	0	1				
0	1	1	1	0				
0	1	1	1	1				

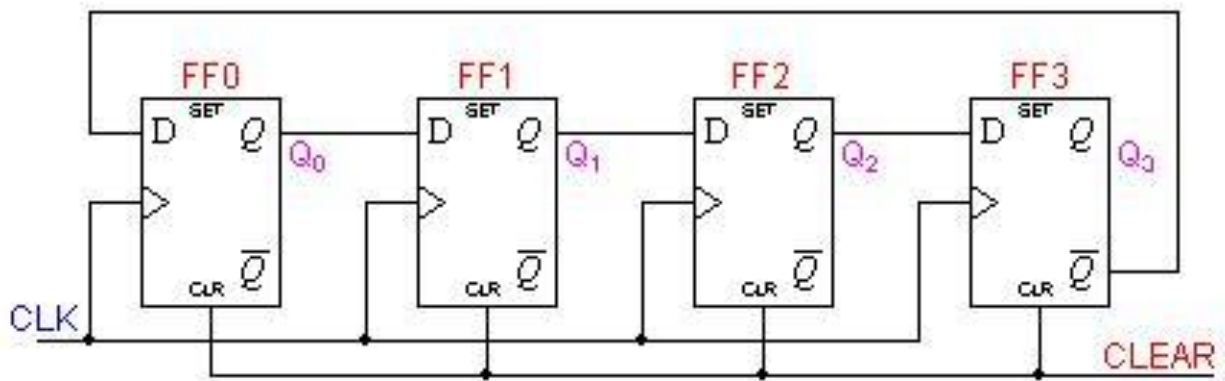
آزمایش شماره 22) شمارنده چرخشی



جدول صحت زیر را تکمیل کنید:

CLEAR	CLK	Q3	Q2	Q1	Q0
0	0				
0	1				
0	2				
0	3				
0	4				
0	5				
0	6				
0	7				
0	8				
0	9				
0	10				
0	11				
0	12				
0	13				
0	14				
0	15				

آزمایش شماره 23) شمارنده جانسون

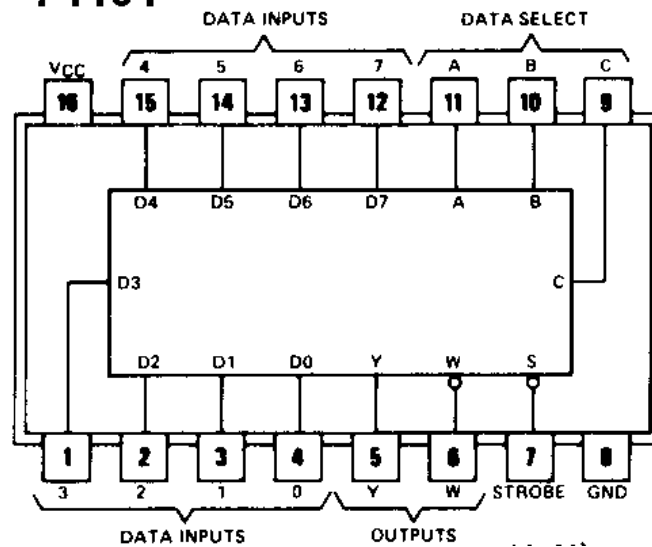


جدول صحت زیر را تکمیل کنید:

CLEAR	CLK	Q3	Q2	Q1	Q0
0	0				
0	1				
0	2				
0	3				
0	4				
0	5				
0	6				
0	7				
0	8				
0	9				
0	10				
0	11				
0	12				
0	13				
0	14				
0	15				

آزمایش شماره 24) آشنایی با مدار مولتی پلکسر

74151



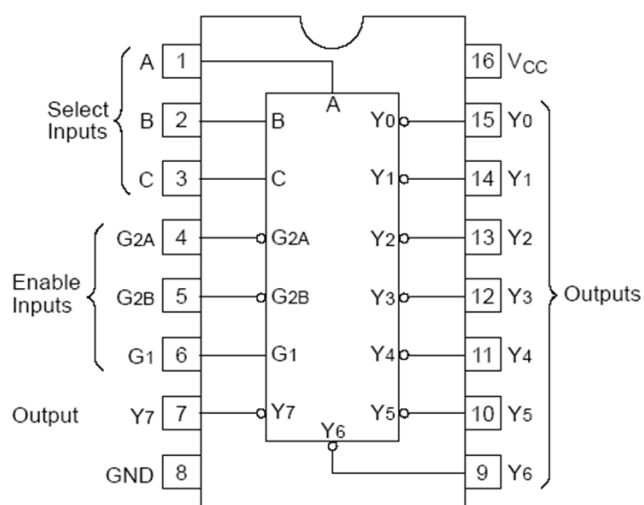
جدول داده شده را تکمیل کنید

D8	D7	D6	D5	D4	D3	D2	D1	D0	A	B	C	Y	W
1	0	1	0	1	0	1	0	1	0	0	0		
1	0	1	0	1	0	1	0	1	0	0	1		
1	0	1	0	1	0	1	0	1	0	1	0		
1	0	1	0	1	0	1	0	1	0	1	1		
1	0	1	0	1	0	1	0	1	1	0	0		
1	0	1	0	1	0	1	0	1	1	0	1		
1	0	1	0	1	0	1	0	1	1	1	0		
1	0	1	0	1	0	1	0	1	1	1	1		

سوال 1) فرم ریاضی مدار بالا را بیان کنید:

سوال 2) مدار مولتی پلکسر داده شده را با مدارات ترکیبی طراحی کنید:

آزمایش شماره 25) آشنایی با مدار دیکدر (3X8)



74138

سوال 1) جدول داده شده را تکمیل کنید :

G1	G2B	G2A	A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
1	0	0	0	0	0								
1	0	0	0	0	1								
1	0	0	0	1	0								
1	0	0	0	1	1								
1	0	0	1	0	0								
1	0	0	1	0	1								
1	0	0	1	1	0								
1	0	0	1	1	1								

سوال 2) نقش پایه فعال ساز را بیان کنید ؟