

Arhitektura i organizacija računara

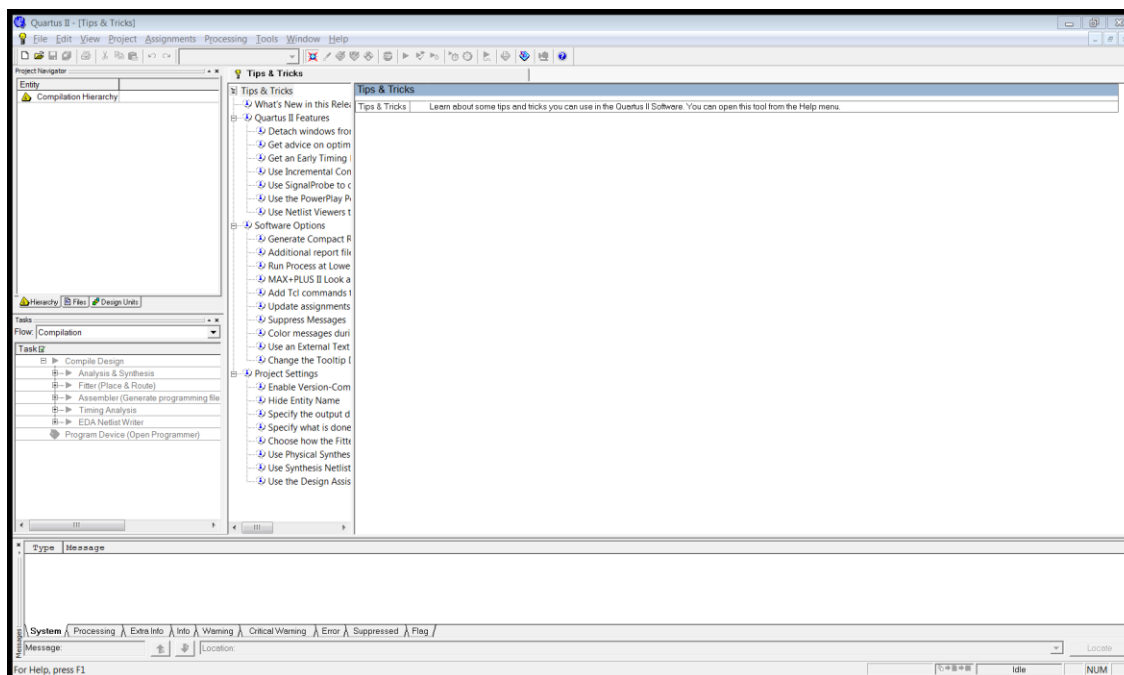
Priprema za laboratorijske vežbe 2,3 i 4

Uputstvo za Quartus II i Altera ModelSim

Ovaj tutorial predstavlja uvod u Quartus II CAD (Computer Aided design) softverski paket i Altera-Modelsim ekstenzije. Tutorial daje opšti pregled tipičnog CAD procesa za projektovanje elektronskih sistema, od kreiranja VHDL modela u Quartus II softveru, do njihove simulacije korišćenjem Altera-Modelsim i prikazuje kako se taj proces realizuje uz pomoć Quartus II i Altera ModelSim softverskih sistema. U tutorialu je opisano korišćenje jezika za opis hardvera VHDL, pri čemu se kôd kojim se opisuje sistem unosi korišćenjem tekst editora. Sintaksa VHDL i principi projektovanja su opisani na časovima računskih vežbi i neće biti opisivani u ovom dokumentu.

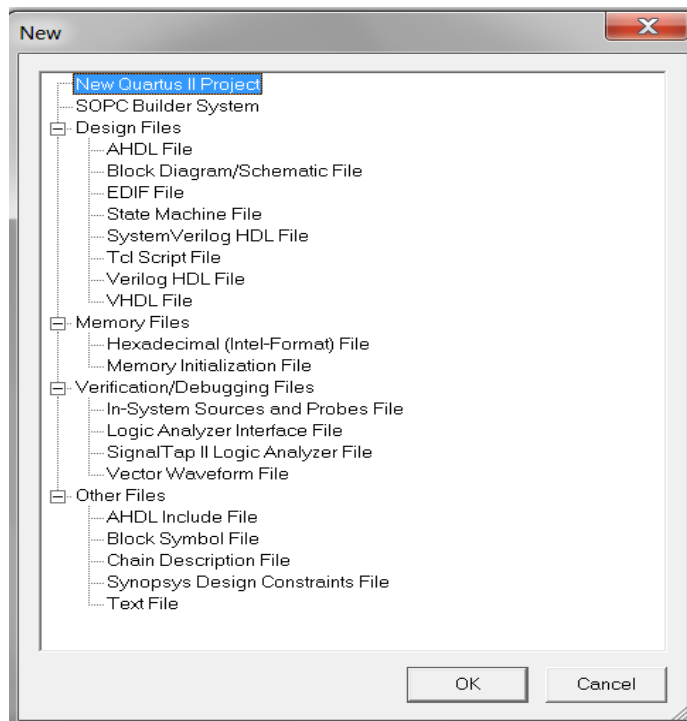
1.Kreiranje Quartus II projekta i prilagođavanje Modelsim dodatka.

U cilju kreiranja novog projekta i prilagođavanja istog Altera-Modelsim dodatku potrebno je najpre pokrenuti Quartus II softverski paket. Izgled Quartus II softverskog paketa dat je na slici 1.

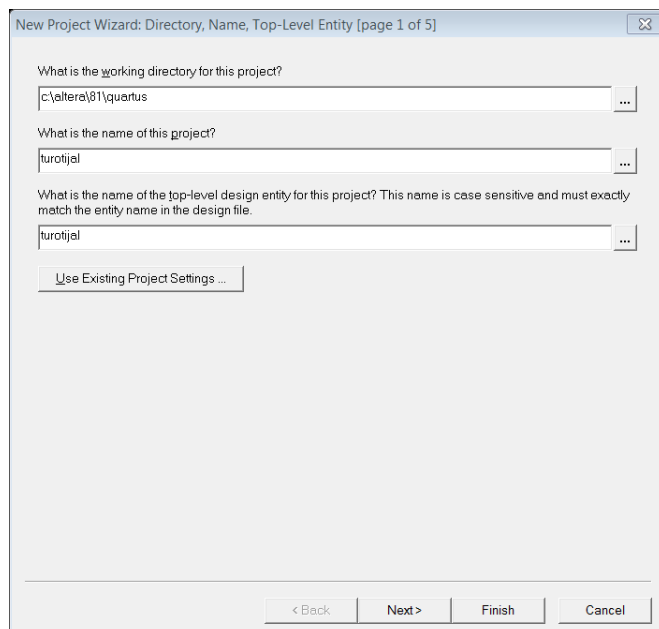


Slika 1: Početni dijalog Quartus II softverkog paketa.

Kako bi se kreirao novi projekat potrebno je odabrati **File->New**, pri čemu će se dobiti dijalog kao na slici 2. U otvorenom dijalogu potrebno je odabrati **New Quartus II Project** kao projekat koji želite kreirati. Nakon klika na **OK** dobija se dijalog kao na slici 3.

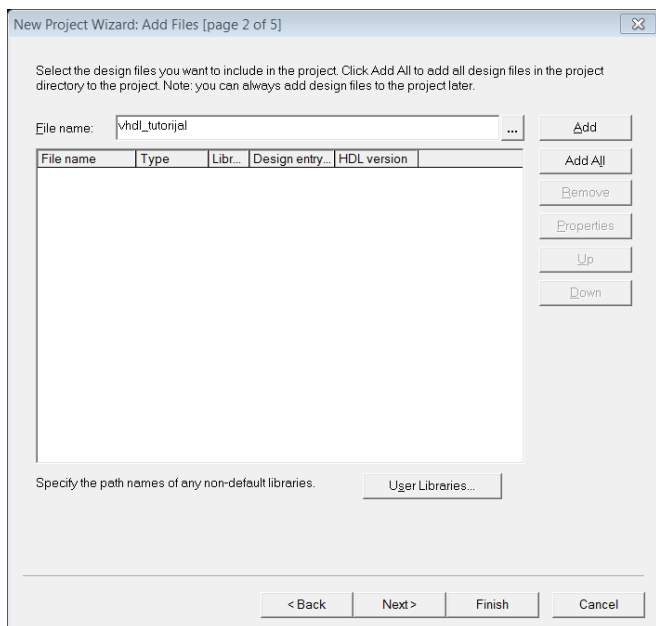


Slika 2: Kreiranje novog Quartus II projekta



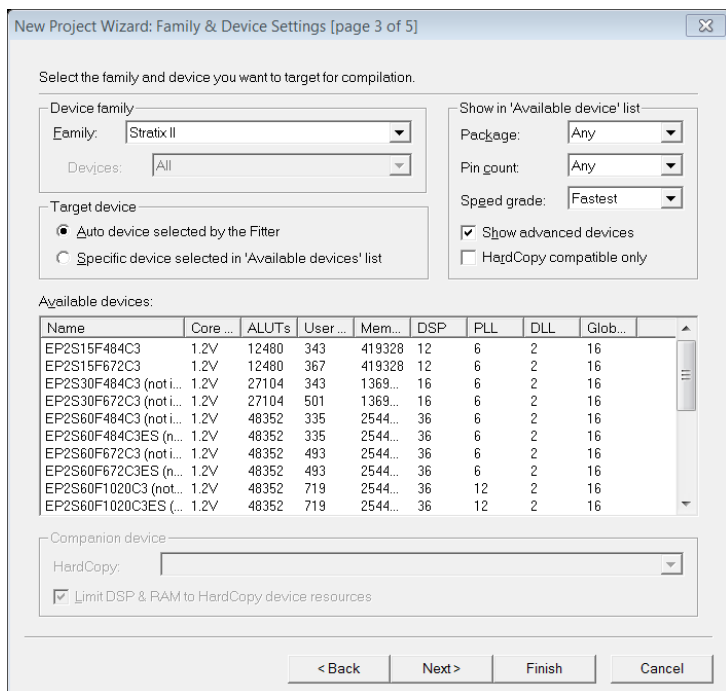
Slika 3: Izgled dijaloga za unos potrebnih informacija o nazivu projekta

U dijalogu prikazanom na slici 3 potrebno je izabrati lokaciju na kojoj će projekat biti zapamćen, kao i naziv projekta. Nakon unosa traženih informacija i klika na dugme *Next* otvara se novi dijalog kao na slici 4. U ovom dijalogu potrebno je uneti naziv fajla u kome će biti smešten VHDL opis.



Slika 4: Korak dva u unosu potrebnih informacija prilikom kreiranja novog projekta

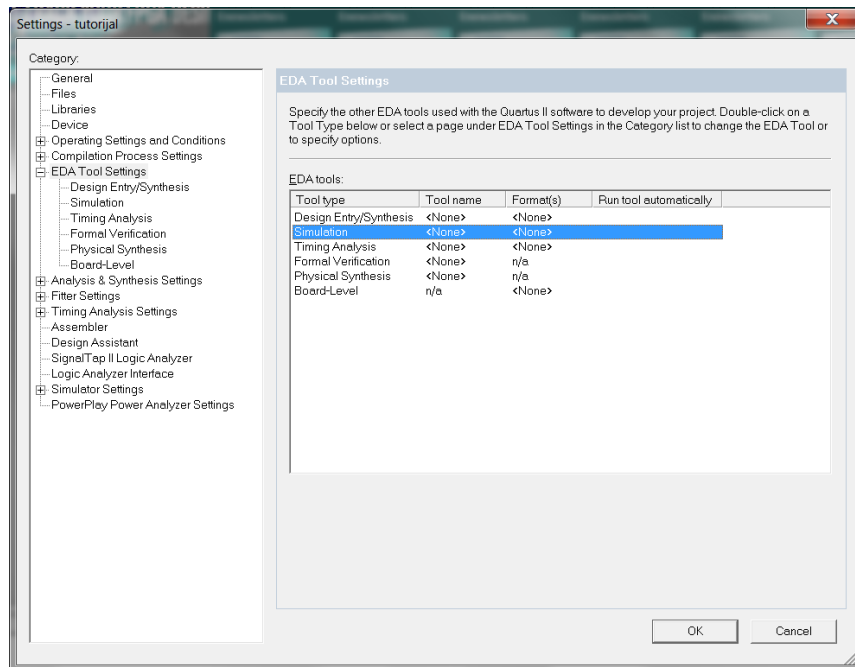
Nakon unosa naziva fajla i klika na dugme **Next** prelazi se na treći korak u wizard-u za kreiranje novog projekta (slika 5).



Slika 5: Izgled dijaloga u trećem koraku kreiranja novog projekta

Kako će se opisana kola samo simulirati, do kraja wizard-a se mogu ostaviti podrazumevane vrednosti.

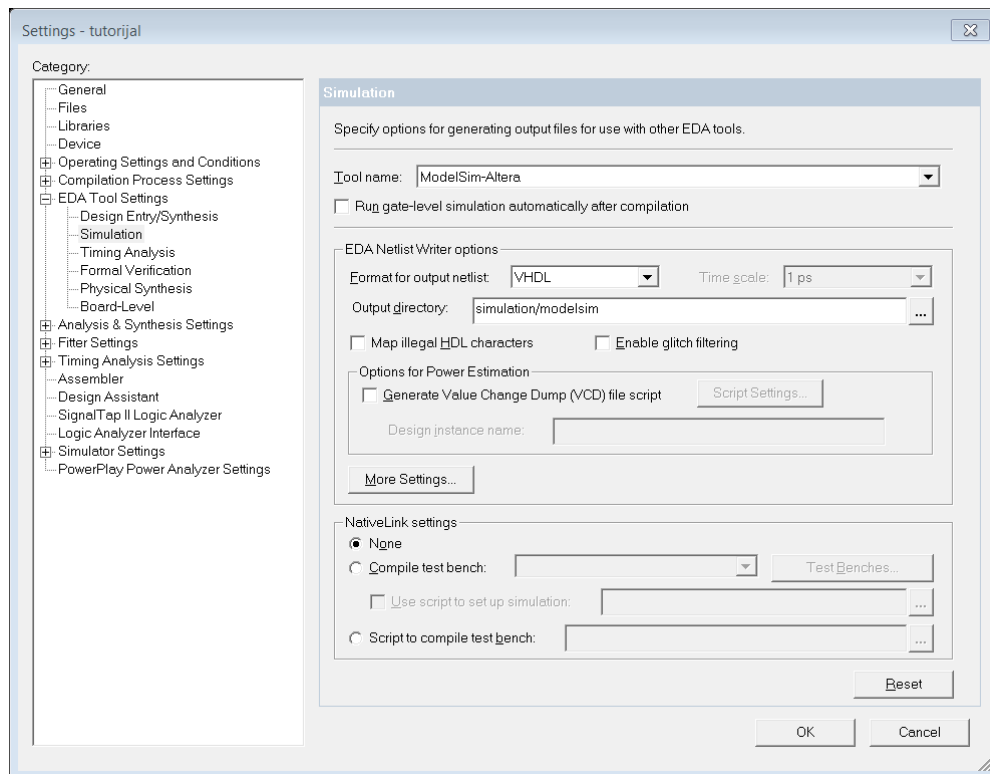
Nakon kreiranja novog projekta potrebno je konfigurisati Quartus da za simulaciju koristi dodatak ModelSim. Potrebna podešavanja se nalaze u dijalogu koji se dobija iz menija **Assignment>Settings>EDA Tools Settings**, kao što je prikazano na slici 6.



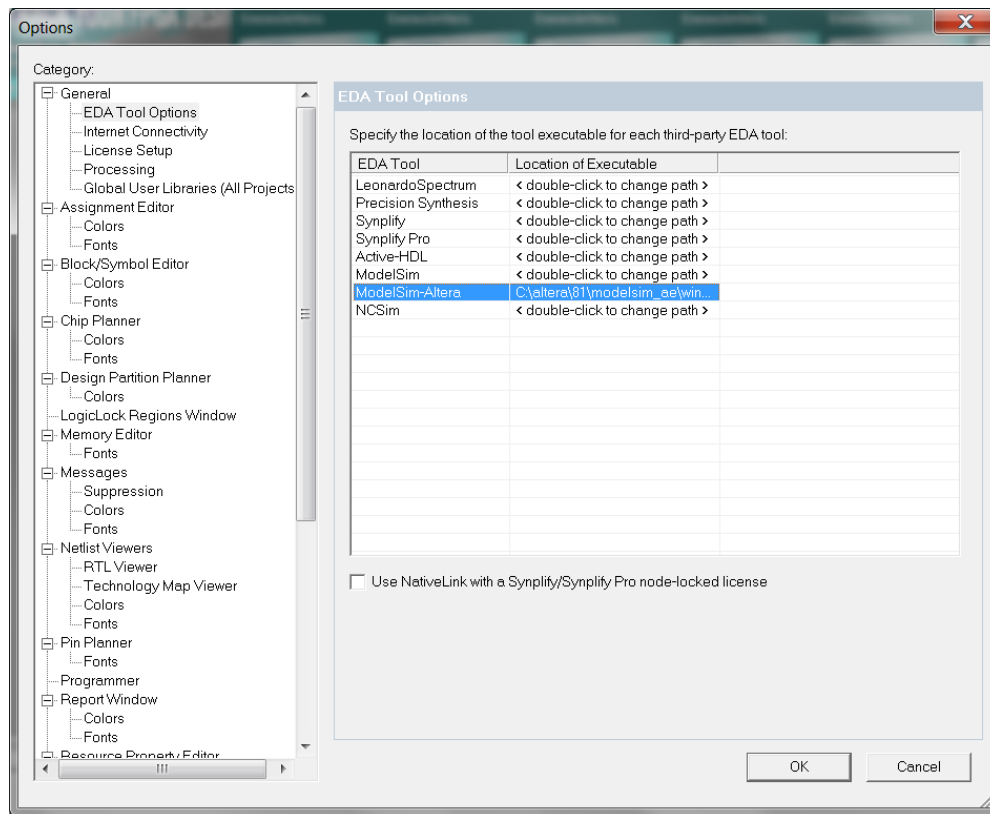
Slika 6: Početni koraci u konfiguirisanju Quartus II softverskog paketa korišćenjem Modelsima.

U okviru ovog dijaloga potrebno je za odabrani alat u vrsti *Simulation* i kolni *Tool name* izabrati „ModelSim- Altera“, kao što je prikazano na slici 7. Nakon odabira alata kliknuti najpre na **Apply**, pa zatim na **OK**.

Kako bi alat adekvatno radio, putanja do „ModelSim- Altera“ mora biti korektno podešena. Ukoliko je Quartus II instalirali sa dodatkom ModelSim-Altera putanja bi trebalo da bude slična onoj koja je navedena na slici 8 (**Tools>Options>General>EDA Tools Options**). Ukoliko putanja nije odgovarajuća potrebno je odabrati lokaciju na kojoj je instaliran ModelSim-Altera softver. Prilikom odabira putanje voditi računa da ona treba da pokazuje na „win32aloem“ folder.



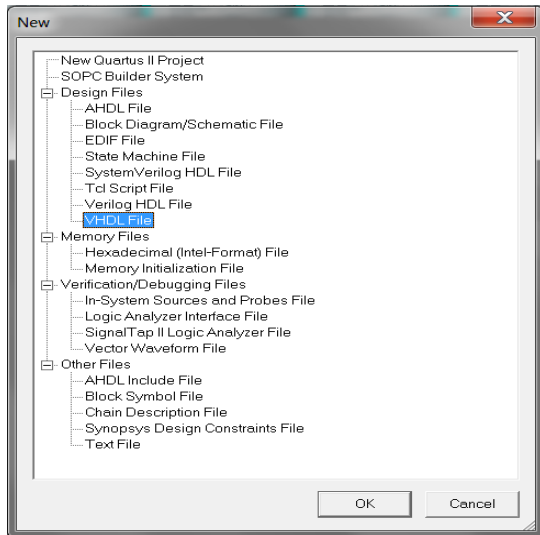
Slika 7: Izgled dijaloga za odabir ModelSim-Altera alata kao osnovnog alata za simulaciju



Slika 8: Izgled dijaloga za unos putanje do ModelSim-altera dodatka

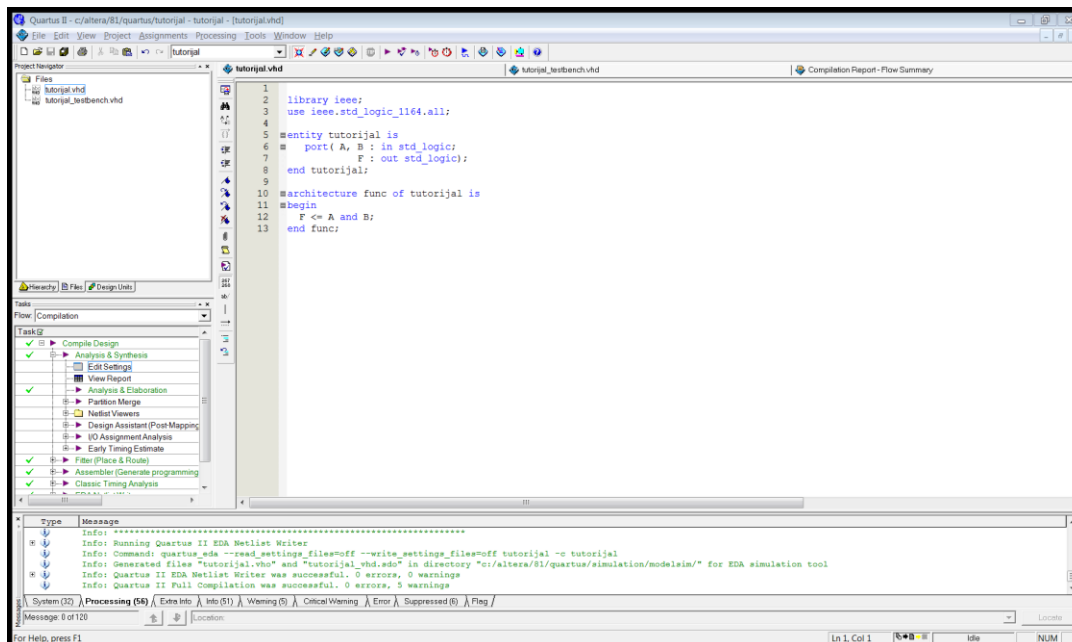
2. Kreiranje Top-Level Modula

U Quartus II softveru, projekat mora sadržati bar jedan dizajn, koji se naziva „Top-Level module“, i koji mora da nosi isto ime kao i projekat, i mora biti u fajlu sa istim imenom i ekstenzijom „.v“ ili „.vhd“. Za kreiranje praznog fajla treba izabrati opcije iz menija i dijaloga **File>New...>Design Files>VHDL file** (slika 9).



Slika 9: Kreiranje Top-Level modula

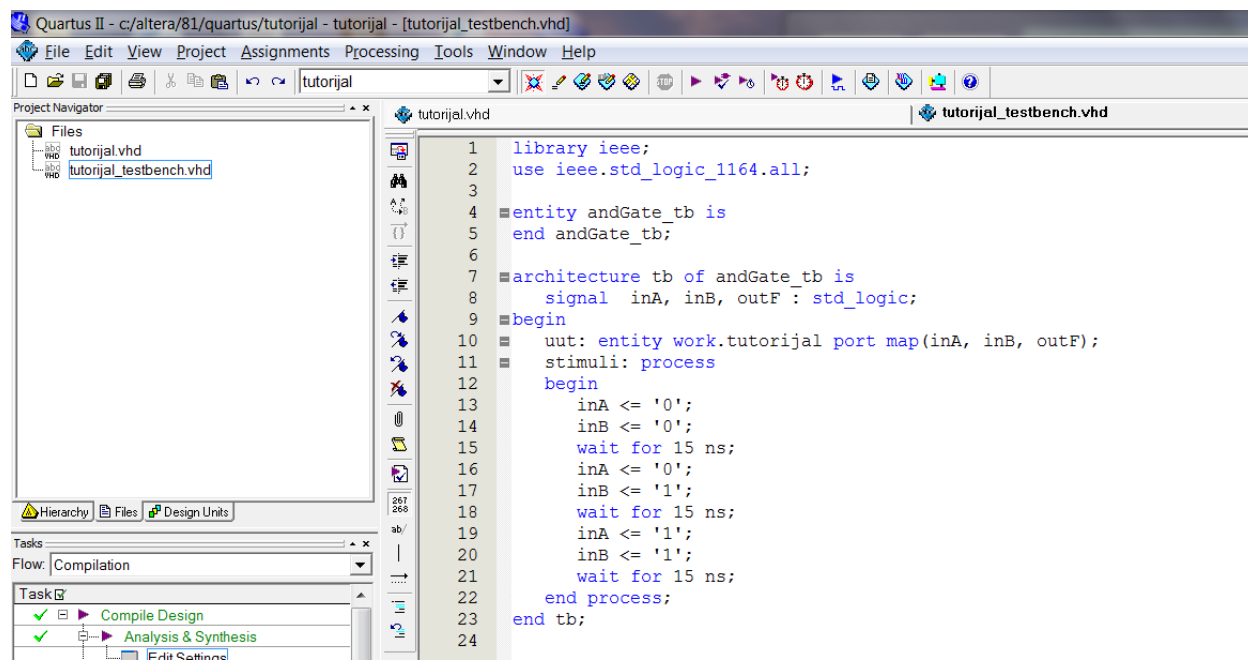
Šablonski primer Top-Level modula prikazan je na slici 10. Sa slike se može videti da se projekat zove „tutorijal“, što je takođe i naziv Top-Level Module-a, koji se nalazi u fajlu „tutorijal.vhd“.



Slika 10: Šematski prikaz Top-Level Modul-a

3. Kreiranje UUT (Unit Under Test) i Testbench-a

Nakon podešavanja Top-Level modula potrebno je uneti VHDL opis komponente (komponentata) koje čine dizajn. Iako se opisi svih komponentata mogu nalaziti u istom fajlu kao i Top-Level modul, praktičnije je svaku komponentu smeštati u poseban fajl. Da bi se komponenta testirala, potrebno je kreirati testbench za željenu. Testbench je još jedan .vhd fajl koji se kreira na isti način kao i Top-Level modul. Primer jednostavnog testbench-a može se videti na slici 11.

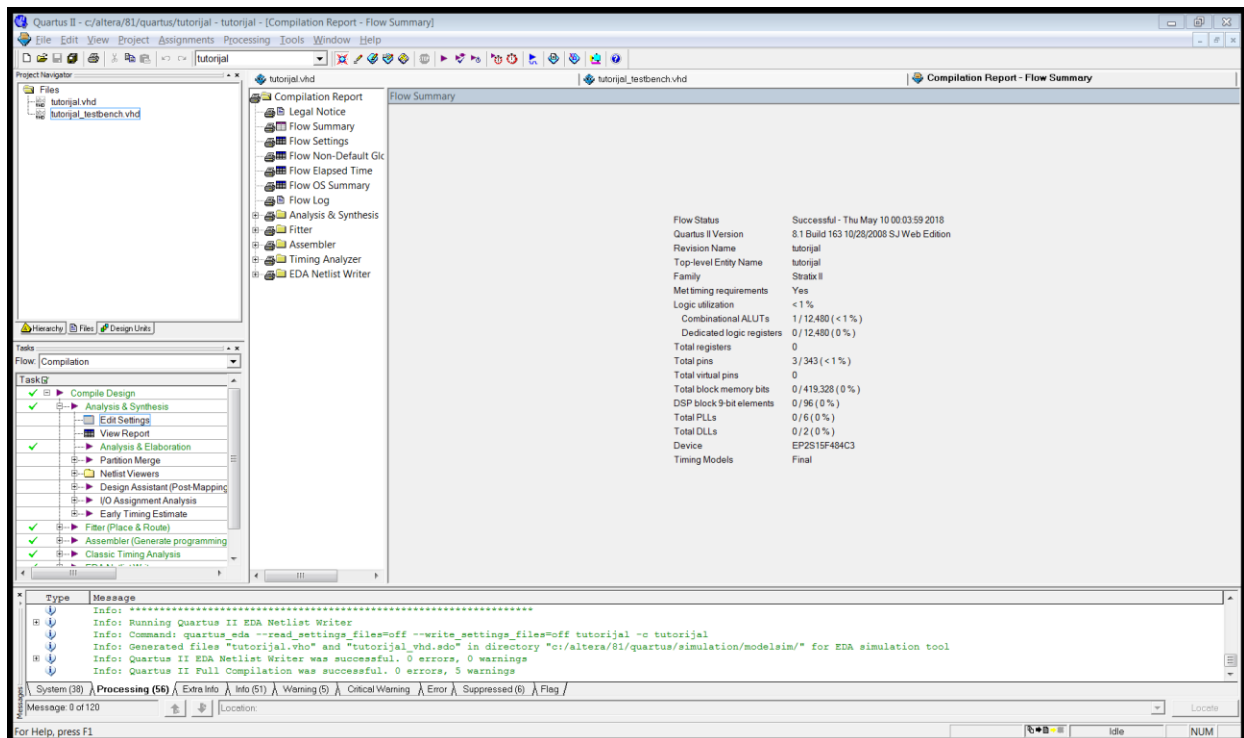


Slika 11: Primer testbench koda

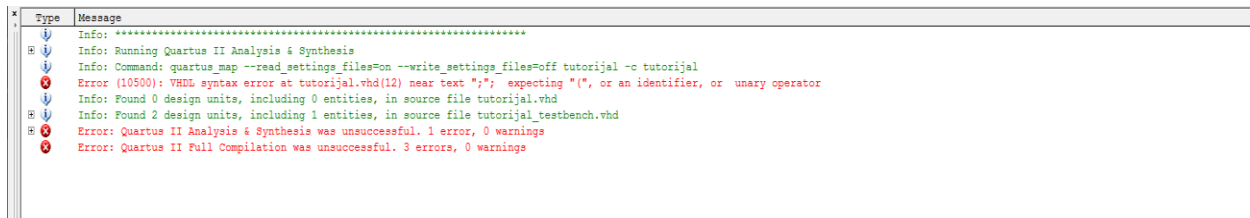
Komponenta i testbench se kompajliraju opcijom menija **Processing>Start Compilation**. Nakon odabira ove opcije kompilacija prolazi kroz niz faza čiji se napredak prikazuje u prozoru sa leve strane Quartus II ekrana. Nakon uspešne ili bezuspešne kompilacije pojavljuje se pop-up prozor. Aktivirati **OK**, nakon čega se prikazuje prozor kao sa slike 12. Na dnu ekrana prikazane se različite poruke, gde će u slučaju greške biti ispisana odgovarajuća poruka. Po završetku kompilacije automatski se prikazuje prozor sa izveštajem kao na slici 12.

Quartus II softver prikazuje poruke u toku komajliranja i prikazuje ih u prozoru za poruke kao na slici 13. Ako je VHDL fajl korektno napisan, biće ispisana poruka o uspešnoj kompilaciji, a u suprotnom će biti ispisana poruka o grešci sa odgovarajućim sadržajem. Dupli klik mišem na poruku će obeležiti deo VHDL koda u text editor u kome se javio problem. Detalje poruke moguće je videti odabirom poruke iz prozora za poruke, a zatim aktiviranjem tastera F1.

Ukoliko je kompilacija uspešna može se preći na sledeći korak. U nekim slučajevima za uspešno izvršenje kompilacije potrebno je postaviti neke ulazne i izlazne portove u Top-Level Module-u. Ovo se praktično radi kako bi Quartus II mogao da obavi kompilaciju. Ovi portovi se naravno kasnije mogu promeniti ukoliko je to potrebno.



Slika 12: Izgled dijaloga nakon kompajliranja

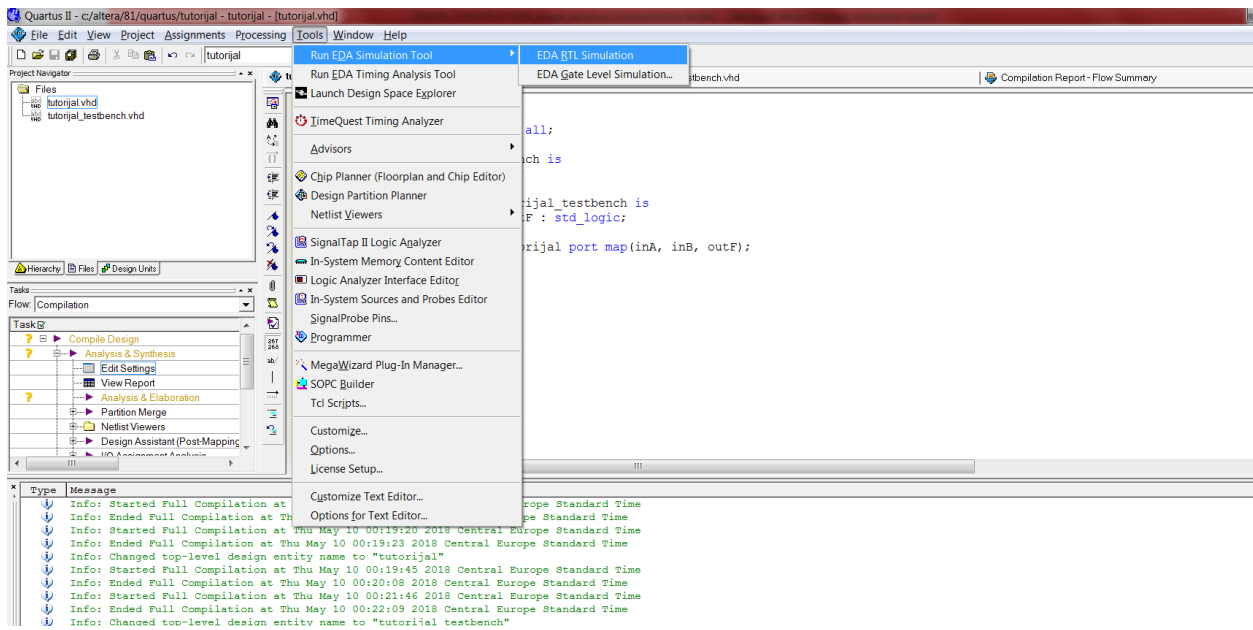


Slika 13: Izgled dela prozora u kome se prikazuju poruke o greškama pri kompajliranju

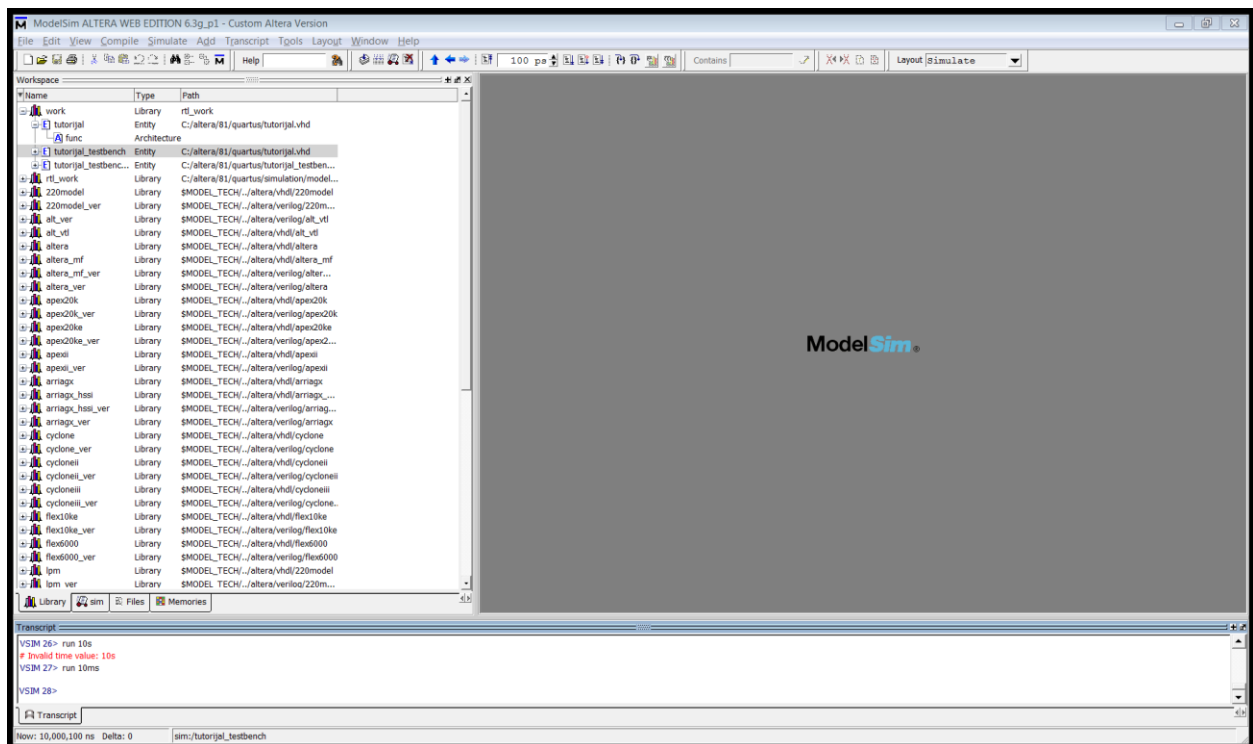
4. Otvaranje Altera-Modelsim-a

Nakon uspešne kompilacije, moguće je pokrenuti simulaciju korišćenjem Altera-ModelSim-a. Za otvaranje Altera-ModelSim potrebno je odabrati **Tools>Run EDA Simulation Tool>EDA RTL Simulation**, kao što je prikazano na slici 14. Nakon ovoga trebalo bi da se otvori ModelSim dodatak. Izgled ModelSim dodatka prikazan je na slici 15.

Modelsim kreira WORK biblioteku i u nju smešta sve prethodno kompajlirane VHDL modele iz Quartus-a. Takođe postavlja i radni direktorijum tako da on bude ModelSim direktorijum tekućeg projekta.



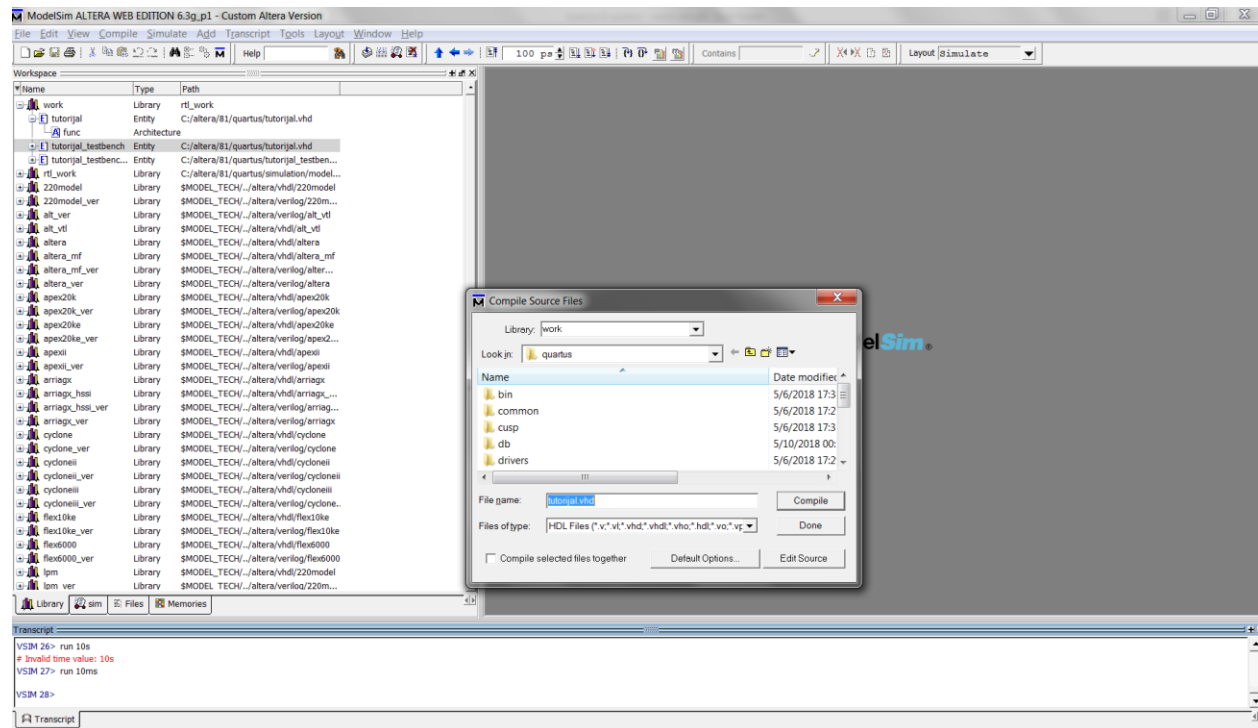
Slika 14: Pokretanje Modelsim dodatka iz Quartus II softverskog paketa



Slika 15: Izgled Modelsim dodatka

4. Kompajliranje UUT-a i Testbench-a

Module i testbench je neophodno ponovo kompajlirati u ModelSim-u. Za kompajliranje neophodno je iz *Compile* menija ModelSim dodatka izabrati *Compile...*, a zatim pronaći u fajl sistemu i izabrati fajlove koji sadrže VHDL opis komponente koja se simulira, i testbench. Nakon odabira fajla, klik na *Compile*, pokreće kompajliranje koda. Nakon završenog kompajliranja, potrebno je kliknuti na dugme *Done*, kao što je prikazano na slici 16. U work biblioteci (sa leve strane ekrana) sada treba da se nalaze moduli komponente koja se simulira i testbench-a.



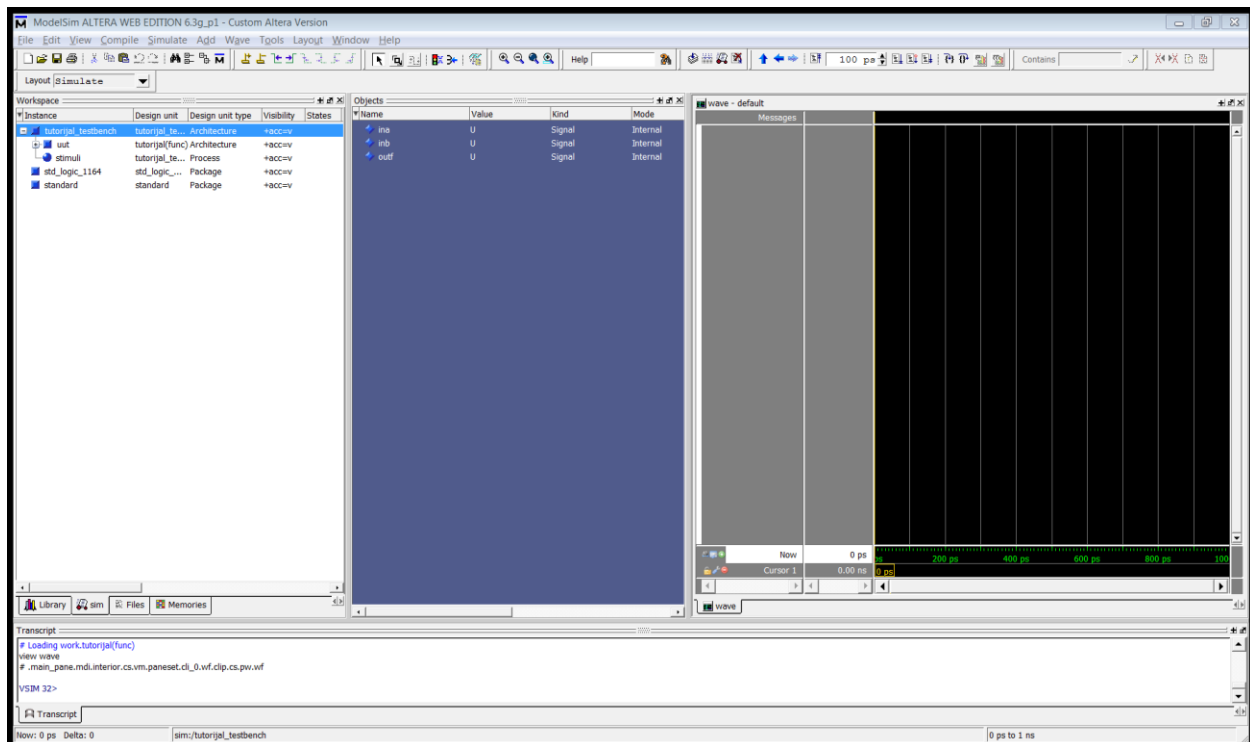
Slika 16: Izgled dijaloga prilikom kompajliranja u Modelsim dodatku

6. Simulacija

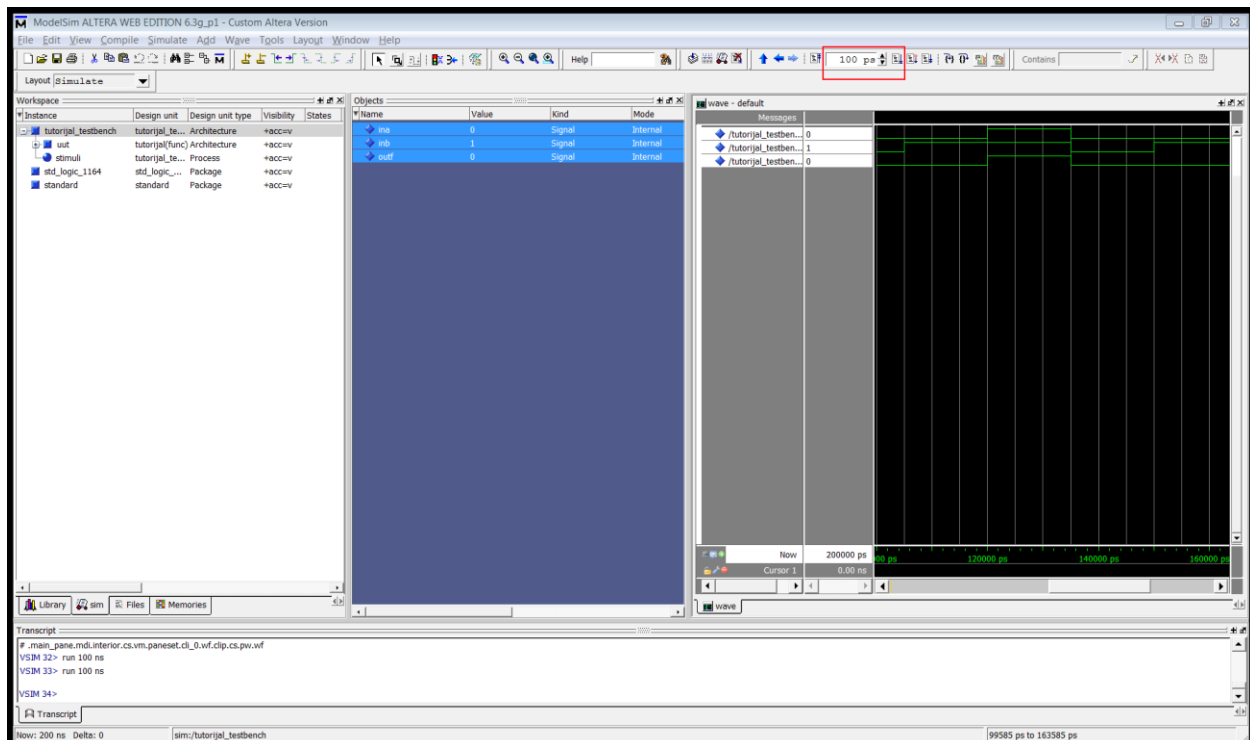
Simulaciju je moguće pokrenuti desnim klikom na testbench modul i odabirom *Simulate* opcije, ili dvoklikom na testbench modul, pri čemu se dobija izgled ekrana kao na slici 17.

Nakon pokretanja simulacije, potrebno je izabrati signale čiji će se talasni oblik grafički prikazivati: desni klik na signal->Add to wave->Selected signals.

Pokretanje simulacije vrši se izborom trajanja simulacije a zatim klikom na dugme Run (uokvireno crvenim na slici 18).



Slika 17: Izgled dijaloga Modulsim dodatka prilikom pokretanja kompajliranja



Slika 18: Izgled dijaloga nakon pokrenute simulacije

Simulacija rada komponente može se pratiti pomoću talasnih oblika. U cilju praćenja talasnih oblika potrebno je postaviti adekvatan nivo zuma (tasteri + i - na numeričkoj tastaturi).