

ARHITEKTURA I ORGANIZACIJA RAČUNARA

MEMORIJSKI SISTEM (2)

UNUTRAŠNJA MEMORIJA

VRSTE POLUPROVODNIČKIH MEMORIJA

Врста меморије	Категорија	Брисање	Механизам уписивања	Постојаност
Меморија са случајним приступом (RAM)	Меморија за читање и уписивање	Електрично на нивоу байта	Електрично	Непостојана
Меморија само за читање(ROM)	Меморија само за читање	Није могуће	Маске	
Програмабилна ROM меморија (PROM)				
Избрисива PROM меморија (EPROM)	Меморија углавном за читање	UV светлост, на нивоу чипа	Електрично	Постојана
Електрично избрисива PROM меморија (EEPROM)		Електрично, на нивоу байта		
Флеш меморија		Електрично, на нивоу блока		

POLUPROVODNIČKA GLAVNA MEMORIJA

* RAM (*random access memory*)

- Za čitanje/upisivanje
- Nepostojan sadržaj (gubi se prestankom napajanja električnom energijom)
- Privremeno skladište
- Statička ili dinamička

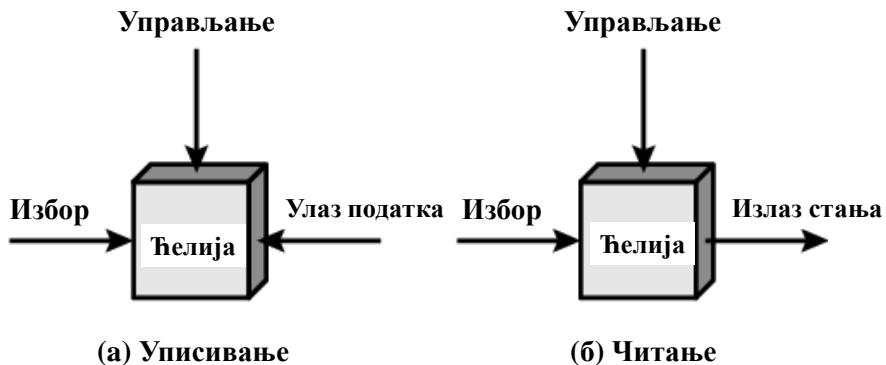
MEMORIJSKA ĆELIJA

* Osnovni element poluprovodničke memorije

* Razne tehnologije, zajedničke osobine:

- Imaju 2 stabilna stanja, za predstavljanje binarnih cifara 1 i 0;
- U njih može da se upisuje (bar jednom) kako bi uspostavile stanje;
- Iz njih može da se čita kako bi se saznalo njihovo stanje.

RAD MEMORIJSKE ĆELIJE



RAD MEMORIJSKE ĆELIJE

- **3 funkcionalna terminala, mogu da nose električni signal.**
- **Terminal za izbor:** služi za biranje memorijске ćelije za operaciju čitanja ili upisivanja.
- **Upravljački terminal:** ukazuje na čitanje ili upisivanje.
- **Za upisivanje:** drugi terminal obezbeđuje električni signal kojim se stanje ćelije postavlja na 1 ili 0.
- **Za čitanje:** taj terminal se koristi za izlaz stanja ćelije.

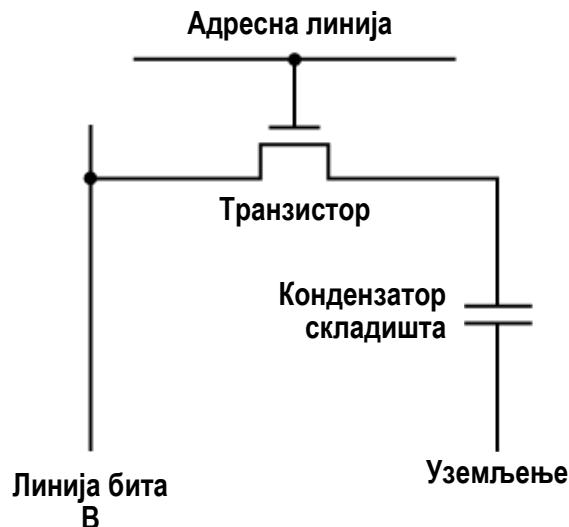
DINAMIČKA RAM (DRAM) MEMORIJA

- * Bitovi se skladište kao nanelektrisanja u kondenzatorima
- * Nanelektrisanja vremenom slabe
- * Potrebno osvežavanje čak i pod napajanjem
- * Jednostavnija konstrukcija

DINAMIČKA RAM (DRAM) MEMORIJA

- * Manja po bitu
- * Jeftinija
- * Potrebna elektronska kola za osvežavanje
- * Sporija
- * Koristi se za glavnu memoriju
- * U suštini analogna
 - Nivo nanelektrisanja određuje vrednost

STRUKTURA DINAMIČKE RAM (DRAM) MEMORIJE



RAD DRAM MEMORIJE

* **Adresna linija je aktivna kada se bit čita ili upisuje**

- Транзисторски прекидаč затворен (стрја "тече")

* **Upisivanje**

- Напон на линији бита

➢ Висок за 1, низак за 0

- Затим сигнал на адресној линији

➢ Премеса наелектришане на кондензатор

RAD DRAM MEMORIJE

* Čitanje

- Bira se adresna linija
 - tranzistor se uključuje
- Naelektrisanje iz kondenzatora se preko linije bita dovodi na sens pojačavač
 - Poredi se sa referentnom vrednošću da se odredi 0 ili 1
- Naelektrisanje kondenzatora mora da se obnovi

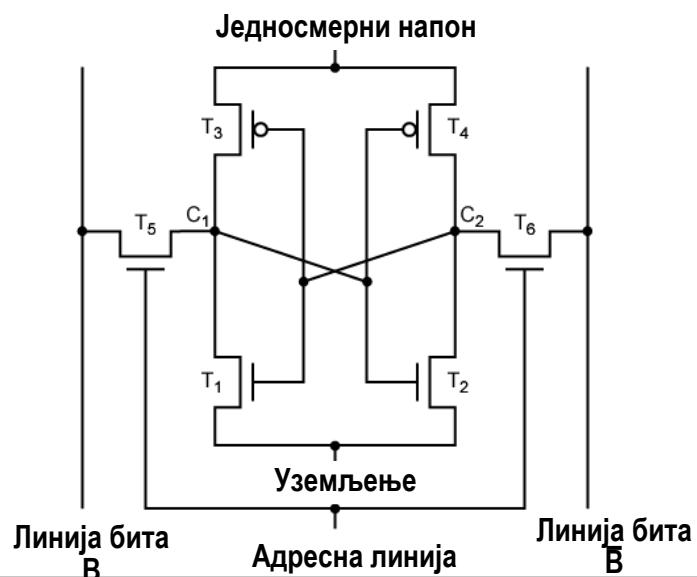
STATIČKA RAM MEMORIJA

- * Bitovi se skladište kao uključeni/isključeni prekidači
- * Nema nestajanja naelektrisanja
- * Nema potrebe za osveženjem pod napajanjem
- * Složenija konstrukcija

STATIČKA RAM MEMORIJA

- * Veća po bitu
- * Skuplja
- * Nisu potrebna elektronska kola za osvežavanje
- * Brža
- * Za keš memorije
- * Digitalna
 - koristi flip-flopove

STRUKTURA STATIČKE RAM MEMORIJA



RAD STATIČKE RAM MEMORIJE

* Tranzistorski aranžman daje stabilno logičko stanje

* Stanje 1

- C1 visok, C2 nizak napon
- T1 T4 isključeni, T2 T3 uključeni

* Stanje 0

- C2 visok, C1 nizak napon
- T2 T3 isključeni, T1 T4 uključeni

RAD STATIČKE RAM MEMORIJE

* Adresna linija tranzistora T5 T6 je prekidač

* Upisivanje – dovede se vrednost na B i komplement na \bar{B}

* Čitanje – vrednost je na \bar{B} (komplement B)

SRAM prema DRAM memoriji

- **Obe su nepostojane**
 - Potrebno je napajanje da bi se sačuvali podaci
- **Dinamička čelija**
 - Jednostavnija za izradu, manja
 - Gušća
 - Jeftinija
 - Potrebno osvežavanje sadržaja
 - Veće memorijske jedinice
- **Statička čelija**
 - Brža
 - Pogodna za keš memoriju

MEMORIJA SAMO ZA ČITANJE (ROM)

- * **Stalna memorija**
 - Trajno skladištenje sadržaja
- * **Mikroprogramiranje**
- * **Bibliotečki potprogrami**
- * **Sistemski programi (BIOS)**
- * **Tabele funkcija**

VRSTE ROM MEMORIJE

- **Upisivanje za vreme proizvodnje**

- ROM (read only memory)
- Veoma skupo za male količine

- **Programabilne (jednom)**

- PROM (programmable ROM)
- Potrebna specijalna oprema da bi se programirale

VRSTE ROM MEMORIJE

- **Za čitanje "uglavnom"**

- **Izbrisive programabilne (EPROM)**

- Mogu se brisati i ponovo programirati
 - Brišu se pomoću UV svetlosti

- **Električno izbrisive (EEPROM)**

- Moguće je vršiti selektivno brisanje (na nivou reči) i ponovno programiranje
 - Upisivanje traje mnogo duže od čitanja

- **Fleš memorija**

- Cela memorija se briše električno

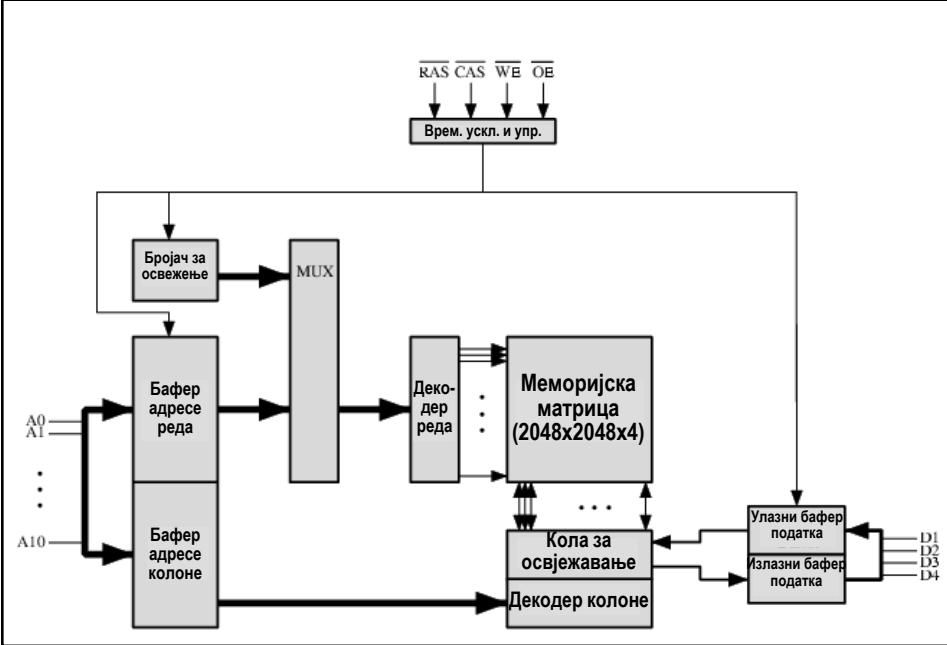
LOGIKA ČIPA

- **Poluprovodnička memorija dolazi u pakovanim čipovima, pri čemu svaki čip sadrži matricu memorijskih ćelija.**
- **Ključno pitanje projektovanja memorijskih čipova: broj bitova podataka koji mogu da se čitaju/upisuju istovremeno.**
- **Dve krajnosti organizacije memorijskih čipova:**
 - Fizički raspored ćelija u nizu isti kao logički raspored reči u memoriji (kako ih vidi procesor). Niz se organizuje u W reči, svaka od po B bitova.
 - Organizacija jednog bita po čipu, u kojoj se podatak čita/upisuje po jedan bit istovremeno.

* **16-Mbitni čip može da se organizuje kao matrica $2048 \times 2048 \times 4$ bita**

- Smanjuje se broj adresnih pinova
 - Multipleksiraju se adrese redova i kolona
 - Za adresiranje je potrebno 11 pinova
 $(2^{11} = 2048)$
 - Dodavanje još jednog pina udvostručuje opseg vrednosti, odnosno $\times 4$ kapacitet

Tipična DRAM memorija od 16 Mb (4M x 4)



Organizacija

* 4 bita se čitaju ili upisuju istovremeno.

* Logički, memorija je organizovana u 4 matrice od po 2048 x 2048 elemenata.

* Elementi matrica povezani su horizontalnim (redovi) i vertikalnim (kolone) linijama. Svaka horizontalna linija povezuje se sa terminalom **Select** svake ćelije u svom redu; svaka vertikalna linija povezuje se sa terminalom **Data-In/Sense** svake ćelije u svojoj koloni.

Adresiranje

- * Adresne linije obezbeđuju adresu reči koja treba da se izabere. Potrebno je ukupno $\log_2 W$ linija, 11 linija da bi se izabrao jedan od 2048 redova.
- * Tih 11 linija se uvode u dekoder reda, koji ima 11 ulaznih i 2048 izlaznih linija.
- * Dekoder aktivira samo 1 od 2048 izlaza, u zavisnosti od bitova na 11 ulaznih linija.
- * Pomoću dodatnih 11 linija bira se 1 od 2048 kolona od po 4 bita po koloni.

PODACI

- 4 linije podataka za ulaz i izlaz od 4 bita u bafer podataka i iz njega.
- Na ulazu (upisivanje) aktivira se drajver bita svake linije bita za 0 ili 1, prema vrednosti odgovarajuće linije podataka.
- Na izlazu (čitanje), vrijednost svake linije bita propušta se kroz *sens* pojačavač i predstavlja na linijama podataka. Pomoću linije reda bira se koji red ćelija se koristi za čitanje ili upisivanje.
- S obzirom na to da se samo 4 bita čitaju/upisuju u tu DRAM memoriju, mora da postoji više DRAM memorija povezanih sa memorijskim kontrolerom da bi se čitala/upisivala riječ podataka na magistralu.

UŠTEDA PINOVA – SLOŽENO UPRAVLjANjE

- **Ušteda: samo 11 adresnih linija (A0 – A10), što je 1/2 broja za matricu od 2048 x 2048.**
- **Zahtevane 22 adresne linije propuštaju se kroz logiku za izbor izvan čipa i multipleksuju na 11 adresnih linija.**
 - Prvo se 11 adresnih signala propušta na čip (adresa reda), a zatim drugih 11 signala (adresa kolone).
 - Njih prate signali izbora adrese reda (RAS) i izbora adrese kolone (CAS) da bi se obezbedilo vremensko usklađivanje čipa.
- **Pinovi za omogućavanje upisa (WE) i izlaza (OE) određuju da li je operacija upisivanja ili čitanja.**

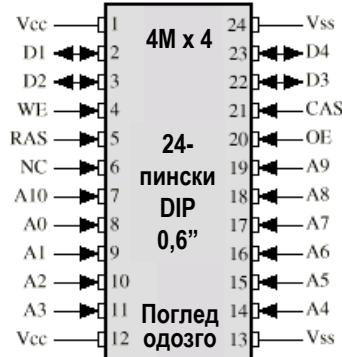
OSVJEŽAVANjE SADRŽAJA

- * Elektronska kola za osvežavanje sadržaja su uključena u čip
- * Onemogućava čip
- * Brojanje kroz redove
- * Čitanje i upisivanje nazad
- * Uzima vreme
- * Usporava vidljivu performansu

PAKOVANJE



(a) 8-Мбитни EPROM



(б) 16-Мбитни DRAM

NAPREDNE ORGANIZACIJE DRAM MEMORIJE

* Osnovna DRAM memorija

* Poboljšana DRAM memorija

- Sadrži i malu SRAM memoriju
- SRAM drži poslednji pročitan red (kao mali keš!)

* Keš DRAM Veća SRAM komponenta

- Koristi se kao keš ili serijski bafer

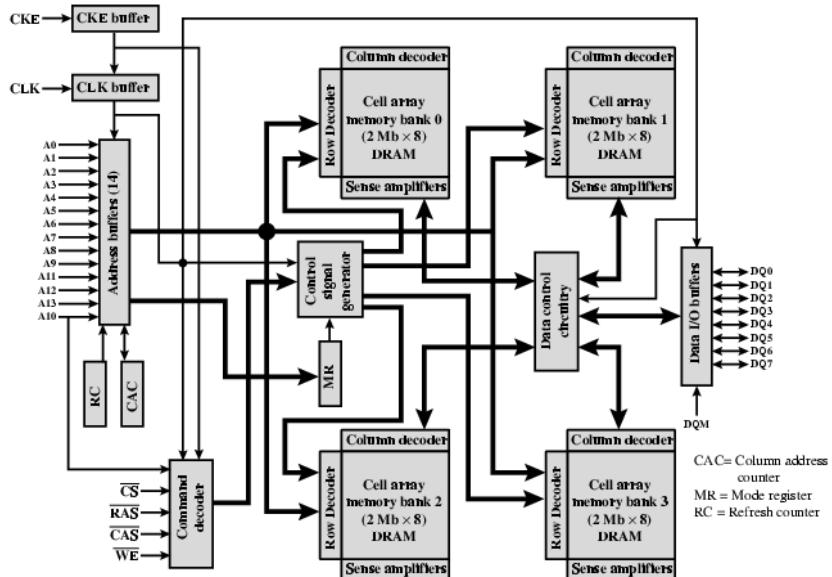
SINHRONA DRAM MEMORIJA (SDRAM)

- * Pristup SDRAM se sinhronizuje sa spoljašnjim generatorom takta
- * Adresa se predstavlja DRAM memoriji
- * RAM pronalazi podatak (kod obične DRAM, CPU mora da čeka)
- * Kako SDRAM pomera podatke u vremenu sa sistemskim generatorom takta, CPU zna kada će podatak biti spreman □

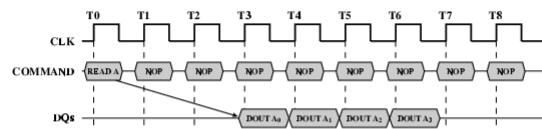
СИНХРОНА DRAM МЕМОРИЈА (SDRAM)

- CPU ne mora da čeka, radi nešto drugo
- Rafalni (*burst*) režim dozvoljava da SDRAM uspostavi niz podataka i izbaci ih u bloku
- Poboljšana verzija, DDR-SDRAM šalje podatke dva puta po ciklusu generatora takta (prednja i zadnja ivica)

SDRAM MEMORIJA



SDRAM Vremensko usklađivanje čitanja



Дужина низа = 4 Кашњење CAS = 2

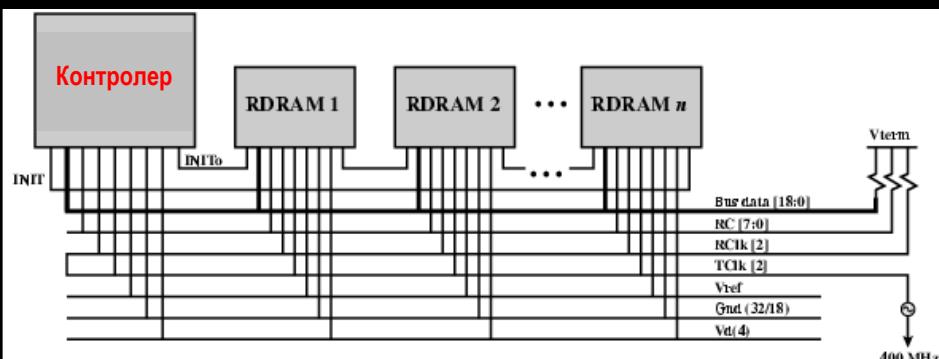
Figure 5.13 SDRAM Read Timing (Burst Length = 4, CAS latency = 2)

- **DDR-SDRAM** : poboljšana verzija SDRAM memorije, poznata kao SDRAM memorija sa dvostrukom brzinom podataka
- **DDR-SDRAM** prevazilazi ograničenje rada jednom po ciklusu: može da šalje podatke u procesor dva puta po ciklusu generatora takta (na prednju i na zadnju ivicu).

RAMBUS DRAM (RDRAM)

- Usvojio Intel za procesore Pentium i Itanium
- Glavni konkurent SDRAM memoriji
- Vertikalno pakovanje – svi pinovi na jednoj strani
- Razmjena podataka preko 28 žica dužine < 12 cm
- Magistrala adresira do 320 RDRAM čipova
- Asinhroni protokol
 - Vreme pristupa 480 ns
 - 1,6 Gb/s

STRUKTURA



- 18 linija za podatke (16 linija podataka, 2 za parnost) koje se taktuju dvostrukom brzinom generatora takta (prednja i zadnja ivica signala) · brzina signala na svakoj liniji podataka 800 Mb/s.
- Poseban skup od 8 linija (RC): adresni i upravljački signali.
- Postoji takođe i signal takta koji startuje sa suprotnog kraja od kontrolera, prostire se do kontrolera i onda vraća nazad.

DDR SDRAM MEMORIJA

* SDRAM memorija može da šalje podatke samo jednom po ciklusu generatora takta

* DDR SDRAM (*Double-Data-Rate SDRAM*) može da šalje podatke dva puta po ciklusu generatora takta

- Na prednju i zadnju ivicu

KEŠ DRAM (CDRAM)

* Mitsubishi

* Integriše mali SRAM keš (16 kb) u običan DRAM čip

* Koristi se kao pravi keš

- 64-bitni redovi
- Efikasno za običan slučajan pristup

KEŠ DRAM (CDRAM)

- * Služi da se podrži serijski pristup bloku podataka
 - Primer: osvežavanje bit-mapiranog ekrana
 - CDRAM može unapred da doneše podatak iz DRAM u SRAMbafer
 - Naredni pristupi samo u SRAM