



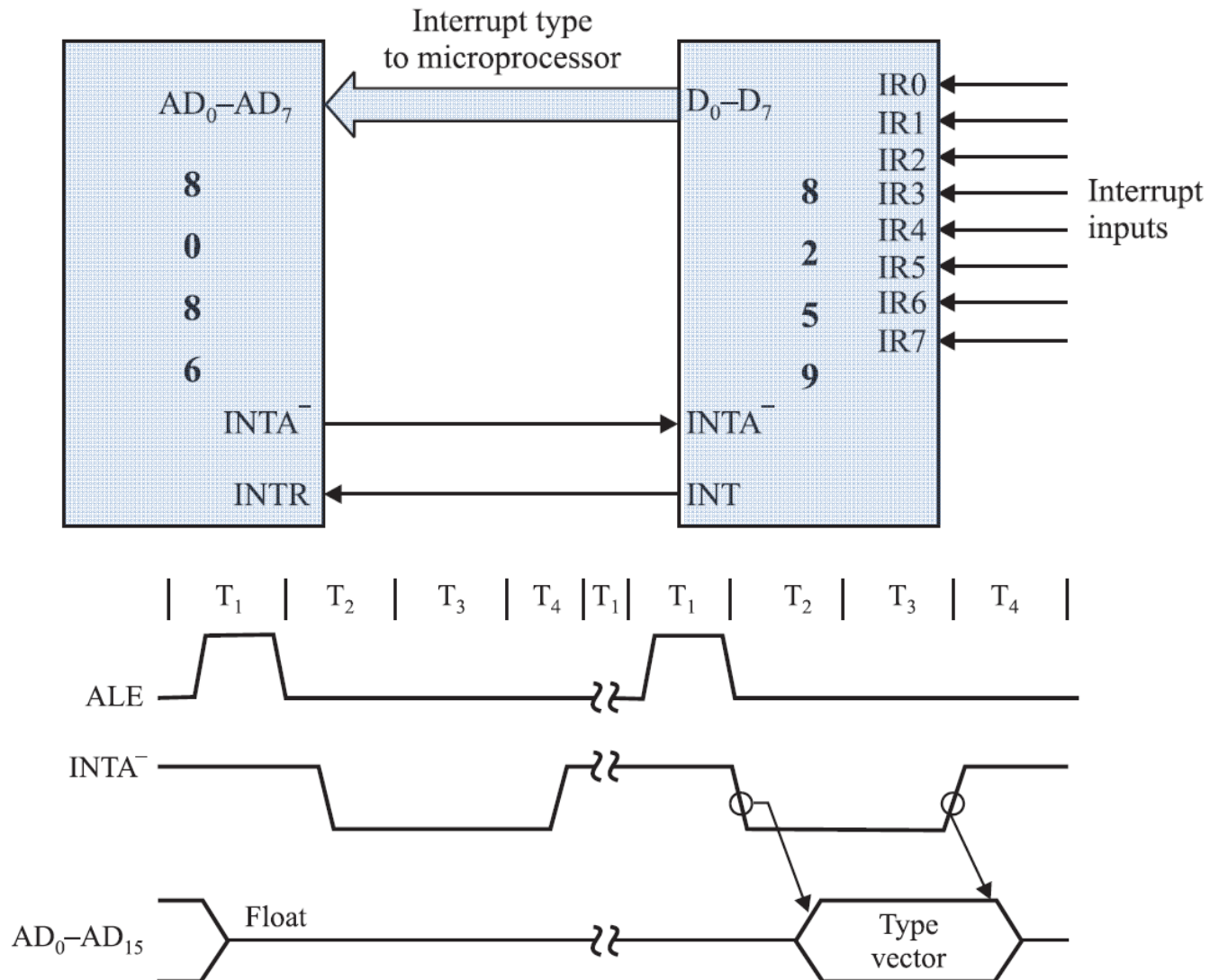
Mikroračunarski sistemi

20ER6004



8259A

Povećanje broja INTR prekida (hardverskih maskirajućih)



8259A

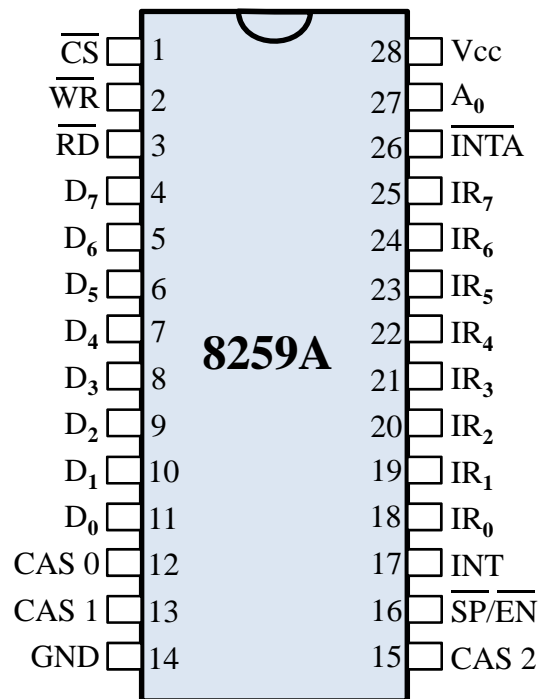
programabilni interapt kontoler

- Omogočuje 8 nivoa prekida
- Može se proširiti na 64, kaskadnim povezivanjem
- Može se programirati način rada i maskirati svaki od zahteva pojedinačno



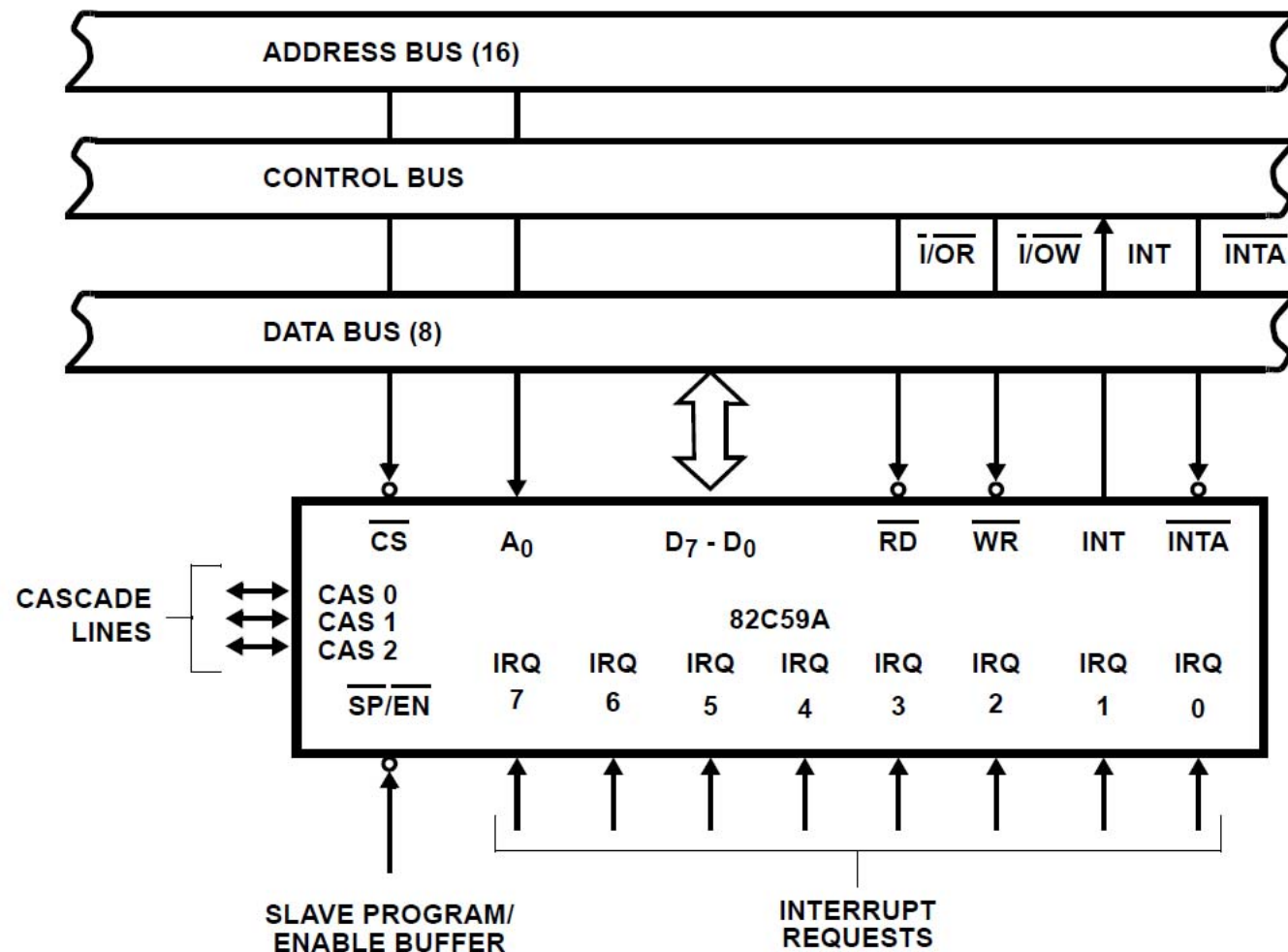
8259A

programabilni interapt kontroler



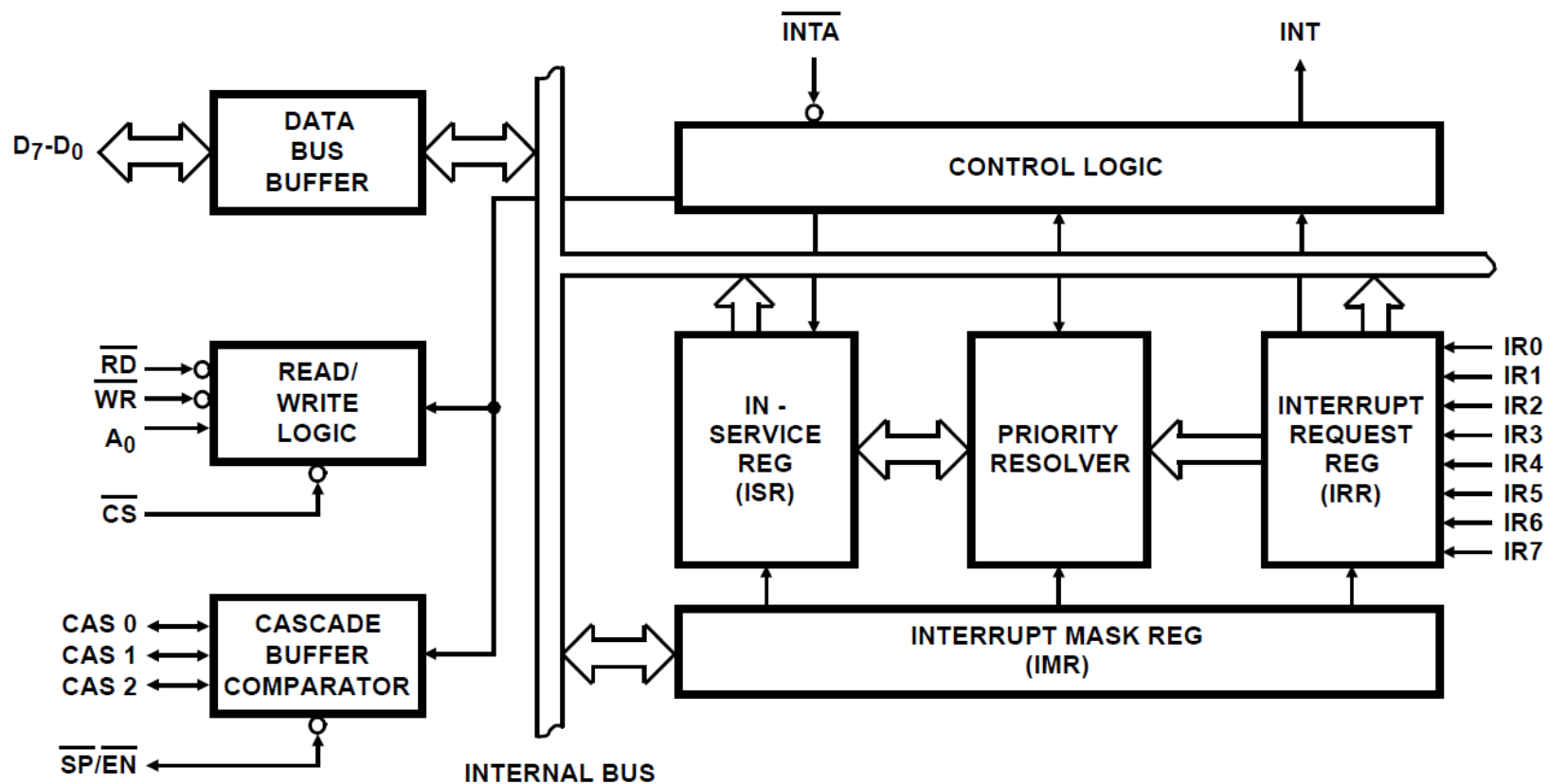
- D₀-D₇ – bidirekciona magistrala podataka (prenosi upravljačke, statusne i interapt-vektor podatke)
- CAS₀-CAS₂ – kaskadne linije za upravljanje višestrukim PIC (izlazne za master, ulazne za slave)
- SP/EN – SLAVE PROGRAM/ENABLE BUFFER, kada nije u baferovanom modu kao ulazni pin određuje da li je master (SP=1) ili slave (SP=0), u baf.modu, kao izlazni pin upravlja bafer transiverima
- INT – prelazi na 1 kad god se javi zahtev za prekidom
- IR₀-IR₇ – asinhroni ulazi zahteva za prekid (aktivira ga prednja ivica i ostaje visak nivo do potvrde u režimu okidanja ivicom, ili samo visok nivo kod režima okidanja nivoom)
- INTA – omogućuje slanje interapt-vektora na magistralu podataka sekvencom potvrda od CPU
- A₀ – selektuje komandnu reč, obično je vezan na A₁ liniju 8086

Interfejs prema standardnoj sistemskoj magistrali



8259A

blok šema





Funkcionalni blokovi

- **IRR** – (*interrupt request register*) smešta sve zahteve
- **ISR** – (*in-service register*) smešta interapte koji se trenutno opslužuju
- **PR** – (*priority resolver*) utvrđuje prioritet bitova setovanih u IRR i setovani bit najvišeg prioriteta prosleđuje u odgovarajući bit ISR tokom INTA impulsa
- **IMR** – (*interrupt mask register*) maskira bitove u IRR
- **Read/Write Logic** – prihvata komande od CPU i šalje status. Sadrži *Initialization Command Word* (ICW) i *Operation Command Word* (OCW) registre koji upravljaju radom komponente.
- **Cascade Buffer/Comparator** – smešta i poredi ID-eve svih 8259A u sistemu. **Master** šalje **ID slave**-a na CAS0-2 linije, čime se selektuje odgovarajući **slave**, koji šalje adresu prekidne procedure na magistralu podataka tokom narednog jednog ili dva uzastopna INTA impulsa.



Prekidna sekvenca

1. Jedna ili više IR linija prelaze na visok nivo, čime se postavljaju odgovarajući bitovi u IRR.
2. 8259A evaluira zahteve i šalje INT ka CPU.
3. CPU potvrđuje INT slanjem INTA impulsa (aktivna niska vrednost).
4. Po pristizanju INTA impulsa, bit najvišeg prioriteta u ISR se postavlja, a odgovarajući bit u IRR resetuje. Magistrala podatak nije aktivna u ovom ciklusu. U kaskadnom režimu, *master* koristi ovaj ciklus za selekciju *slave*-a.
5. 8086 šalje drugi INTA impuls, tokom koga 8259A šalje 8-bitnu adresu (pointer) na magistralu podataka.
6. U AEIOI modu, ISR bit se resetuje na kraju drugog INTA impulsa. U protivnom, ISR bit ostaje postavljen dok se ne izda EOI komanda na kraju rutine za obradu prekida.



Prekidna sekvenca

- Ako nijedna IR linija nije aktivna u koraku 4 (zahtev je trajao suviše kratko), 8259A izdaje interapt level 7.
- Čim pristigne neki IR, INT postaje aktivan.
- Ako naiđe prekid višeg prioriteta između dva INTA impulsa, INT postaje neaktivan neposredno nakon drugog INTA impulsa.
- Nakon neodređenog vremena INT ponovo postaje aktivan, da ukaže da prekid višeg prioriteta čeka na obradu. To neaktivno vreme varira.

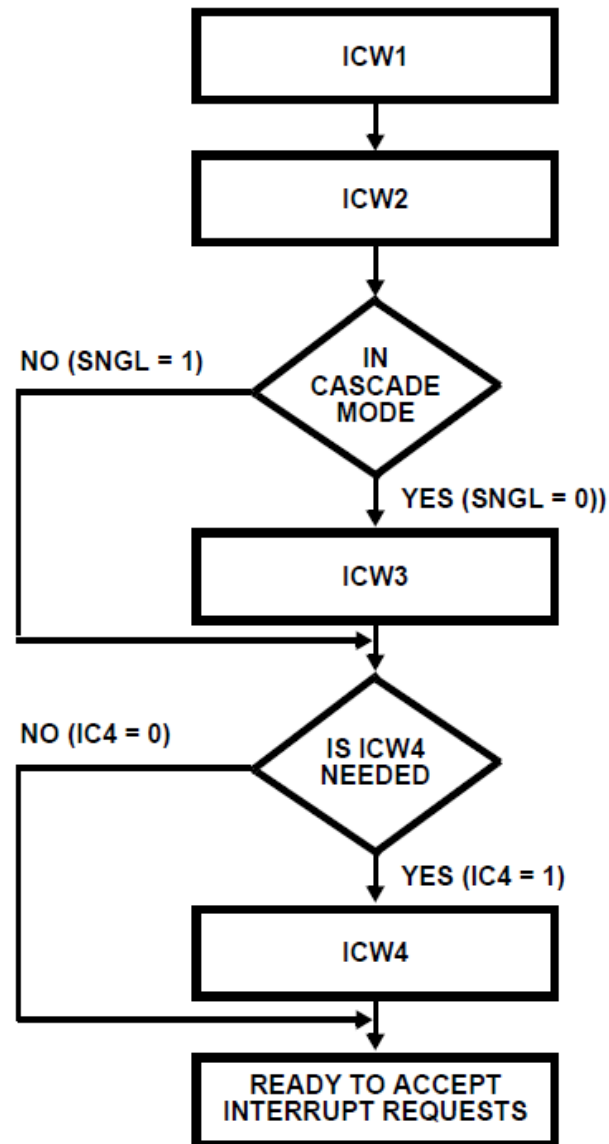


Programiranje 8259A

8259A prihvata dva tipa komandi:

- **Initialization Command Words (ICWs)** – inicijalizacija se obavlja sekvencom od 2 ili 4 bajta, taktovanih **WR** impulsima
- **Operation Command Words (OCWs)** – mogu se zadati bilo kada nakon inicijalizacije i definišu mod u kome će raditi, a mogu biti:
 - Fully nested mode
 - Rotating priority mode
 - Special mask mode
 - Polled mode

Inicijalizaciona sekvenca





ICW1

Kad god se izda komanda sa $A_0=0$ i $D_4=1$, to se interpretira kao **ICW1** (prva inicijalizaciona) komanda.

ICW1 definiše:

- Kako se 8259A koristi u sistemu (pojedinačno ili kaskadno),
- Da li se prekidi okidaju ivicom ili nivoom
- Da li je potrebna ICW4

Kada se izvrši:

- Resetuju ulazna kola za IR (mora da se javi prelaz sa niskog na visok nivo da bi se detektovao novi zahtev).
- IMR se briše (dakle, svi prekidi su omogućeni).
- IR_7 ulazu je dodeljen prioritet 7 (najniži), a IR_0 prioritet 0 (najviši).
- Slave mod adresa je postavljena na 7.
- Special Mask Mode se briše, a Status Read se postavlja na IRR.
- Ako je $IC_4=0$ (bit najmanje težine u ICW1, tj. vrednost na D_0 liniji), tada se sve funkcije selektovane u ICW4 resetuju.



ICW1

- D_0/IC_4 – definiše da li je potrebna ICW4 (ako je $IC_4=0$ nije potrebna; za 8086 je uvek 1).
- $D_1/SNGL$ – (**single**) definiše da li je samo jedna 8259A komponenta u sistemu ($SNGL=1$) ili je više kaskadno vezanih ($SNGL=0$), pa je potrebna i ICW3.
- D_2/ADI – (**address interval**) definiše da li je adresni interval 4B ili 8B – ne koristi se kod 8086
- $D_3/LTIM$ – (**level triggered interrupt mode**) definiše da li se zahtev za prekidom okida prednjom ivicom ($LTIM=0$) ili visokim nivoom ($LTIM=1$); nivo mora biti spušten pre izvršenja EOI komande, inače će biti protumačen kao novi zahtev
- D_7-D_5/A_7-A_5 – definiše više adresne bitove nižeg bajta adrese ISR kod 8085 – ne koristi se kod 8086



ICW2

- Zadaje se **uvek** nakon ICW1
- A_0 mora biti postavljeno na 1
- Definiše adresu ISR u memoriji
 - Za 8085 to je viši bajt ISR adrese
 - Za 8086/88 koriste se samo D_7-D_3 koji zajedno sa rednim brojem IR (pošto ih ima 8, to su zapravo D_2-D_0) da formiraju 8-bitni broj (u okviru vektora adresa ISR) koji definiše redni br. prekida

Npr. ako je $D_7-D_3=00011$, a zahtev je stigao sa IR_6 , dobija se $00011\mathbf{110}_2$ tj. $1E_H$ (30), što znači da se CS i IP za ISR počinju od adrese 78_H (120).

ICW1 i ICW2

formati inicijalizacionih komandnih reči

ICW1

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	A ₇	A ₆	A ₅	1	LTIM	ADI	SNGL	IC4

1 = ICW4 needed
0 = No ICW4 needed

1 = Single
0 = Cascade Mode

CALL address interval
1 = Interval of 4
0 = Interval of 8

1 = Level triggered mode
0 = Edge triggered mode

A₇ - A₅ of Interrupt vector address
(MCS-80/85 mode only)

ICW2

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	A ₁₅ T ₇	A ₁₄ T ₆	A ₁₃ T ₅	A ₁₂ T ₄	A ₁₁ T ₃	A ₁₀	A ₉	A ₈

A₁₅ - A₈ of interrupt vector address
(MCS80/85 mode)

T₇ - T₃ of interrupt vector address
(8086/8088 mode)



ICW3

- ICW3 se zadaje samo ako je SNGL=0 u okviru ICW1.
- $A_0=1$
- Ima 2 različita oblika:
 - Za *master*-a postavljen D_i znači da na IR_i postoji slave
 - Za *slave*-a, D_2-D_0 definiše *slave-id* (obično odgovara broju IR linije na masteru na koju je povezan dati *slave*, čime se praktično određuje i prioritet)



ICW4

- Izdaje se samo ako je $IC_4=1$ u okviru ICW1
- $A_0=1$
- Koristi se kada je potrebno da se promeni podrazumevani (*default*) režim rada (u podrazumevanom režimu svi bitovi u ICW4 su resetovani), i to kada se koristi:
 - 8086/88 procesor
 - Baferovani izlaz (SP/EN pin se koristi da omogući uređaj za beferovanje)
 - AEOI (ako je postavljen, EOI se automatski generiše na zadnju ivicu poslednjeg INTA impulsa)
 - Specijalni „full nested“ mod

ICW3 i ICW4

formati inicijalizacionih komandnih reči

ICW3 (MASTER DEVICE)

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	S ₇	S ₆	S ₅	S ₄	S ₃	S ₂	S ₁	S ₀

1 = IR input has a slave
0 = IR input does not have a slave

ICW3 (SLAVE DEVICE)

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	ID ₂	ID ₁	ID ₀

SLAVE ID (NOTE)

0	1	2	3	4	5	6	7
0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1
0	0	0	0	1	1	1	1

ICW4

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	SFNM	BUF	M/S	AEOL	μPM

1 = 8086/8088 mode
0 = MCS-80/85 mode

1 = Auto EOI
0 = Normal EOI

0	X	- Non buffered mode
1	0	- Buffered mode slave
1	1	- Buffered mode master

1 = Special fully nested mode
0 = Not special fully nested mode



Operacione komandne reči (OCW)

- Zadaju se nakon inicijalizacije i biraju režim rada
- Mogu se zadati bilo kada i u bilo kom redosledu
- Postoje 3 OCW:
 - OCW1 maskira prekide
 - OCW2 bira algoritam za određivanje prioriteta
 - OCW3 upravlja specijalnim modom maskiranja i određuje da li se ISR (in-service register) ili IRR (interrupt request register) čitaju kada naiđe sledeći RD impuls



OCW1

- $A_0 = 1$
- Direktno upisuje vrednosti u IMR (interrupt mask register)
- $D_i = 1$ maskira IR_i (npr. 01100100_2 onemogućuje ulaze IR_2 , IR_5 i IR_6)
- Zahtev za prekid se upisuje u IRR u svakom slučaju, ali se ignoriše ako je maskiran
- Ukidanjem maske, prethodno upisana vrednost u IRR može biti obrađena



OCW2

- $A_0 = 0$ & $D_4 = 0$ & $D_3 = 0$
- Omogućuje EOI, čime se briše odgovarajući bit iz ISR
- Rotira prioritete u EOI i AEOL režimima
- R, SL i EOI bitovi zajedno definišu EOI komandu
 - 001 – zadaje da EOI (kada stigne) briše trenutno najviši prioritet (postavljeni bit u ISR),
 - 011 – zadaje da EOI briše bit zadat adresom $L_2L_1L_0$,
 - 101 – rotira prioritete, tako da najviši prioritet (0) dobija IR sa sledećim većim rednim broje, u odnosu na onaj koji je uslužen(npr. ako je obrađen IR_4 , najviši prioritet dobija IR_5 (0), zatim IR_6 (1), zatim IR_7 (2), zatim IR_0 (3),... i na kraju IR_4 (7)),
 - 100 – rotira prioritete, ali u AEOL režimu (slično kao 101, ali kada je AEOL postavljen),
 - 000 – briše rotiranje prioriteta,
 - 111 – rotira prioritete, ali na specifičnu poziciju (pozicija $L_2L_1L_0$ dobija najniži prioritet),
 - 110 – postavlja prioritete, tako da pozicija $L_2L_1L_0$ dobija najniži (slično kao prethodna, ali bez uključivanja rotacije)

OCW1 i OCW2

formati operacionih komandnih reči

OCW1

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	M ₇	M ₆	M ₅	M ₄	M ₃	M ₂	M ₁	M ₀

Interrupt Mask
1 = Mask set
0 = Mask reset

OCW2

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	R	SL	EOI	0	0	L ₂	L ₁	L ₀

IR LEVEL TO BE
ACTED UPON

0	1	2	3	4	5	6	7
0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1
0	0	0	0	1	1	1	1

0	0	1
0	1	1
1	0	1
1	0	0
0	0	0
1	1	1
1	1	0
0	1	0

Non-specific EOI command

† Specific EOI command

Rotate on non-specific EOI command

Rotate in automatic EOI mode (set)

Rotate in automatic EOI mode (clear)

† Rotate on specific EOI command

† Set priority command

No operation

} End of interrupt

} Automatic rotation

} Specific rotation

† L₀ - L₂ are used



OCW3

- $A_0 = 0$ & $D_4 = 0$ & $D_3 = 1$
- Definiše Specijalni Mask mod (D_6D_5)
 - 11 – uključen
 - 10 – isključen
- Omogućuje prozivku umesto standardne prekidne procedure (D_2)
- Definiše koji registar se čita pri sledećem RD impulsu (D_1D_0)
 - 10 – IRR (interrupt request register)
 - 11 – ISR (in-service register)
 - podrazumevano – IMR (interrupt mask register)

OCW3

format treće operacione komandne reči

OCW3

A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	ESMM	SMM	0	1	P	RR	RIS

READ REGISTER COMMAND

0	1	0	1
0	0	1	1
No Action		Read <u>IR</u> reg on next RD pulse	Read <u>IS</u> reg on next RD pulse

1 = Poll command
0 = No poll command

SPECIAL MASK MODE

0	1	0	1
0	0	1	1
No Action		Reset special mask	Set special mask



Specijalni Mask mod

- **Prekidne maske** – svaki prekid pojedinačno može biti maskiran **IMR** (interrupt mask register) korišćenjem OCW1, ako je odgovarajući bit 1
- **Specijalni Mask Mod** – u ovom režimu, kada je postavljen bit maske u OCW1, on zabranjuje prekid na datom nivou, ali dopušta sve ostale (i više i niže) koji nisu maskirani (omogućuje selektivno dopuštanje prekida učitavanjem maske) – aktivira se u OCW3 sa ESMM=1 & SMM=1, a briše sa ESMM=1 & SMM=0



Poll mod

- U ovom režimu ne koristi se INT izlaz
- Uređaji se opslužuju prozivkom
- Ako je **P** (D_2) postavljeno u OCW3, 8259 tretira ulazni RD impuls ($RD=0$, $CS=0$) kao INTA i postavlja se odgovarajući ISR bit, ako postoji IR zahtev
- Tokom RD impulsa, na Data magistrali se nalazi binarni kod (na linijama $D_2D_1D_0$) zahteva najvišeg prioriteta, dok linija D_7 definiše da li ima prekida (1) ili nema (0)



Specijalni Full Nested mod

- Koristi se u velikim sistemima, gde su 8259 kaskadno povezani, kada prioritet treba da bude očuvan u okviru svake *slave* komponente
- Konfiguriše se na *master* komponenti pomoću ICW4
- Kada je u toku obrada zahteva koji potiče od nekog *slave*-a, naknadni zahtevi višeg prioriteta koji potiču od iste komponente biće prihvaćeni od strane *master*-a i prosleđeni CPU (kod normalnog Nested moda, *slave* je maskiran dok traje obrada njegovog zahteva i zahtevi višeg prioriteta, koji potiču od njega, se ne opslužuju)
- Pri napuštanju ISR (interrupt service routine), programski se mora ispitati da li je tekući i jedini zahtev od datog *slave*-a (*slave*-u se šalje *non-specific* EOI komanda, a zaim čita *in-service* registar; ako je „prazan“ *non-specific* EOI se šalje i *master*-u, u protivnom ne šalje se EOI)



Baferovani mod

- Koristi se u velikim sistemima, gde se zahevaju baferi za „napajanje“ magistrale (obično je uparen sa kaskadnim povezivanjem)
- U ovom režimu, 8259A postavlja signal SP/EN (na nisku vrednost) kad god postavlja podatke na magistralu, kako bi omogućila bafere
- D_3 i D_2 u ICW4 uključuju ovaj mod, pri čemu D_2 definiše da li se radi o *master*-u ili *slave*-u



Kaskadni mod

- 8259A lako može da se poveže u sistem sa jedno *master* i do 8 *slave* komponenti, čime se podržava do 64 nivoa prekida
- *Master* upravlja *slave* komponentama preko linija CAS_2 do CAS_0 , koje funkcionišu kao CS za *slave* tokom INTA sekvence impulsa (adresa *slave* komponente je na CAS linijama od prednje ivice prvog, do zadnje ivice drugog INTA impulsa)
- INT izlazne linije *slave*-a vezuju se na ulazne IR linije *master*-a
- Slave postavlja adresu programa za obradu prekida tokom drugog INTA impulsa

Kaskadni mod

šema povezivanja

