

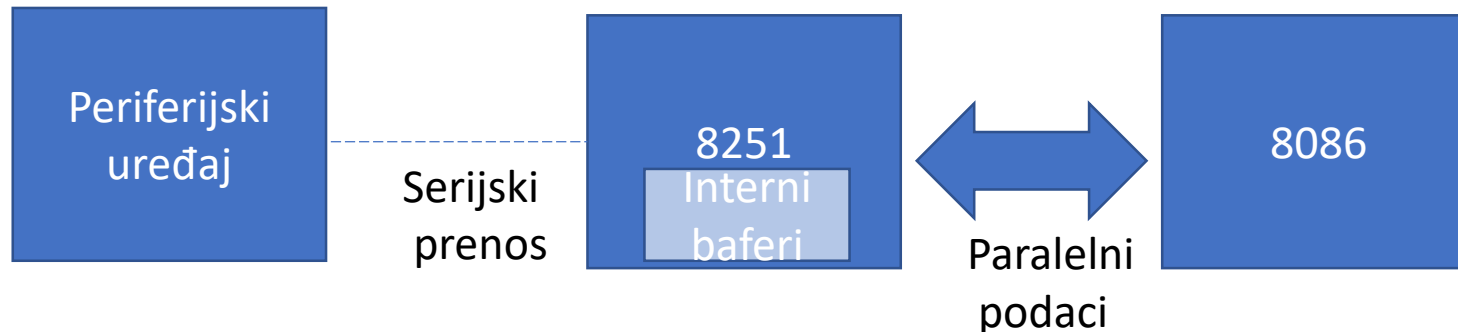
8251A USART

Universal Synchronous Asynchronous Receiver Transmitter

2. termin računskih vežbi

Uvod

- 8251A je programabilni komunikacioni interfejs namenjen sinhronom i asinhronom serijskom prenosu podataka
- Slanje i prijem podataka sa perifernih uređaja od/ka 8086
- Cilj je da uređaj bude “transparentan” za procesor, odnosno da se ponaša kao jednostavan ulaz/izlaz za bajtovski orijentisane podatke koje prima/šalje procesor



Signalizacija kod serijskog prenosa

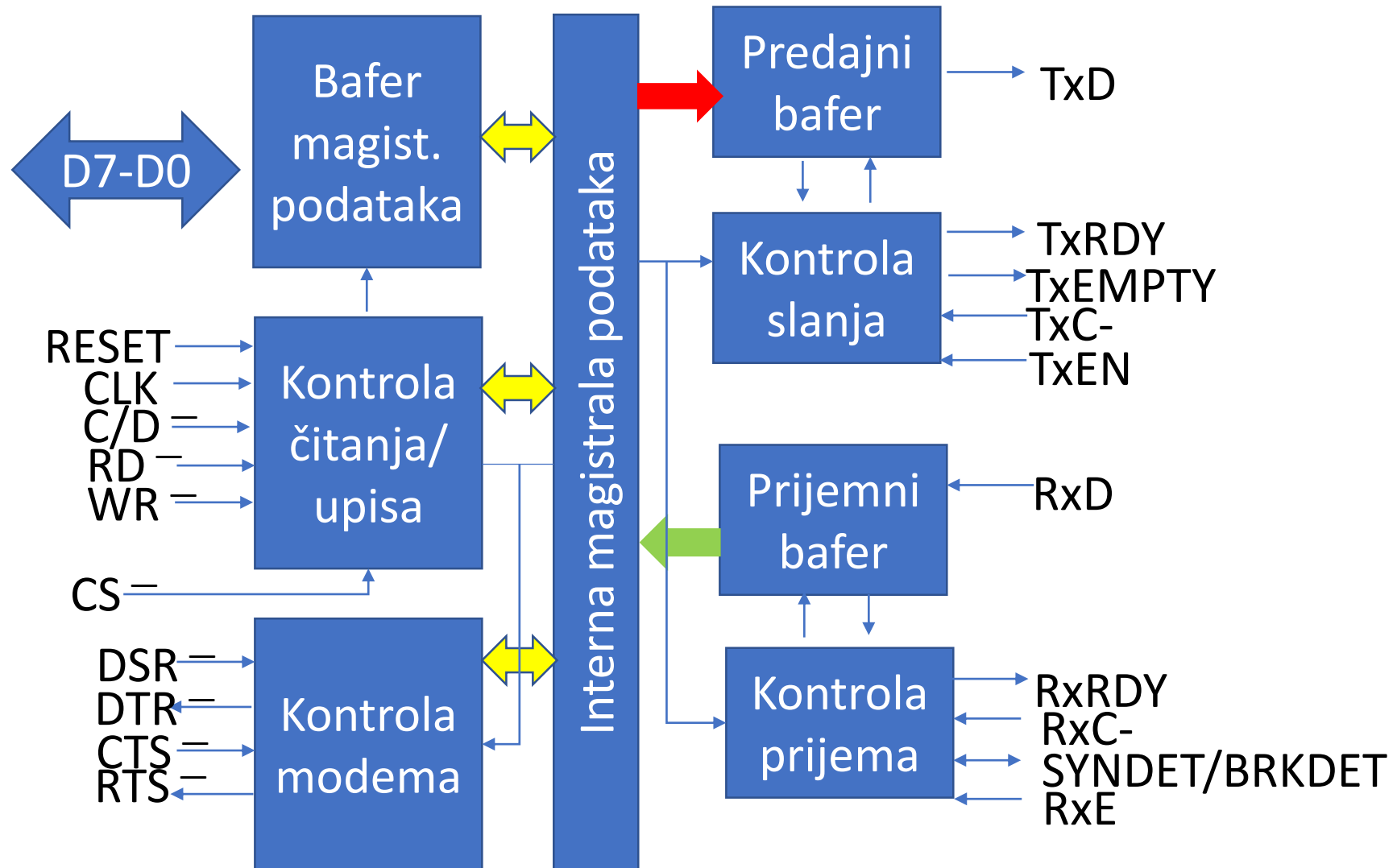
- Marking je stanje kada nema prenosa
- Prenos počinje kada signal padne sa 1 na 0
- Signal počinje start bitom koji traje 1 interval
- Šalje se 5 do 8 bitova podataka
- Opcioni bit parnosti
- Stop-bit može trajati 1, 1.5 ili 2 bitska intervala



Arhitektura 8251A

- 8251 se sestoji od 5 blokov:
 - Bafer magistrale podataka
 - Kontrona logika čitanja/upisa
 - Predajnik
 - Primalac
 - Kontrola modema

Interna struktura



Bafer magistrale podataka

- 8 bit magistrala podataka (linije D0-D7)
- Čitanje i upis sa/u 8251:
 - komandne reči
 - podataka
 - statusa

Blok kontrolne logike čitanja/upisa

- Kontrolna logika
 - Interfejs sa 8086, određuje funkcije čipa na osnovu sadržaja kontrolne reči i nadzor protoka podataka
- 6 ulaznih signala
- 3 baferska registra
 - Data register
 - Control register
 - Status register

Ulazni signali kontrolne logike

- CS –
 - Chip Select : Kada postane 0, obavlja se komunikacija sa 8086
- C/ D – – Control/Data :
 - 1: adresira se kontrolni ili statusni registar
 - 0: obraća se baferu podataka
- WR – :
 - Kada je 0, smer 8086->8251
 - Upis podataka ili kontrolne reči
- RD – :
 - Kada je 0, smer 8086<-8251
 - Čitanje podataka ili statusa
- RESET :
 - Kada se postavi na 1, resetuje 8251 i vraća u idle stanje
- CLK :
 - Taktni ulaz obično povezan na sistemski clock za komunikaciju sa mikroprocesorom

Registar podataka

- Koristi se kao U/I port kada je C/D signal na 0.
- Režimi rada

CS ⁻	C/D ⁻	WR ⁻	RD ⁻	Operacija
0	0	1	0	8086<-bafer podataka
0	0	0	1	8086->bafer podataka
0	1	0	1	8086->kontrolni registar
0	1	1	0	8086<-statusna reč
1	×	×	×	Čip nije selektovan

Kontrolni registar

- Registar kontrolne reči treba da dobije dve 8-bit nezavisne reči:
 - mode word
 - command word
- Mode word:
 - Parametri prenosa
- Command word:
 - Omogućava prijem i predaju podataka

Mode word – asinhroni prenos

- Broj stop bitova
- Bit parnosti
- Broj bitova podataka po prenetom karakteru
- Mod faktora brzine serijskog prenosa (baud rate factor)
 - faktor (određen bitima D1 i D0) predstavlja odnos između signala takta na ulazima TxC i RxC i željenog baud-rate-a.

S2	S1	EP	PEN	L2	L1	B2	B1
Broj stop bitova: 01 – 1 stop bit 10 – 1.5 stop bit 11 – 2 stop bita		Bit parnosti: 00 – disable 01 – neparna 10 – disable 11- parna		Broj bitova po karakteru: 00-5b 01-6b 10 -7b 11-8b		Baud rate factor: 00-Sync 01-1x 10-16x 11-64x	

Mode word – sinhroni prenos

- Broj karaktera sinhronizacije
- Mod sinhronizacije
- Bit parnosti
- Broj prenetih bitova podataka
- Baud rate isti kao RxC i TxC takt
- Indikator novog podatka na liniji je prijem jednog ili dva sync karaktera (konfigurabilan broj karaktera)

SCS	ESD	EP	PEN	L2	L1	0	0
Broj sync karaktera: 0- dva 1- jedan	Sync mod: 0-interna 1-eksterna	Bit parnosti: 00 – disable 01 – neparna 10 – disable 11- parna		Broj bitova po karakteru: 00-5b 01-6b 10 -7b 11-8b		Nisu u upotrebi	

Command word

EH	IR	RTS	ER	SBRK	RXE	DTR	TXEN
0:Normal 1:Hunt mode	0:Normal 1:Internal reset	0:DTR->1 1: DTR->0	0:Normal 1: Reset error flag	0:Normalan režim 1:Slanje karaktera prekida	Omogućiti prijemnik	0:DTR->1 1: DTR->0	Omogućiti predajnik

Statusni registar

- Proverava status perifernog uređaja i sadrži informacije o greškama nastalih u prenosu:
- Framing Error
 - Nije detektovan start ili stop bit
- Overrun Error
 - Procesor nije pročitao prethodni podatak koji se nalazio u internom baferu
- Parity Error
 - Greška parnosti

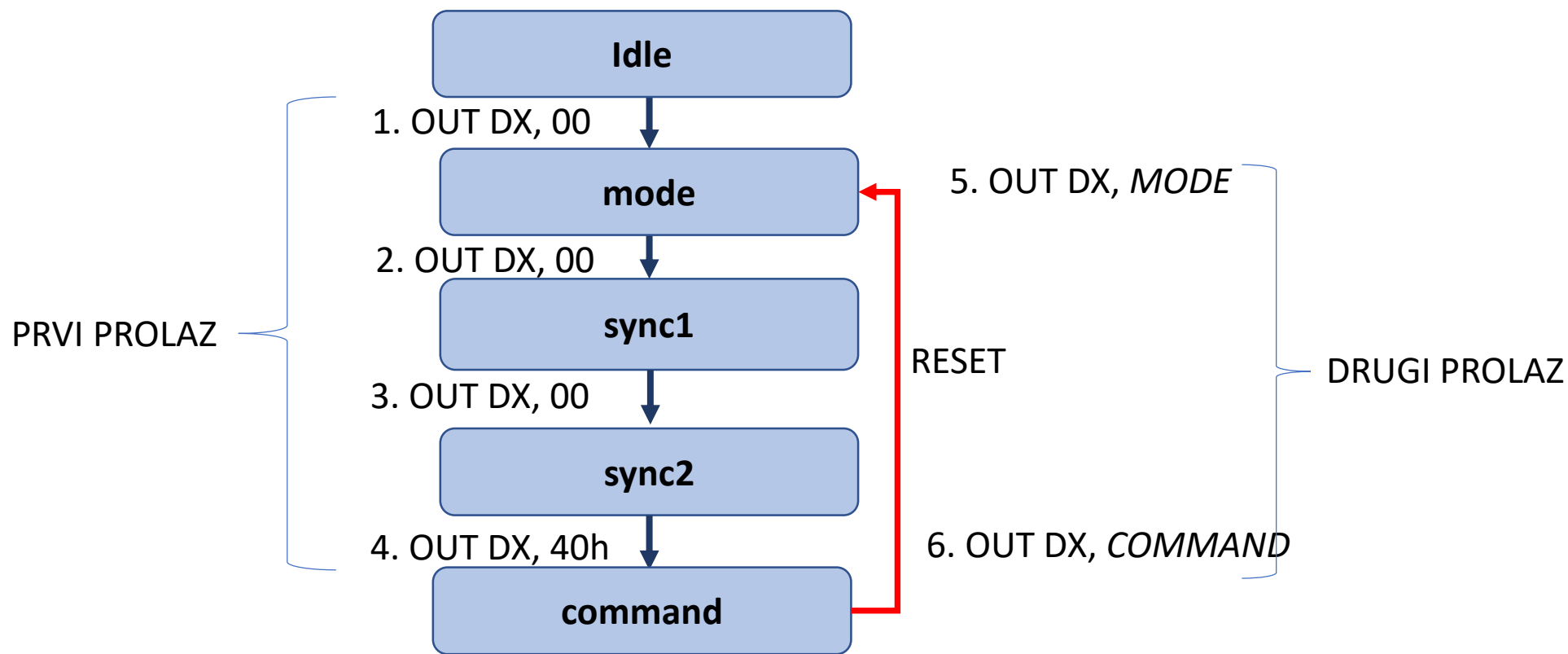
DSR	SYNDET BRKDET	FE	OE	PE	TxE	RxRDY	TxRDY
Data set ready	Sync detect/break error	Framing error	Overrun error	Parity error	Predajnik prazan	Prijemnik spreman	Predajnik spreman

Incijalizacija 8251

- Nakon paljenja uređaja, ne možemo tačno znati u kojem režimu rada se našao uređaj (da li očekuje MODE, SYNC CHARACTER ili COMMAND instrukciju)
- Zbog toga je potrebno izvršiti “worst-case” inicijalizacionu sekvencu
 - pretpostavićemo da uređaj očekuje MODE instrukciju, pa ćemo ga inicijalizovati u sinhroni režim rada, sa 2 sinhronizaciona karaktera – ovo postićemo upisom na kontrolnu adresu 3 uzastopna bajta kojima su vrednosti svih bita = 0
 - zatim softverski resetujemo uređaj, tako što šaljemo COMMAND instrukciju, u kojoj bit D6 ima vrednost 1

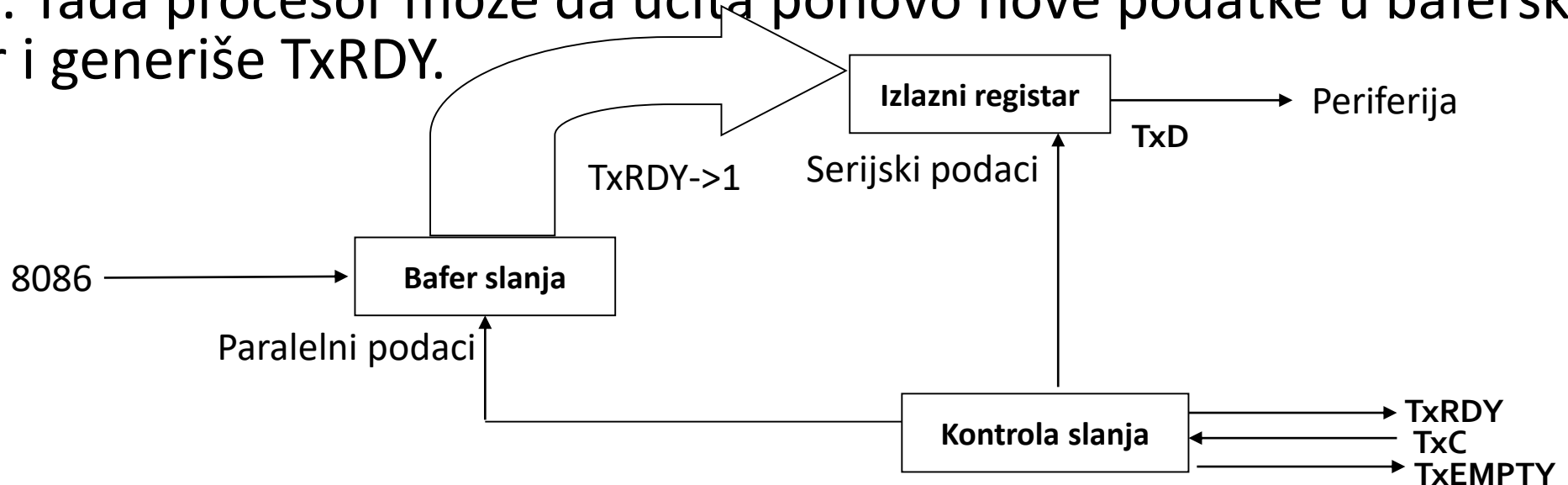
Dijagram stanja 8251

- Svaka kontrolna reč upisana u kontrolni registar posle MODE reči se tumači kao COMMAND reč, što znači da se COMMAND reč može promeniti bilo kada.
- Međutim, neophodno je resetovati 8251 pre nego da se upiše MODE reč.



Predajnik

- Prihvata paralelne podatke sa 8086 i konvertuje ih u serijske
- Predajnik ima dva bafera:
 - Baferski registar za držanje 8-bit paralelnih podataka
 - Izlazni registar koji konvertuje paralelne podatke u serijske
- Kada je izlazni registar prazan, podaci se prebacuju iz bafera u izlazni registar. Tada procesor može da učitava ponovo nove podatke u baferski registar i generiše TxRDY.

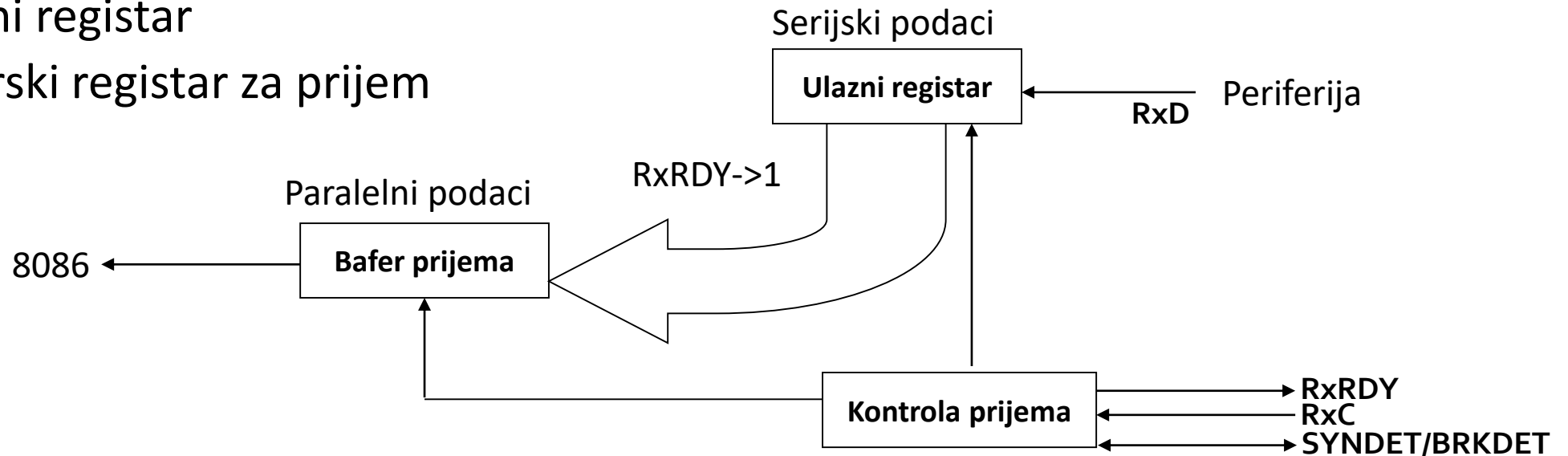


Signali predajnika

- 8086 upisuje bajt u baferski registar za slanje
- Kada je izlazni registar prazan, sadržaj bafera se prebacuje u izlazni
- 3 izlana signala i jedan ulazni:
 - TxD - Transmitted Data Output : Izlazni signal za prenos podataka na periferijske uređaje
 - TxC - Transmitter Clock Input : Ulazni signal za kontrolu brzine slanja ka 8251
 - TxRDY - Transmitter Ready : Izlazni signal koji označava da je baferski registar prazan i da 8255 može primiti sledeći bajt
 - TxE - Transmitter Empty : Izlazni signal koji označava da je izlazni registar prazan

Prijemnik

- Prihvata serijske podatke sa RxD pina i pretvara ih u paralelne
- Posедуje dva registra:
 - Ulazni registar
 - Baferski registar za prijem



Prijemnik - objašnjenje

- Prihvata serijske podatke i konvertuje ih u paralelne
- Dvostruko je baferovan:
 - Ulazni registar za prijem serijskih podataka i konverziju u paralelne
 - Baferski registar za držanje paralelnih podataka
- Kada je napon linije RxD nizak, kontrolna logika pretpostavlja da je to START bit, čeka u periodu od pola bita, zatim ponovo čita liniju.
- Ako je i dalje nizak napon na liniji, onda ulazni registar prihvata naredne bitove, dok se ne popuni do 8bit i učitava u baferski registar
- 8086 čita paralelne podatke iz baferskog registra.
- Kada su sa ulaznog registra učitani paralelni podaci u baferski registar, linija RxRDY dobija visok naponski nivo
- RxC (clock signal) kontroliše brzinu kojom su bitovi primljeni od strane 8251
- U asinhronom modu, signal SYNDET/BRKDET označava prekid u prenosu podataka
- U sinhronom modu, signal SYNDET/BRKDET označava prijem karaktera sinhronizacije

Signali prijemnika

- RxRDY - Receiver Ready Output: Izlazni signal, postaje 1 kada 8251 ima bajt u baferskom registru i spreman je da ga pošalje ka 8086
- RxD - Receive Data Input : Bitovi se na ovoj liniji primaju serijski
- RxC - Receiver Clock Input : Taktni signal za kontrolu brzine kojom se bitovi primaju od strane 8251

Slanje i prijem podataka

- Dva načina:
 - Interrupt
 - Polling
- Interrupt:
 - Za generisanje interrupta ka procesoru koriste se linije RxRDY i TxTDY
 - Mehanizam biće detaljnije obrađen u sledećem terminu računskih vežbi
- Polling:
 - zasniva se na proveru bita statusnog registra
 - čitamo i proveravamo u petlji bitove: D0 (za slanje – TxRDY) ili D1 (za prijem - RxRDY) sve dok ne dobiju vrednost 1
 - zatim šaljemo/čitamo podatak, a analogno mehanizmu interrupt-a, nakon slanja/čitanja, odgovarajući bit u statusnom registru će se resetovati, sve dok uređaj nije spreman da primi novi podatak za slanje, odnosno dok ne primi novi podatak sa periferije, kada se odgovarajući bit u statusnom registru ponovo postavlja na visok nivo

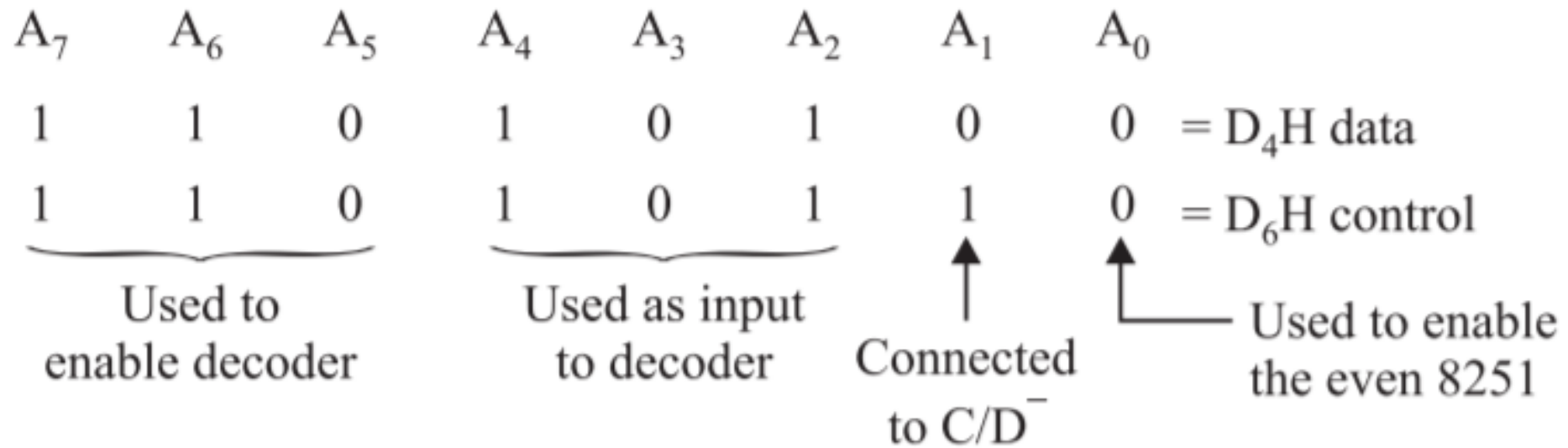
8251 interfacing

- Dva načina:
 - I/O mapirani ulaz/izlaz
 - Memorijki mapirani ulaz-izlaz

Zadatak 2

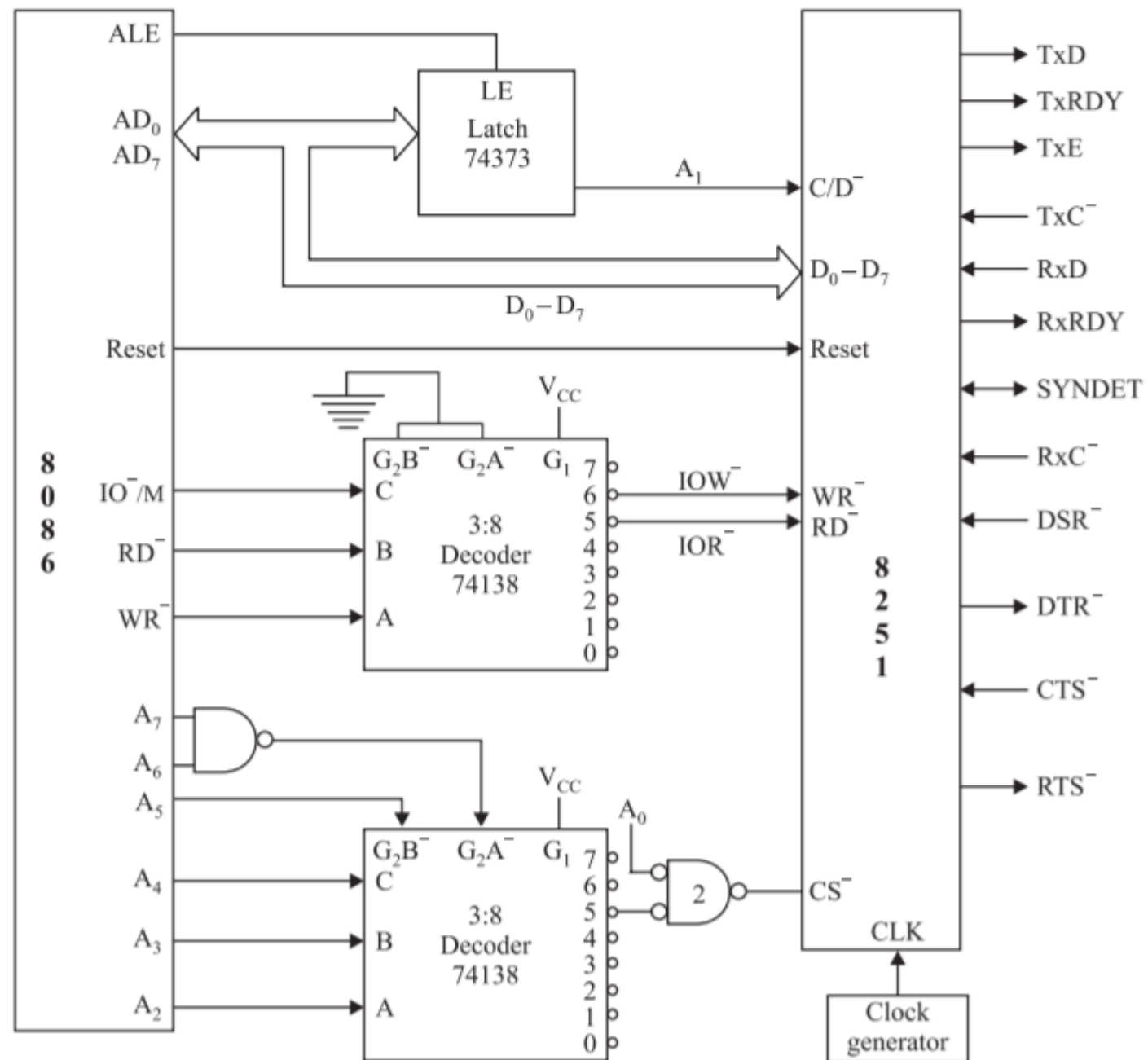
- Za mikroprocesor iAPX 8086 projektovati mikroračunarski sistem za primo-predaju podataka uz pomoć komponente 8251A. Komponentu treba isprogramirati za prijem i predaju po N 8-bitnih podataka bez bita parnosti sa jednim stop bitom, koristeći brzinu od 16x. Prijem i predaju organizovati ispitnim petljama. Komponenta je vezana na U/I adresu D4h. U slučaju greške pri prijemu nastaviti slanje. Za vezivanje 8251 na 8086 se koristi:
 - A) IO mapirani U/I, 8-bit adrese
 - B) Memorijski mapirani U/I, počinje sa adrese 800D4h

Adrese



Zad2 a)

- IO-mapirani ulaz/izlaz



Rešenje – I deo

- Inicijalizacija
- Konfiguracija komponente 8251

```
NAME PROGRAM2
DATA SEGMENT
N DB 100
SEND DB 100 DUP (2Eh) ; bafer za slanje
RECV DB 100 DUP (?) ; bafer za prijem
DATA ENDS

CODE SEGMENT
ASSUME CS:CODE, DS:DATA
START:
MOV AX, DATA
MOV DS, AX
; CLI - zabrana prekida
; Konfiguracija 8251
; Dovedi komponentu 8251 u stanje za prijem komande
; Pogledati dijagram stanja
MOV AL, 00h
MOV DX, D6h
OUT DX, AL
OUT DX, AL
OUT DX, AL
; Resetuj komponentu
; 0100 0000, jedinica za INTERNAL RESET
MOV AL, 40h
OUT DX, AL

; Kontrolna reč MODE 0100 1110
; 1 stop bit, bez bita parnosti, 8b se prenosi, 16x
MOV AL, 4Eh
OUT DX, AL
; Kontrolna reč COMMAND 0001 0101
; Reset error flag i omogućiti prijem i predaju
MOV AL, 15h
OUT DX, AL
; STI
; Brojači na 0
XOR SI, SI
XOR DI, DI
```

Rešenje – II deo

- Slanje
- Prijem

```
PETLJA:
CMP SI, N
JL SLANJE
CMP DI, N
JL PRIJEM
JMP KRAJ

SLANJE:
CMP SI, N ; brojač poslatih
JZ PRIJEM
;čitamo STATUS
MOV DX, D6h
IN AL,DX
TEST AL, 01h ; provera TxRDY == 1
JZ PRIJEM ; ako nije spreman
MOV DX, D4h
MOV AL, SEND[SI]
OUT DX, AL ; prenos u 8251
INC SI ; uvećanje poslatih
```

```
PRIJEM:
CMP DI, N; brojač primljenih
JZ PETLJA
;status
MOV DX, D6h
IN AL, DX
;ako nema greške CONTINUE
TEST AL,38h
JZ CONTINUE
;Simulira kraj prijema
MOV DI,N
;ne skače više na prijem a slanje
nastavlja kao što treba
JMP PETLJA

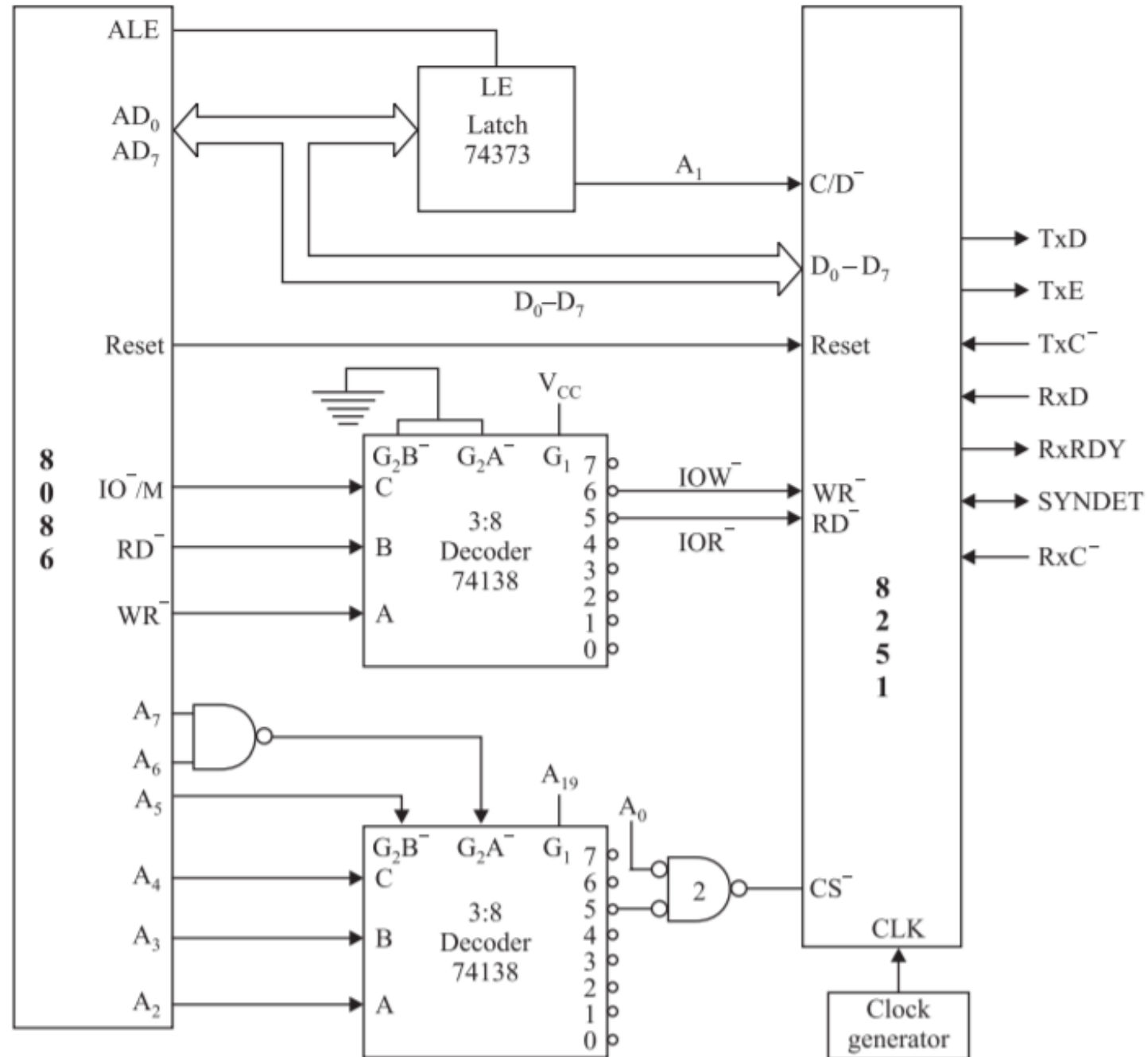
CONTINUE:
TEST AL, 02h ; provera RxRDY == 1
JZ PETLJA
MOV DX, D4h
IN AL, DX ; čitanje podatka
MOV RECV[DI], AL
INC DI ; uvećanje primljenih
JMP PETLJA

KRAJ:
MOV AH, 4Ch
INT 21h
CODE ENDS
END START
END
```

Zad2. b)

- Memorijski mapirani
- DS=8000h
- Offset
 - Za podatke [00D4h]
 - Za komande [00D6h]

$A_{19} \ A_{18} \ \dots \ A_8 \ A_7 \ A_6 \ A_5 \ A_4 \ A_3 \ A_2 \ A_1 \ A_0$
 $1 \ 000 \ \dots \ 0 \ 1 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 0 = 800 \ D4H = \text{Adress of data}$
 $1 \ 000 \ \dots \ 0 \ 1 \ 1 \ 0 \ 1 \ 0 \ 1 \ 1 \ 0 = 800 \ D6H = \text{Address of command}$



Reference

- Sunil Mathur, “MICROPROCESSOR 8086: Architecture, Programming and Interfacing”, str. 325-336, 2011.