



# Mikroračunarski sistemi

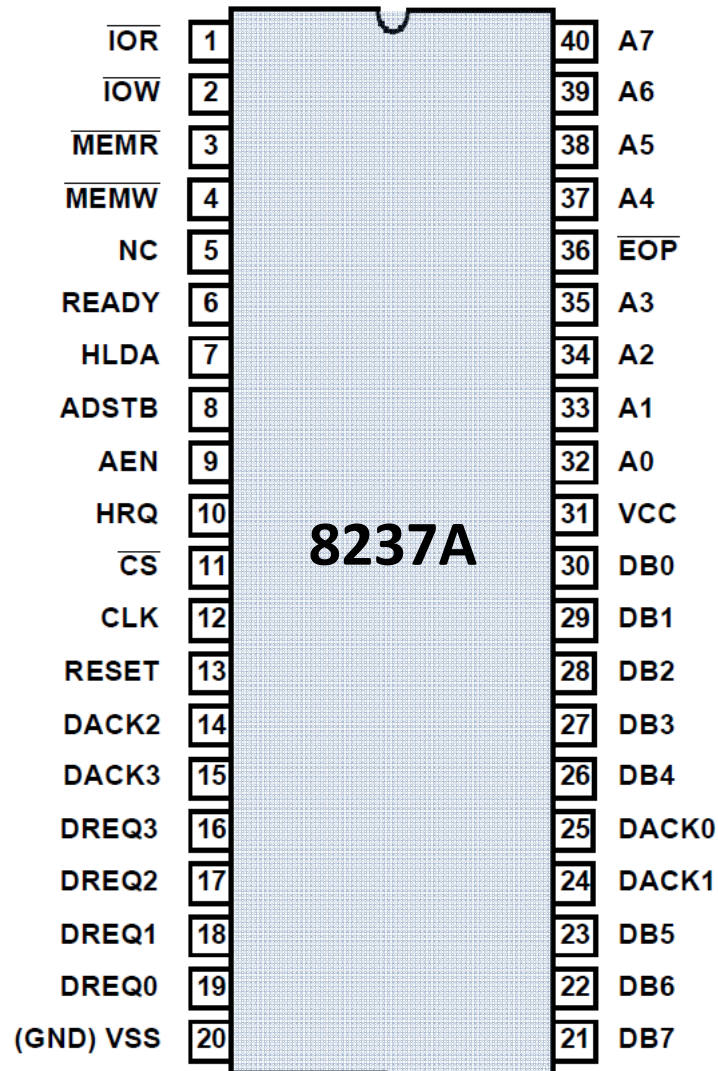
## 20ER6004



**8237A**

# 8237A

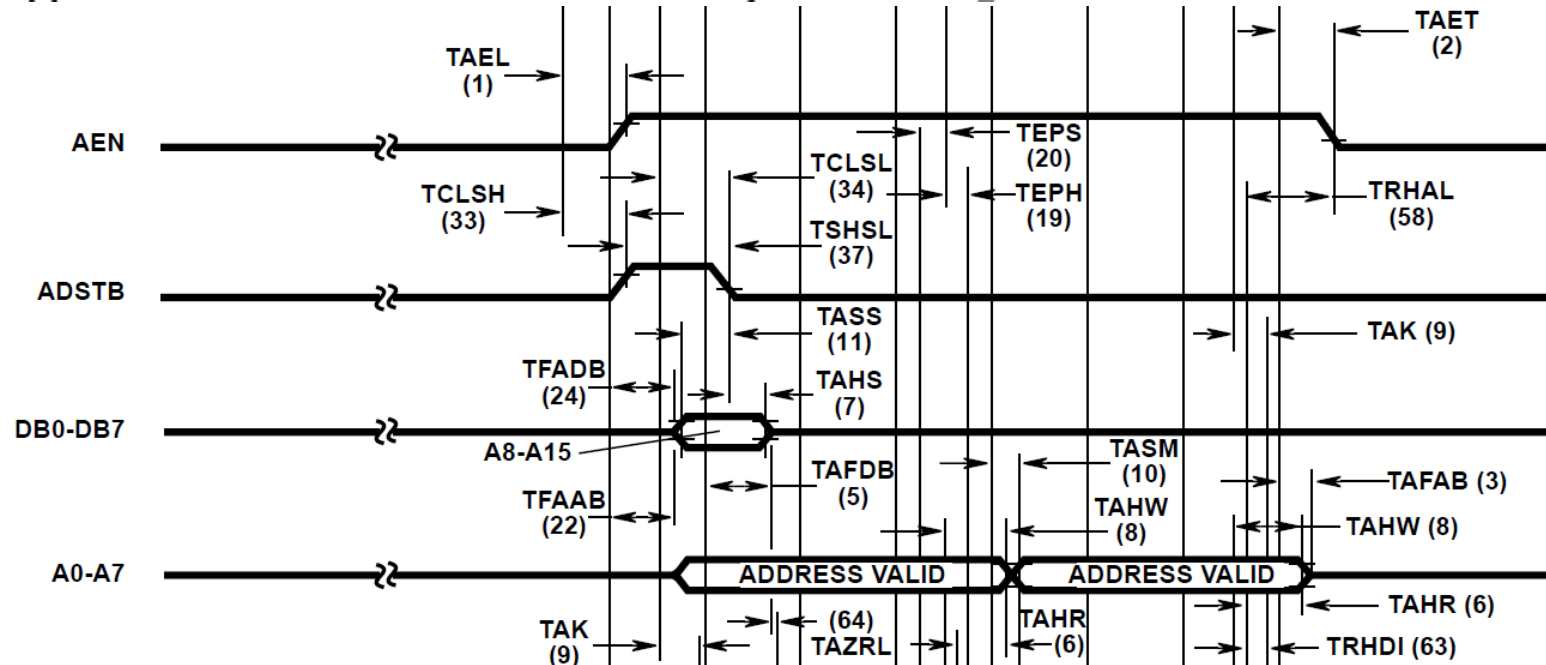
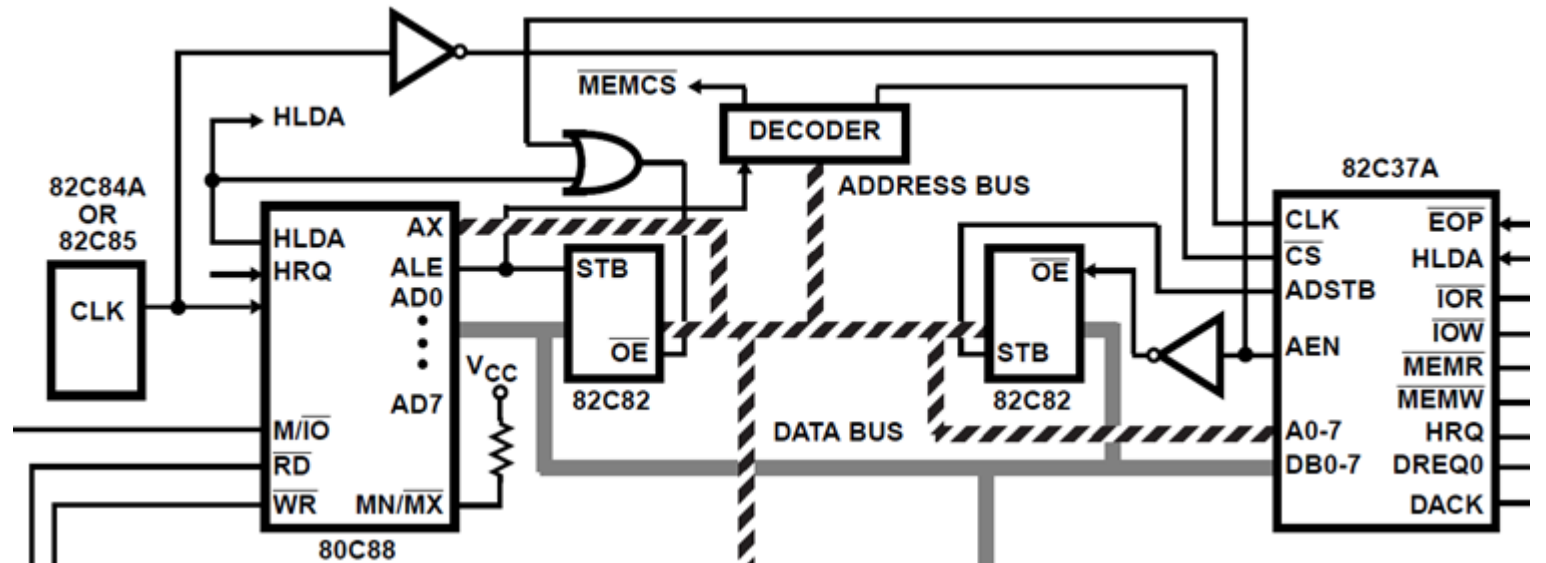
## programabilni DMA kontroler



- **DREQ0-DREQ3** – (*DMA request*) asinhronne linije zahteva (kod fiksnog prioriteta, DREQ0 ima najviši, a DREQ3 najniži prioritet)
- **HRQ** – (*Hold Request*) izlazni signal kojim se zahteva sistemska magistrala
- **HLDA** – (*Hold Acknowledge*) signal kojim CPU signalizira da je oslobodio sistemske magistralu
- **DB0-DB7** – (*Data Bus*)
- **A0-A3** – adresne linije (nižih 4 bita), koje se koriste za selekciju upravljačkog registra (*Idle* ciklus) ili postavljanje nižeg dela izlazne adrese (*Active* ciklus)
- **A4-A7** – adresne linije (viših 4 bita) omogućene su samo tokom DMA
- **AEN** – (*Address Enable*) omogućuje izlaz iz 8-bitni leča koji sadrži i aktivan je sve vreme dok su postavljene adrese na adresnoj magistrali
- **ADSTB** – (*Address Strobe*) aktivira spoljašnji leč

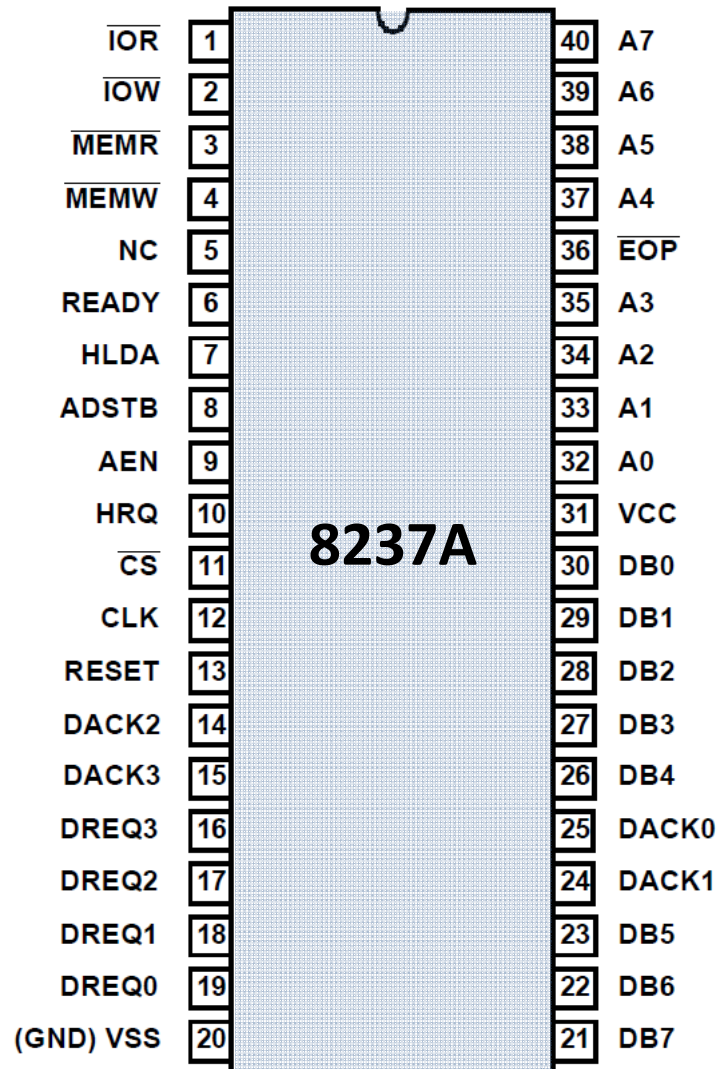


# AEN i ADSTB



# 8237A

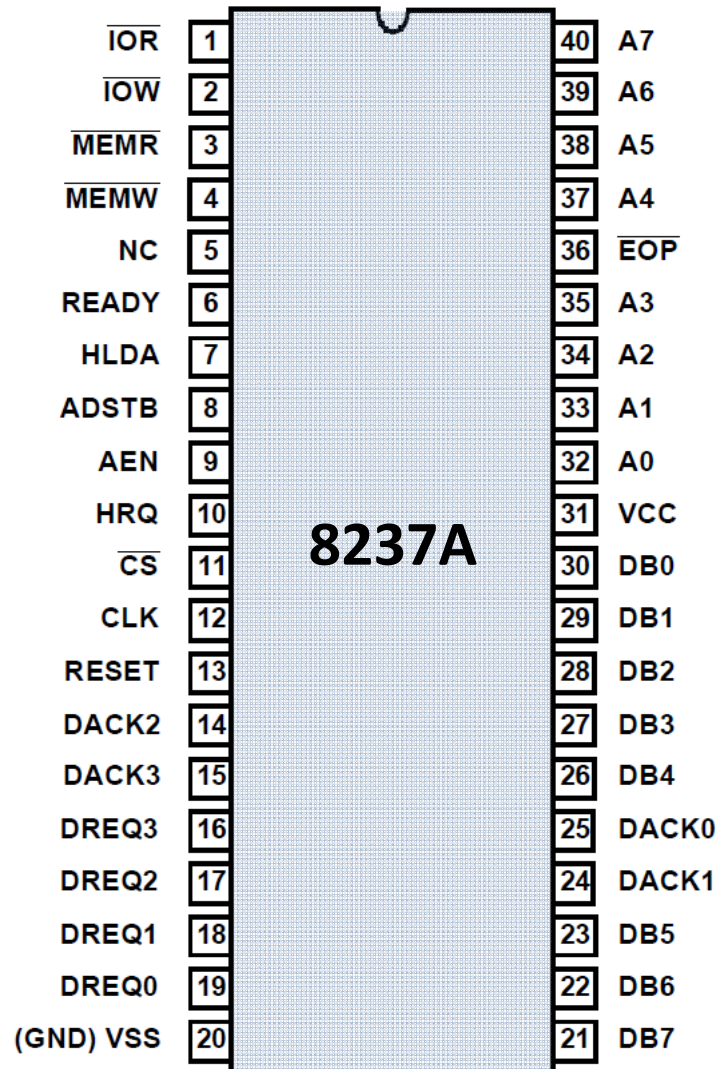
## programabilni DMA kontroler



- **READY** – ulazni signal koji se koristi da produži impulse za pristup memoriji (čitanje i upis) kod sporih memorija
- **IOR** – (*I/O Read*) kao ulazni signal omogućuje CPU da pročita stanje kontrolnih registara (*Idle* ciklus), kao izlazni omogućuje 8237A da čita sa periferije tokom DMA Write transfera (*Active* ciklus)
- **IOW** – (*I/O Write*) kao ulazni signal omogućuje CPU da upiše informacije u kontrolne registre (*Idle* ciklus), kao izlazni omogućuje 8237A da upiše podatke u periferije tokom DMA Read transfera (*Active* ciklus)
- **DACK0-DACK3** – (*DMA Acknowledge*) obaveštava periferije da je odobren DMA ciklus

# 8237A

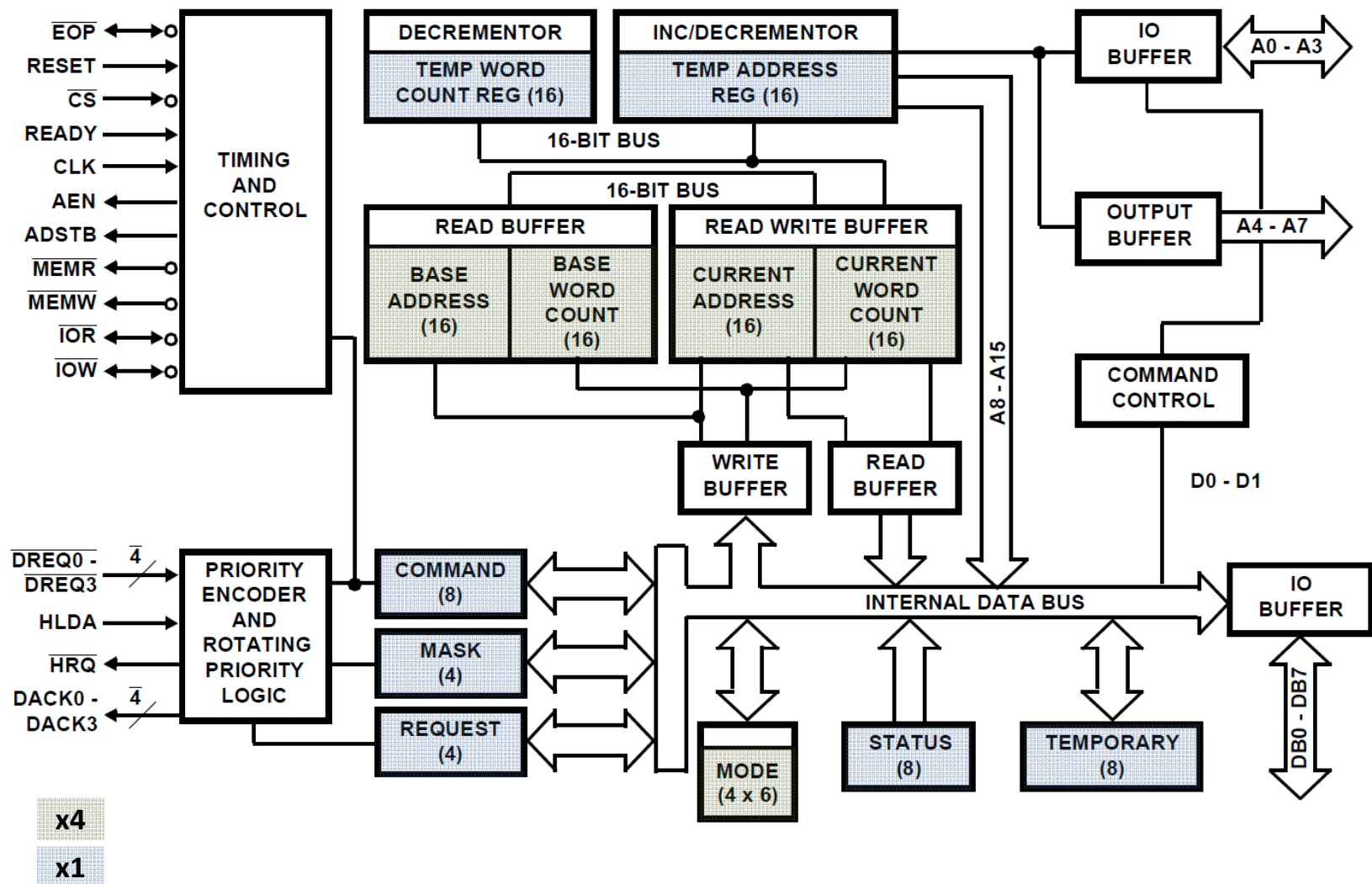
## programabilni DMA kontroler



- **MEMR** – (*Memory Read*) koristi se za pristup memoriji radi čitanja
- **MEMW** – (*Memory Write*) koristi se za pristup memoriji radi upisa
- **EOP** – (*End of Process*) eksterni signal koji prekida aktivni DMA ili izlazni signal kojim se označava kraj DMA (kada se dostigne *terminal count* (TC) za bilo koji kanal, osim za kanal 0 u prenosu iz memorije u memoriju
- **NC** – (*No Connect*)



# Blok diagram





# Registri

- **Current Address** – svaki kanal ima svoj 16-bit registar, koji čuva adresu koja se trenutno koristi u DMA prenosu (ona se automatski inkrr./dekr. nakon svakog prenosa, inicijalno je postavlja CPU, a može da se vrati na inicijalno stanje ako je uključena autoinicijalizacija, nakon EOP)
- **Current Word Count** – svaki kanal ima svoj 16-bit registar, koji čuva preostali broj bajtova koji treba da se prenesu (dekrementira se posle svakog prenosa, inicijalno postavlja CPU, a vraća se na početno stanje ako je autoinicijalizacija, nakon EOP; u protivnom ostaje  $FFFF_H$  (posle 0 premotava se na  $FFFF$  i tada se postavlja TC))
- **Base Address i Base Word Count** – sadrže inicijalne vrednosti adrese i broja bajtova za prenos i na njih se vraćaju Current Address i Current Word Count nakon EOP, ako je uključena auto-inicijalizacija





# Registri

- **Command** – 8-bitni registar koji upravlja radom cele komponente
- **Mode** – svaki kanal ima 6-bitni registar kojim se određuje: tip prenosa (read, write, verify), autoinicijalizacija, inkr./dekr. adresa i DMA mod (demand, single, block, cascade)
- **Request** – svaki kanal ima po 1 bit u ovom registru kojim se signalizira zahtev za DMA (može se postaviti i softverski)
- **Mask** - svaki kanal ima po 1 bit u ovom registru kojim se može maskirati odgovarajuća DREQ linija
- **Status** – 8-bitni read-only registar koji za svaki kanal ima po 2 bita (da li postoji zahtev na čekanju i da li je dostignut *terminal count* –TC)
- **Temporary** – privremeni 8-bitni registar koji se koristi u mem-mem DMA prenosu



# Stanja i ciklusi

- DMAC radi u dva ciklusa: **Idle** i **Active**
- U **Idle** ostaje dok se ne javi zahtev na DREQ
- Tada DMAC zahteva magistralu i prelazi u **Active** ciklus koji se sastoji od nekoliko unutrašnjih stanja, zavisno od selektovane operacije (burst DMA, single byte DMA,...) i zahtevanog prenosa (mem-IO, IO-mem, mem-mem)
- 8237A ima 7 stanja, svako u trajanju od jednog taktnog intervala



# Stanja i ciklusi

- Stanje I (**SI**) je *Idle* stanje. U njega ulazi kada nema DREQ zahteva, nakon DMA ili nakon Reset ili Master Clear.
- U SI stanju očitava DREQ linije na opadajuću ivicu takta (ako nema takta, zahtevi se ignorišu)
- Kada je **CS** aktivan i **HLDA** neaktivan, 8237A ulazi u ***Program Condition***, kada CPU može da postavi ili pročita stanja registara

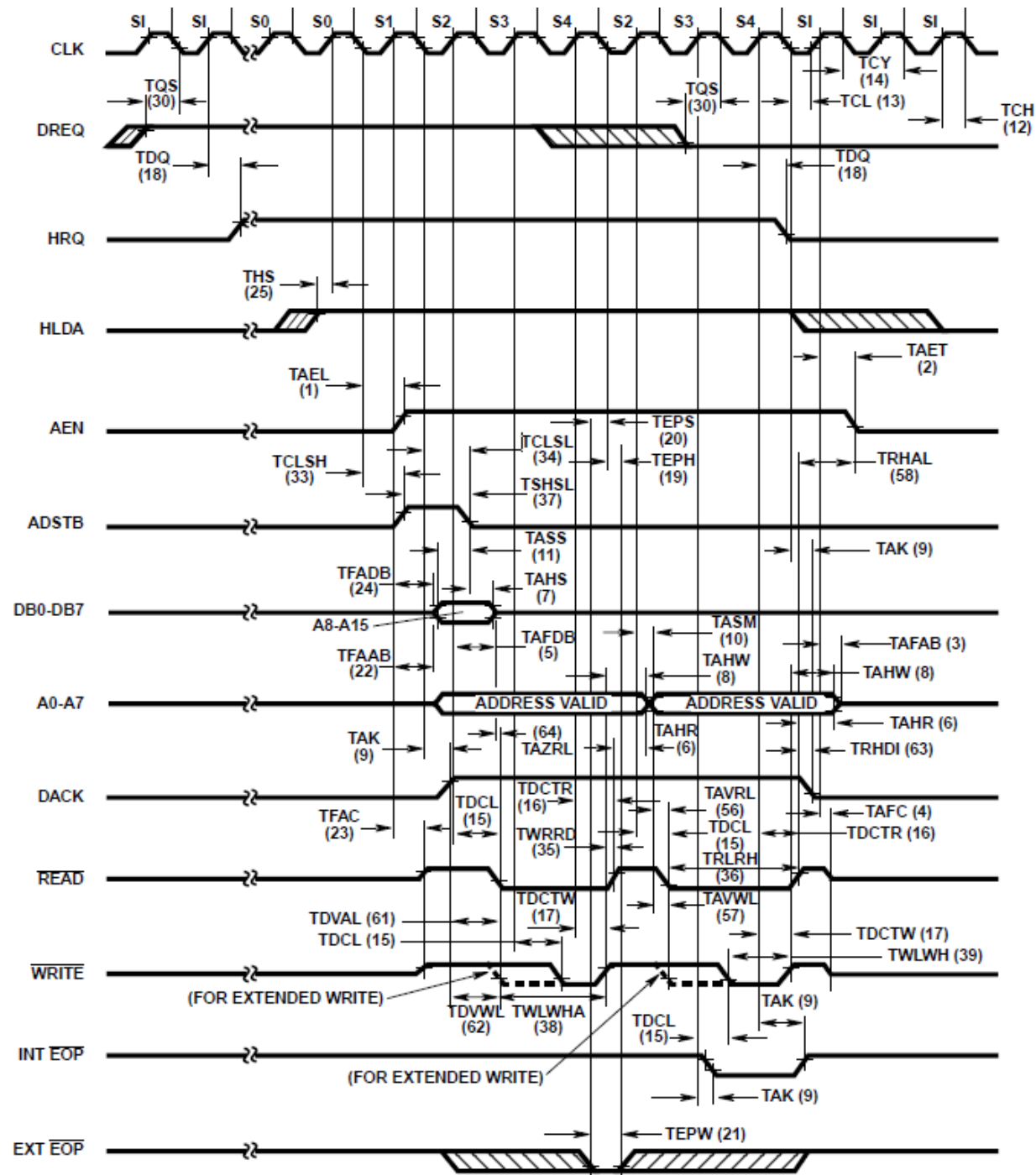




# Stanja i ciklusi

- Stanje 0 (**S0**) je prvo stanje DMA, kada DMAC zahteva sistemsku magistralu, ali je još nije dobio
- I u ovom stanju može da se programira, sve dok HLDA ne postane aktivno
- Kada **HLDA** postane aktivno, DMAC prolazi kroz stanja S1, S2, S3 i S4 (mem-read ili mem-write) ili S11, S12, S13, S14 (mem-mem read), S21, S22, S23 i S24 (mem-mem write)
- Ako je potrebno više vremena da se kompletira prenos, umeću se stanja čekanja (SW) između S3 i S4 (ili S2 i S4 kod kompresovanog režima)

S1 – postavljanje višeg dela adrese, S2 – postavljanje nižeg dela adrese, S3 – aktiviranje signala za čitanje (IOR, MEMR), S4 – aktiviranje signala za upis (IOW, MEMW) i prenos samih podataka (ako je potreban produženi upis, *write* signal se aktivira još u S3)





# Kompresovani prenos

- Da bi se povećao protok, vreme prenosa se kompresuje, ako sistem to dozvoljava, time što se ostavljaju samo stanja **S2** i **S4** u prenosu
- S3 služi da produži vreme pristupa *read* impulsa
- *Read* impuls sada ima istu širinu kao *write* impuls i dešavaju se istovremeno u S4
- S1 se javlja samo kada treba da se promeni viši deo adrese

82C37A TRANSFER TYPE	5MHz	8MHz	12.5MHz	UNIT
Compressed	2.50	4.00	6.25	MByte/sec
Normal I/O	1.67	2.67	4.17	MByte/sec
Memory-to-Memory	0.63	1.00	1.56	MByte/sec





# Modovi rada

- **Single** transfer mod
- **Block** transfer mod
- **Demand** transfer mod
- **Cascade** mod



# Single transfer mod

- U ovom režimu, komponenta se programira da prenese samo jedan bajt
- Nakon prenosa 1B, ukida se **HRQ**, bez obzira da li je **Current Word Count** dostigao 0 (tj.  $FFFF_H$ )
- Ovo je zapravo režim „krađe ciklusa“
- Ako je **DREQ** osta aktivan nakon jednog DMA ciklusa, ponovo se postavlja **HRQ** i zahteva se sledeći ciklus



# Block transfer mod

- U ovom režimu, bajtovi se prenose kontinuirano
- **HRQ** ostaje aktivno tokom celog prenosa (svih DMA ciklusa)
- Prenos se završi teka kada se javi **TC** ili spoljašnji **EOP**





# Demand transfer mod

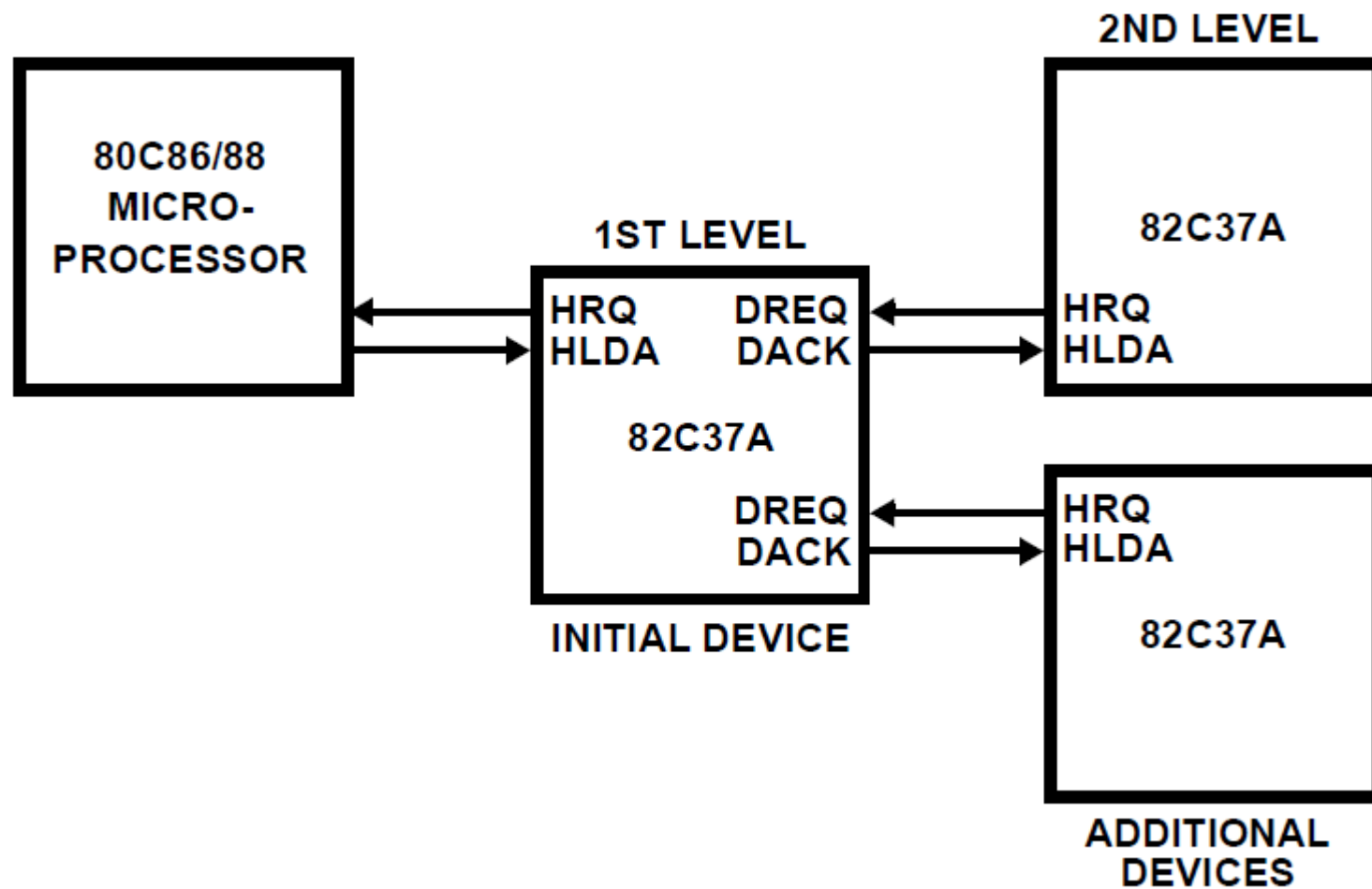
- U ovom modu, broj prenetih bajtova zavisi od U/I uređaja
- DMA se prekida u jednom od 3 slučaja:
  - dostignut TC,
  - spoljašnji EOP ili
  - **DREQ postaje neaktivan**
- Koristi se kada treba omogućiti DMA dok U/I uređaj ne iscrpi podatke za prenos
- Po prestanku DREQ, zadržavaju se vrednosti adrese i brojača, osim ako nije postavljen autoinicijalizacioni mod, kod koga EOP resetuje registre na startne vrednosti



# Kaskadni mod

- Koristi se kod kaskadnog povezivanja više 8237 komponenti, kako bi se povećao broj DMA kanala
- Prioriteti se propagiraju kroz kaskadnu vezu
- Komponenta u 1. nivou ne postavlja adrese niti kontrolne signale (MEMW, MEMR, IOR, IOW), već to radi komponenta narednog nivoa
- Komponenta na 1. nivou postavlja samo HREQ i DACK (izlazne) signale (READY ignoriše)
- Nema ograničenja u broju nivoa

# Kaskadno povezivanje



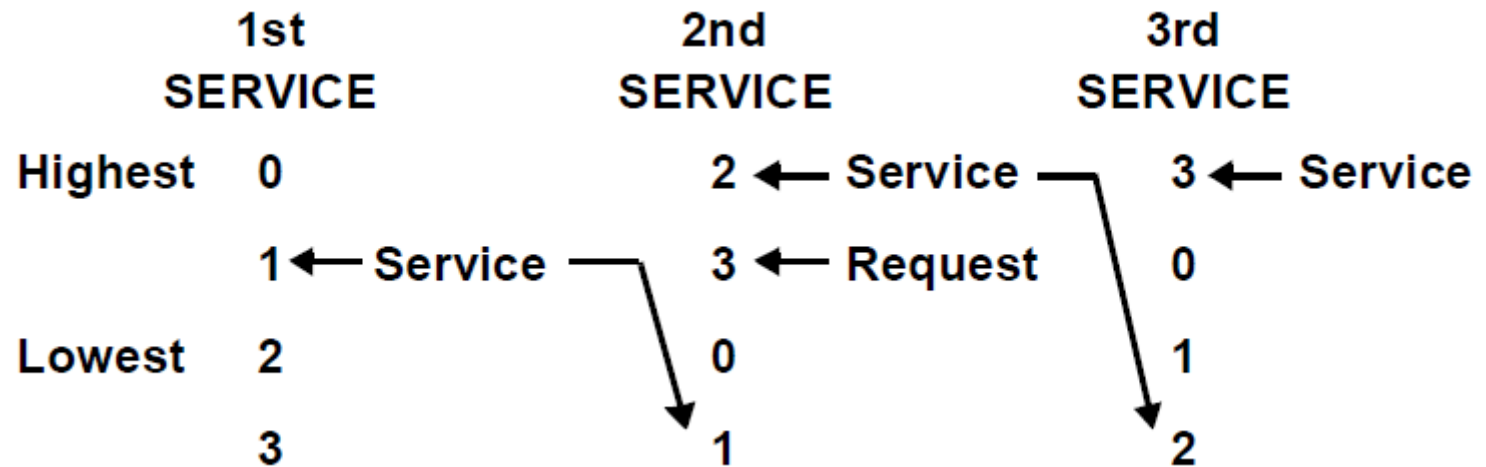




# Prioriteti zahteva

- 8237A ima dva tipa određivanja prioriteta:
  - fiksni i
  - rotirajući
- Kod **fiksnog** prioriteta **0** je kanal sa **najvišim**, a **3** sa **najnižim** prioritetom
- Kod **rotirajućeg** prioriteta, poslednji kanal koji je uslužen dobija najniži prioritet, a sledeći po redu najviši (vidi narednu sliku); rotacija se dešava nakon što se upravljanje magistralom vrati CPU

# Rotiranje prioriteta





# Tipovi prenosa

Postoje 3 tipa prenosa podataka od/ka periferijama:

- **DMA Read** – prenosi od memorije ka U/I uređaju (aktivni MEMR i IOW)
- **DMA Write** – prenosi od U/I uređaja ka memoriji (aktivni MEMW i IOR)
- **DMA Verify** – pseudo prenos (8237 radi kao da zaista postoji prenos, ali MEMX i IOX signali nisu aktivni, tako da se zapravo ništa ne prenosi; nije dozvoljen za mem-mem prenos; READY se ignoriše)



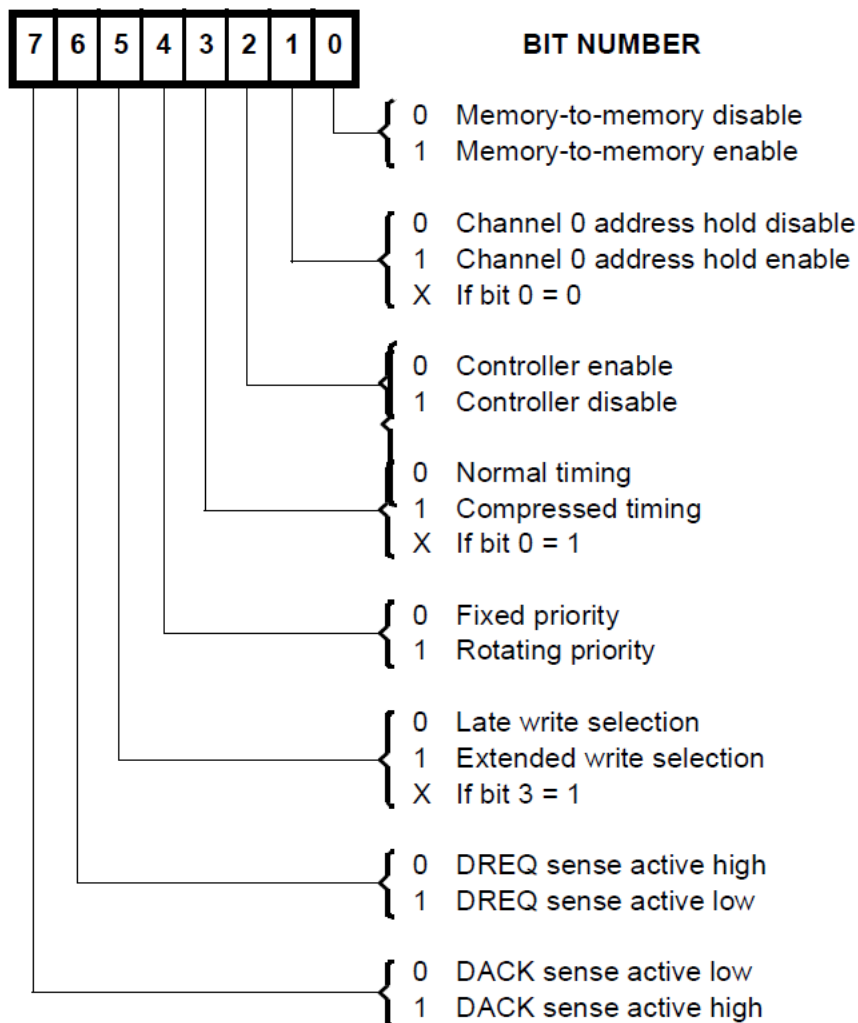
# Memory-to-memory prenos

- Koriste se dva kanala: 0 i 1
- Kanal 0 definiše adrese sa kojih se čita (DMA Read), a kanal 1 u koje se upisuje (DMA Write)
- Radi jedino u **blok** modu
- Signali DACK, IOR i IOW nisu aktivni (prepoznaje se po aktivnom AEN i neaktivnim DACK linijama)
- Inicira se postavljanjem softverskog DREQ za kanal 0
- Čitanje se obavlja u 4 ciklusa (S11, S12, S13 i S14) i vrednost smešta u privremeni registar u okviru 8237A, a zatim u 4 ciklusa prenosi u odredište (S21, S22, S23 i S24)
- Kada brojač reči u kanalu 1 pređe sa 0 na  $FFFF_H$ , generiše se TC i postavlja EOP
- Kanal 0 može biti programiran da ne menja adresu, što omogućuje da se čitav blok ispuni jednim podatkom



# Postavljanje komandnog registra

Command Register



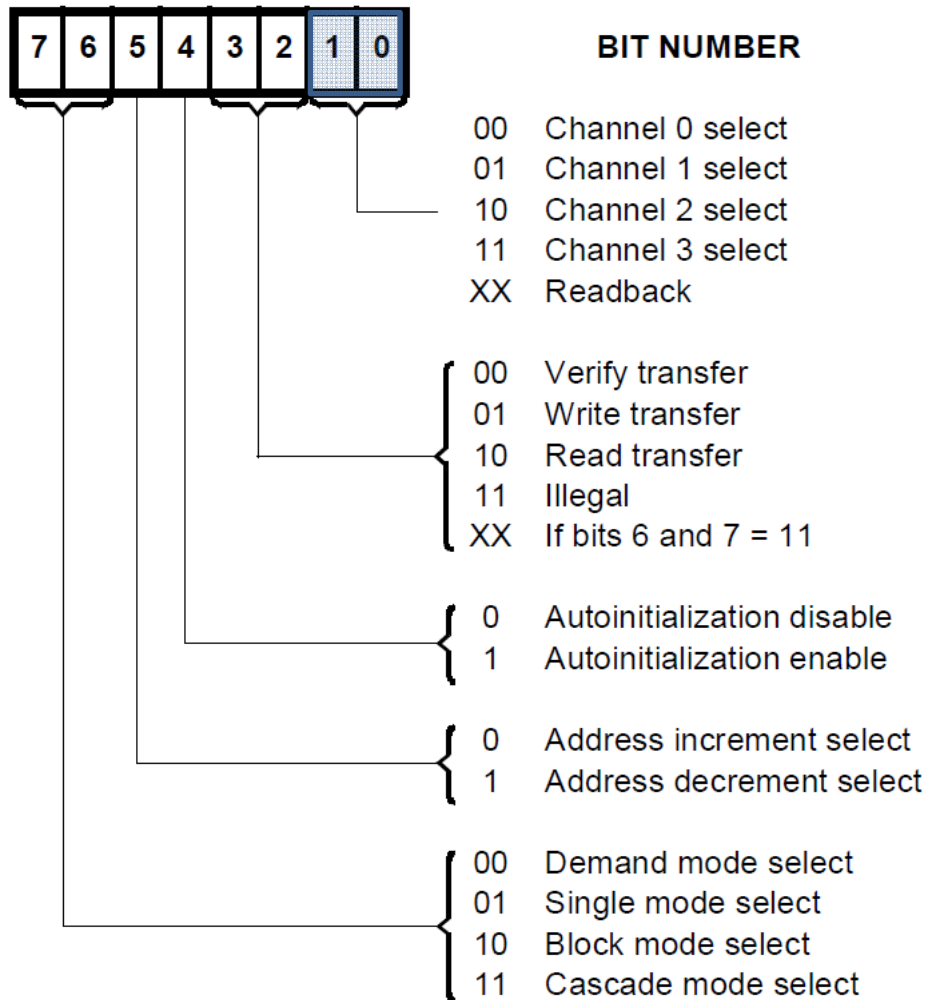
8-bitni upravljački registar koji definiše rad komponente.

Postavlja ga CPU, a briše **RESET** ili **Master Clean**.

A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$
1	0	0	0	1	0

# Postavljanje Mod registra

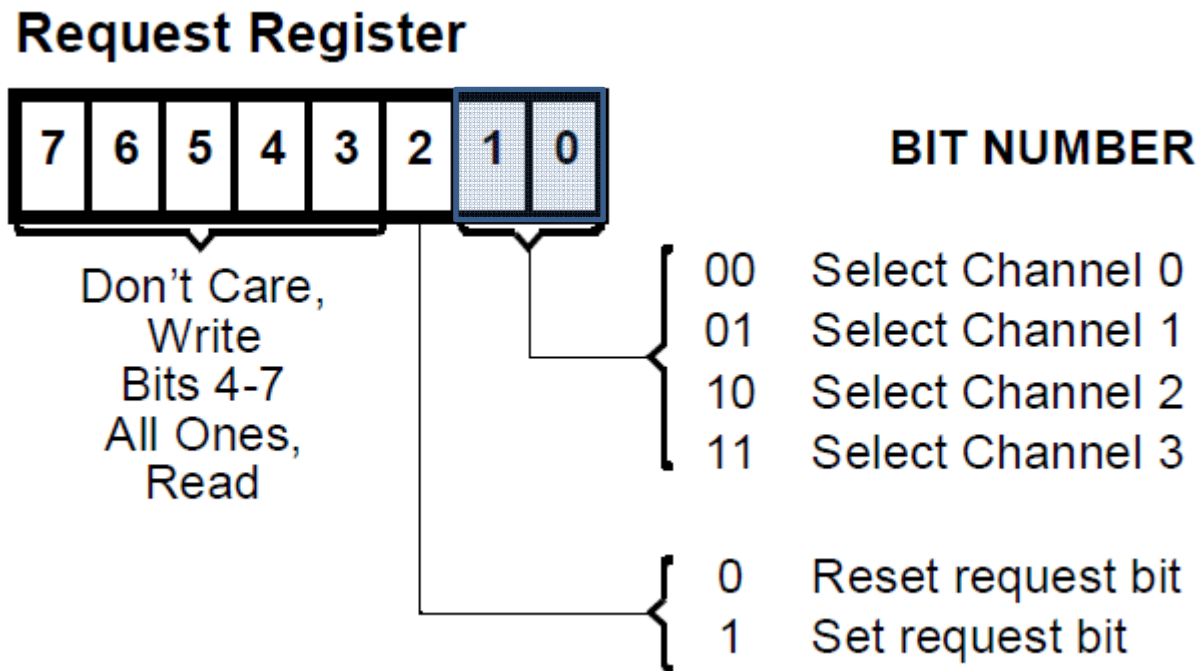
Mode Register



Svaki kanal poseduje 6-bitni mod registar. Kada ga upisuje CPU u *idle* ciklusu (Program Condition), dva bita najmanje težine određuju u registar kog kanala se vrši upis.

A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$
1	0	1	1	1	0

# Postavljanje registra zahteva

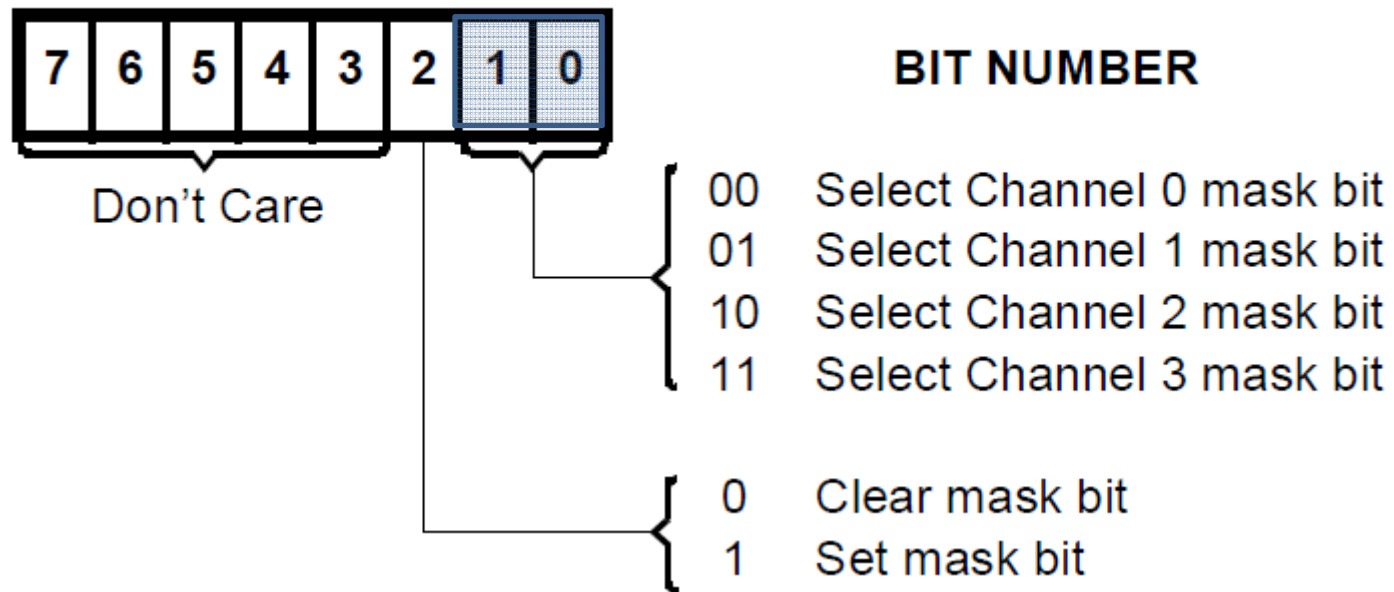


Registar zahteva sadrži po 1 bit za svaki kanal i on se postavlja aktiviranjem DREQ linije ili softverski odgovarajućom komandom.

A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$
1	0	0	1	1	0

# Postavljanje jednog bita Mask registra

Mask Register

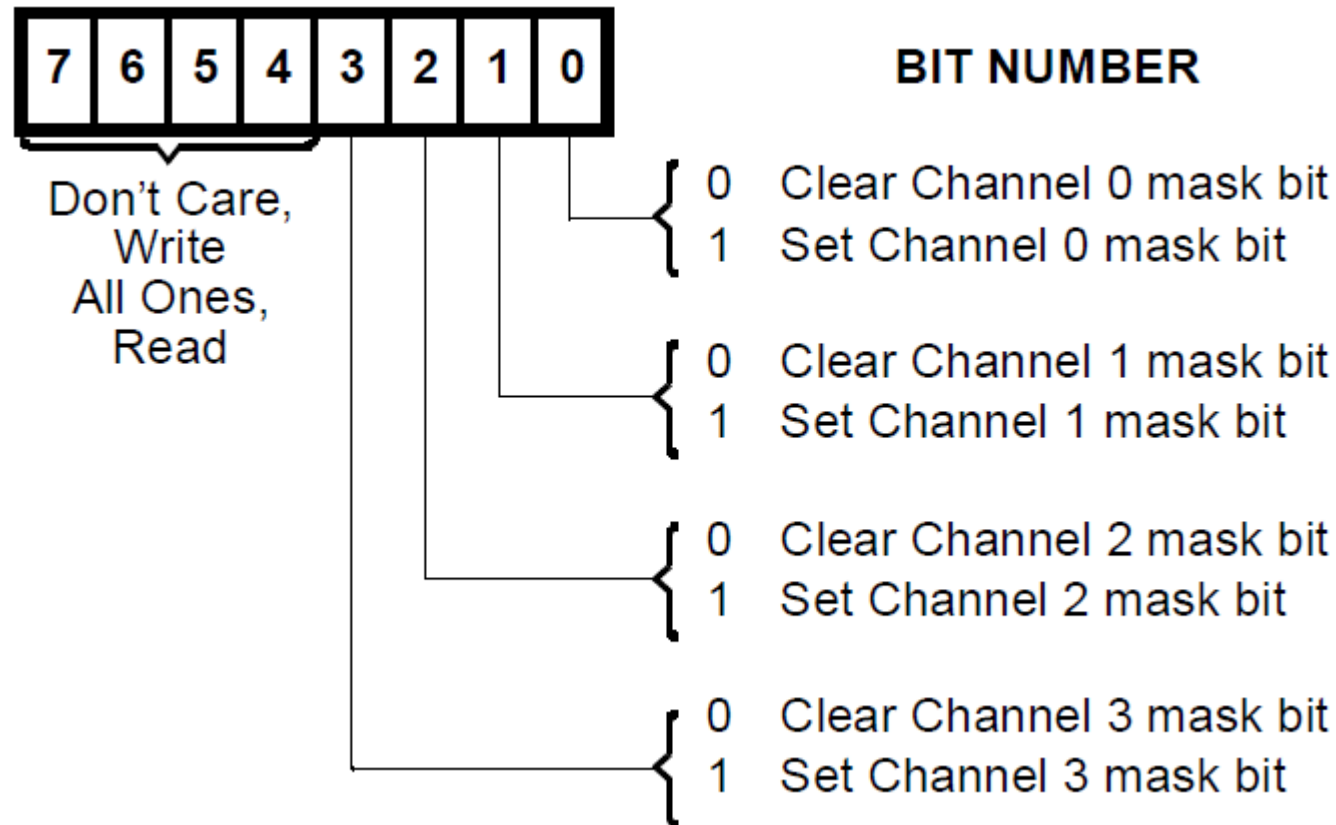


Registar Mask sadrži po 1 bit za svaki kanal i on se postavlja softverski odgovarajućom komandom. 1 maskira odgovarajući kanal.

A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$
1	0	1	0	1	0



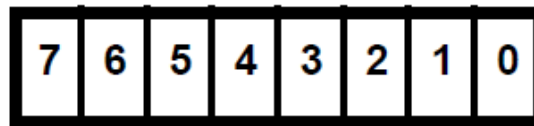
# Postavljanje svih bitova Mask registra



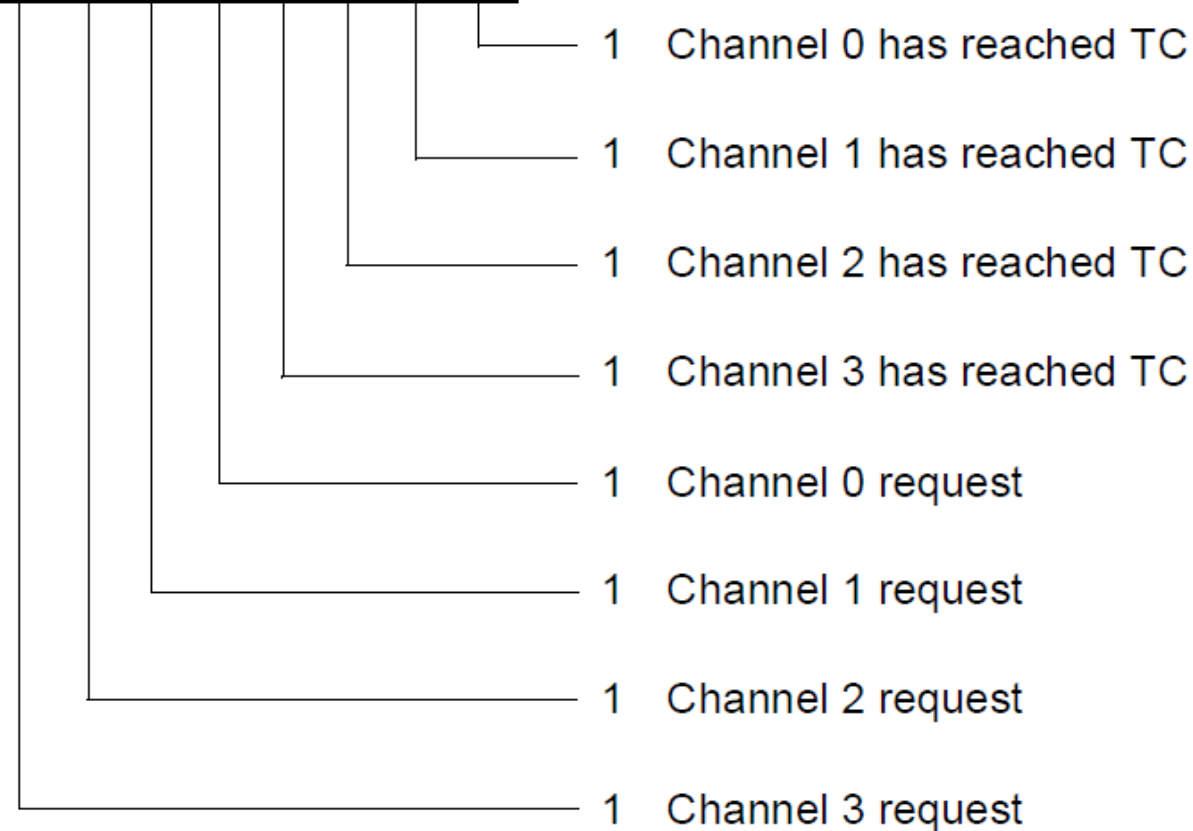
A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$
1	1	1	1	1	0

# Čitanje statusnog registra

## Status Register



### BIT NUMBER



A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$
1	0	0	0	0	1



# Softverske komande

Postoje dodatne softverske komande, koje ne zavise od stanja na adresnoj magistrali:

- **Clear first/last flip-flop** – mora biti izdata pre upisa ili čitanja adrese i brojača jer se svakim upisom ili čitanjem menja stanje tog flip-flopa, kako bi se pristupilo narednoj lokaciji (nakon reseta prvo se očitava/upisuje niži bajt)
- **Master clear** – ima isti efekat kao hardverski RESET
- **Clear Mask register** – briše Mask registar i omogućuje sva četiri kanala

# Pregled kodova operacija

OPERATION	A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$
Read Status Register	1	0	0	0	0	1
Write Command Register	1	0	0	0	1	0
Read Request Register	1	0	0	1	0	1
Write Request Register	1	0	0	1	1	0
Read Command Register	1	0	1	0	0	1
Write Single Mask Bit	1	0	1	0	1	0
Read Mode Register	1	0	1	1	0	1
Write Mode Register	1	0	1	1	1	0
Set First/Last F/F	1	1	0	0	0	1
Clear First/Last F/F	1	1	0	0	1	0
Read Temporary Register	1	1	0	1	0	1
Master Clear	1	1	0	1	1	0
Clear Mode Reg. Counter	1	1	1	0	0	1
Clear Mask Register	1	1	1	0	1	0
Read All Mask Bits	1	1	1	1	0	1
Write All Mask Bits	1	1	1	1	1	0



# Kodovi za pristup adresama i brojačima

CHANNEL	REGISTER	OPERATION	SIGNALS							FIRST/LAST FLIP-FLOP STATE	DATA BUS DB0-DB7
			$\overline{CS}$	$\overline{IOR}$	$\overline{IOW}$	A3	A2	A1	A0		
0	Base and Current Address	Write	0	1	0	0	0	0	0	0	A0-A7
			0	1	0	0	0	0	0	1	A8-A15
	Current Address	Read	0	0	1	0	0	0	0	0	A0-A7
			0	0	1	0	0	0	0	1	A8-A15
	Base and Current Word Count	Write	0	1	0	0	0	0	1	0	W0-W7
			0	1	0	0	0	0	1	1	W8-W15
1	Base and Current Address	Read	0	0	1	0	0	0	0	0	W0-W7
			0	0	1	0	0	0	1	0	W8-W15
	Current Address	Write	0	1	0	0	0	1	0	0	A0-A7
			0	1	0	0	0	1	0	1	A8-A15
	Base and Current Word Count	Read	0	0	1	0	0	1	1	0	W0-W7
			0	0	1	0	0	1	1	1	W8-W15
2	Base and Current Address	Write	0	1	0	0	1	0	0	0	A0-A7
			0	1	0	0	1	0	0	1	A8-A15
	Current Address	Read	0	0	1	0	1	0	0	0	A0-A7
			0	0	1	0	1	0	0	1	A8-A15
	Base and Current Word Count	Write	0	1	0	0	1	0	1	0	W0-W7
			0	1	0	0	1	0	1	1	W8-W15
3	Current Word Count	Read	0	0	1	0	1	0	1	0	W0-W7
			0	0	1	0	1	0	1	1	W8-W15
	Base and Current Address	Write	0	1	0	0	1	1	0	0	A0-A7
			0	1	0	0	1	1	0	1	A8-A15
	Current Address	Read	0	0	1	0	1	1	0	0	A0-A7
			0	0	1	0	1	1	0	1	A8-A15
4	Base and Current Word Count	Write	0	1	0	0	1	1	1	0	W0-W7
			0	1	0	0	1	1	1	1	W8-W15
	Current Word Count	Read	0	0	1	0	1	1	1	0	W0-W7
			0	0	1	0	1	1	1	1	W8-W15
	Base and Current Address	Write	0	1	0	0	1	1	1	0	A0-A7
			0	1	0	0	1	1	1	1	A8-A15