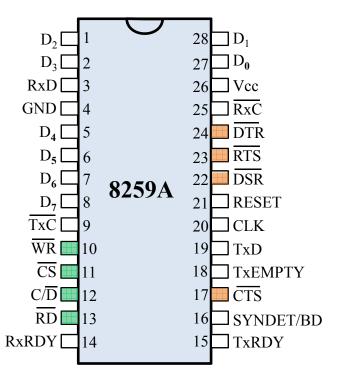




## 8251A

Programabilni komunikacioni interfejs Universal Synchronous/Asinchronous Receiver/Transmitter

(USART)

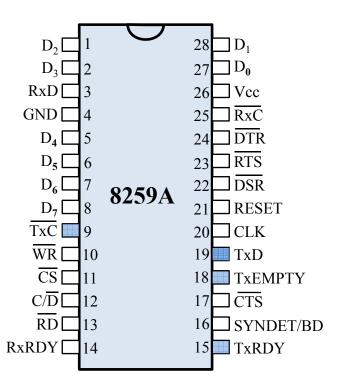


C/D	RD	WR	<del>C</del> \$	
0	0	1	0	8251A DATA → DATA BUS
0	1	0	0	DATA BUS → 8251A DATA
1	0	1	0	STATUS → DATA BUS
1	1	0	0	DATA BUS → CONTROL
Х	1	1		DATA BUS → 3-STATE
Х	X	X	1	DATA BUS → 3-STATE

- CLK (Clock) mora biti bar 30 puta veći od takta kojim se primaju/šalju podaci
- WR (Write) aktivan je kada CPU upisuje podatke ili kontrolnu reč u USART
- RD (Read) aktivan je kada CPU čita podatke ili status USART-a
- C/D (Control/Data) definiše da li je podataka na Data magistrali kontrolna reč ili status (1) ili podatak (0)
- $\mathbf{D_0}$ - $\mathbf{D_7}$  (Data Bus)

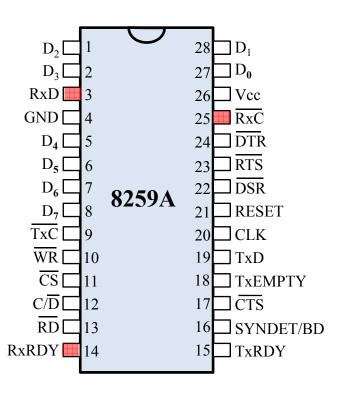
### Modemska kontrola

- DSR (Data Set Ready) ulazni signal koji se povezuje na DSR modema
- DTR (Data Termial Ready) izlazni signal ka modemu
- RTS (Request To Send) izlazni signal ka modemu
- CTS (Clear To Send) ulazni signal od modema



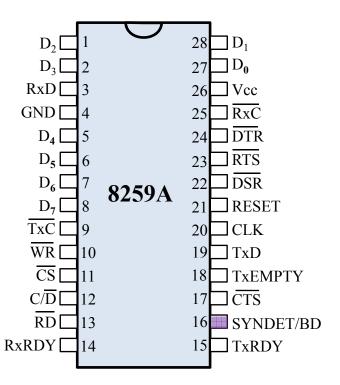
### Kontrola slanja

- TxRDY (Transmitter Ready) izlazni signal ka CPU, kojim se javlja da je transmiter spreman da prihvati podatak (može da se koristi kao prekid)
- TxEMPTY (Transmitter Empty) izlazni signal koji je aktivan kada nema podataka za slanje; resetuje se kada se upiše novi podatak, ako je transmiter omogućen (u protivnom ostaje na visokom nivou). U sinhronom modu, visok nivo ukazuje da podatak nije učitan i da je u toku prenos SYNC karaktera
- TxC (Transmitter Clock) takt kojim se šalju podaci (u asinhronom modu, instrukcija za postavljanje moda definiše sa kojim faktorom treba deliti dati takt: 1, 1/16 ili 1/64), padajuća ivica takta vrši šiftovanje podataka i slanje na izlaz



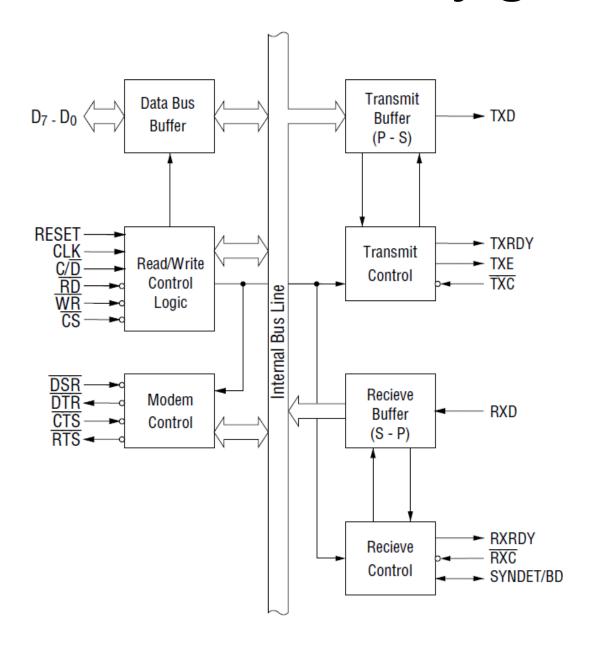
### Kontrola prijema

- RxRDY (*Receiver Ready*) izlazni signal ka CPU, kojim se javlja da 8251A sadrži podataka koji CPU treba da pročita (može da se koristi kao prekid)
- TxC (Receiver Clock) takt kojim se primaju podaci (u sinhronom modu je uvek x1, u asinhronom modu, instrukcija za postavljanje moda definiše sa kojim faktorom treba deliti dati takt: 1, 1/16 ili 1/64), rastuća ivica sempluje podatke



- SYNDET/BD (SYNC Detect / Break Detect)
  - Kada se koristi kao izlazni (unutrašnji Sync mod) ukazuje da je lociran SYNC u prijemu (ako se koriste 2 SYNC karaktera, SYNDET ide na visok nivo na sredini poslednjeg bita drugog karaktera)
  - Kada se koristi kao ulazni (spoljašnji SYNC mod), visok nivo signala uzrokuje da 8251A počne da prikuplja podatke na rastuću ivicu sledećeg takta na RxC.
- BREAK aktivan u asinhronom modu, postavlja se na visok nivo kadgod ulazna linija (RxD) ostane na niskom nivou tokom dva uzastopna karakter-intervala (niska vrednost, tj. "SPACE", u trajanju od bar desetak bitskih intervala; normalno je da bude visoka vrednost, tj. "MARK", kada nema prenosa a veza je uspostavljena)

## Funkcionalni blok dijagram

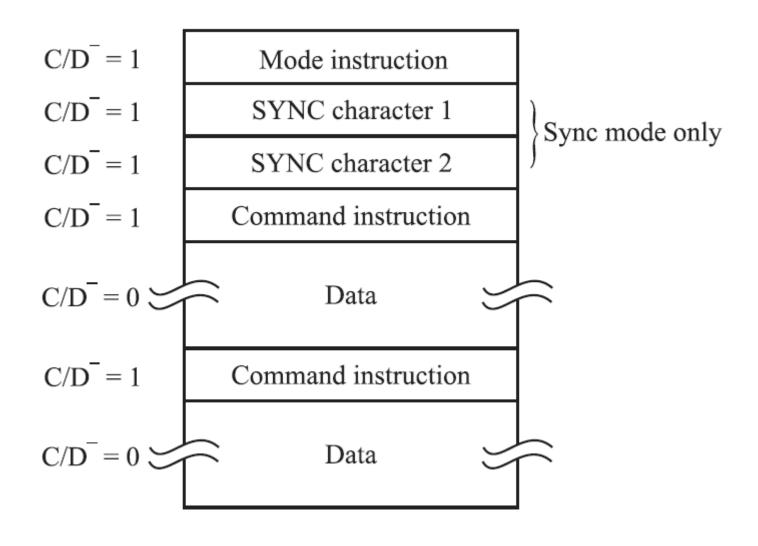




### Transmit i Receive baferi

- Transmit Buffer prihvata paralelno podatak iz Data Bus Buffer-a, pretvara ga u serijski niz bitova, umećući odgovarajuće karaktere ili bitove (zavisno od tehnike) i šalje ih na TxD izlazni pin, na padajuću ivicu TxC signala.
- Prenos počinje nakon što je omogućen, ukoliko je CTS = 0.
- Receive Buffer prihvata serijske podatke sa RxD, pretvara ih u paralelni oblik, pronalazi umetnute bitove ili karaktere i sklapa karakter koji se šalje ka CPU; taktuje se rastućom ivicom RxC

## Tipični prenos podataka



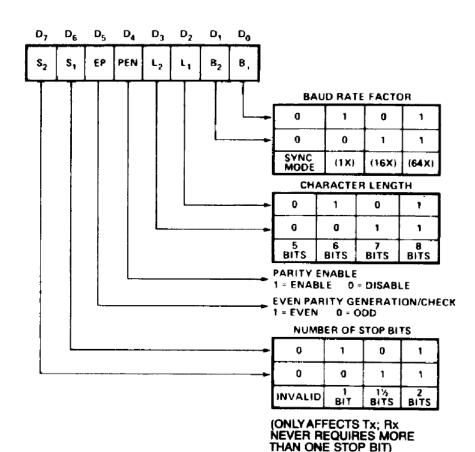


### Tipični prenos podataka

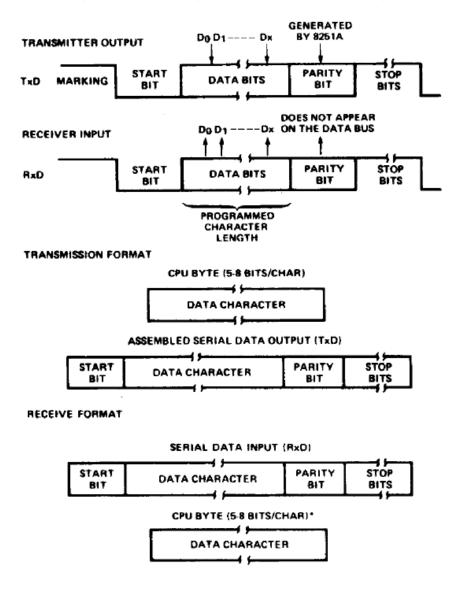
- Resetovati komponentu (hardverski ili slanjem odgovarajuće komande)
- 2. Postaviti mod rada (posle reseta prva komanda, C/D=1, se tumači kao postavljanje moda rada)
- Ako je sinhroni mod rad, sledeća komanda definiše SYNC1 karakter (C/D=1)
- Ako je sinhroni mod rad i selektovana su dva SYNC karaktera u postavkama moda rada, sledeća komanda definiše SYNC2 karakter (C/D=1)
- 5. Izdati komandu (uključiti prijem i/ili predaju, ući u HUNT mod, resetovati greške, ...) (C/D=1)
- 6. Zadavati karaktere koji se prenose pod dejstvom prethodne komande (C/D=0)
- 7. Izdati novu komandu...



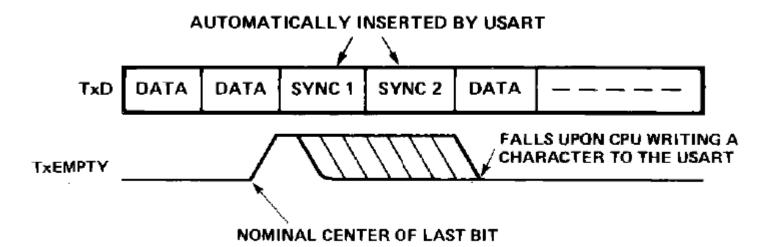
# Format Mod instrukcije asinhroni mod



# Format podataka u asinhronom modu

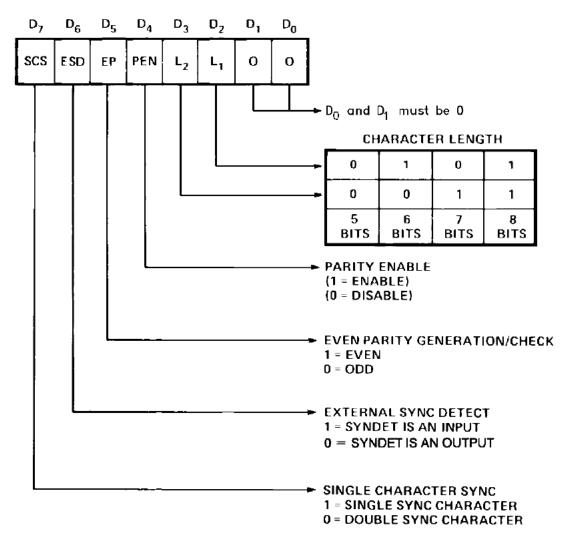


### Sinhroni prenos



- TxD je na visokom nivou dok CPU ne pošalje prvi karakter (obično SYNC)
- Kada CTS postane aktivan (niska vrednost) prvi karakter se serijski šalje
- Podaci se šalju po taktu TxC (nema deljenja frekvencije) na padajuću ivicu
- Kada jednom počne, tok podataka mora kontinualno da se šalje sa TxC
- Ako CPU ne pošalje novi karakter pre nego što se aktivira TxEMPTY, SYNC karakter (ili 2 SYNC karaktera, ako je tako definisano) se automatski umeće u izlazni tok
- TxEMPTY ostaje aktivno dok se šalje SYNC karakter, a resetuje se kada se upiše novi podatak za slanje

# Format Mod instrukcije sinhroni mod



### NOTE:

In external sync mode, programming double character sync will affect only the Tx.



# Format podataka u sinhronom modu

CPU BYTES (5-8 BITS/CHAR)

**DATA CHARACTERS** 

ASSEMBLED SERIAL DATA OUTPUT (TxD)

SYNC SYNC DATA CH	IARACTERS
-------------------	-----------

RECEIVE FORMAT

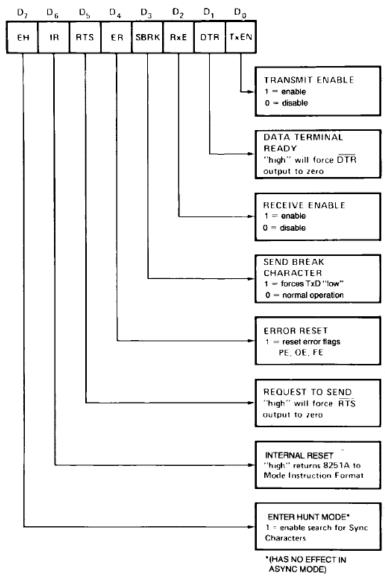
SERIAL DATA INPUT (RxD)



CPU BYTES (5-8 BITS/CHAR)

**DATA CHARACTERS** 

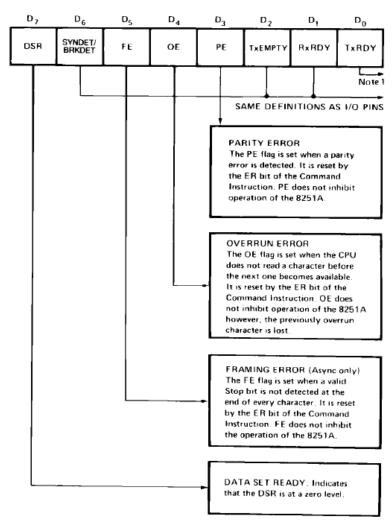
## Format komandne instrukcije



NOTE:

Error Reset must be performed whenever RxEnable and Enter Hunt are programmed.

### **Status read format**



205222-14

### NOTE:

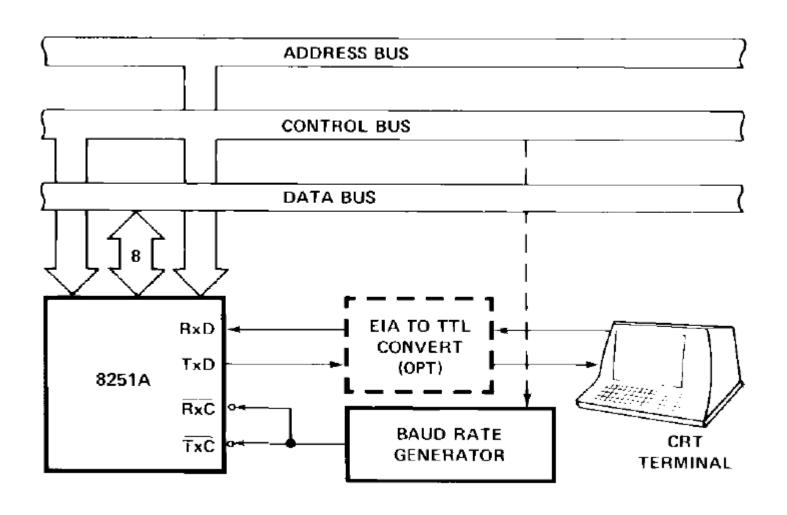
1. TxRDY status bit has different meanings from the TxRDY output pin. The former is not conditioned by CTS and TxEN; the latter is conditioned by both CTS and TxEN.

i.e. TxRDY status bit = DB Buffer Empty

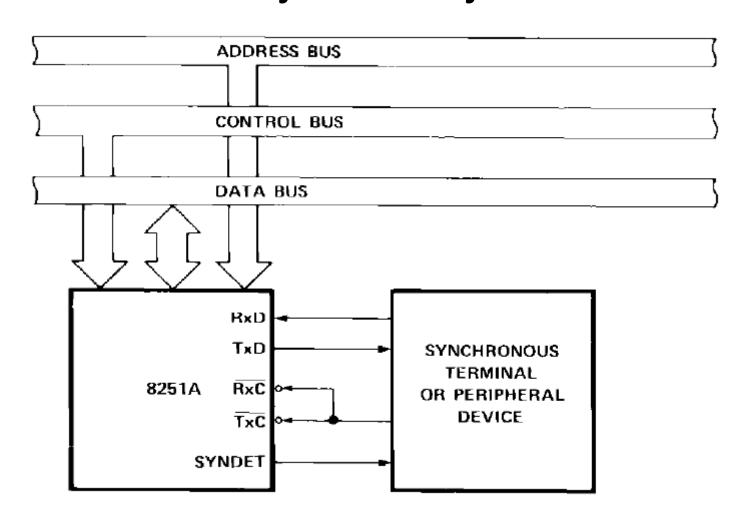
TxRDY pin out = DB Buffer Empty •  $(\overline{CTS} = 0) • (TxEN = 1)$ 

### Primena 8251A

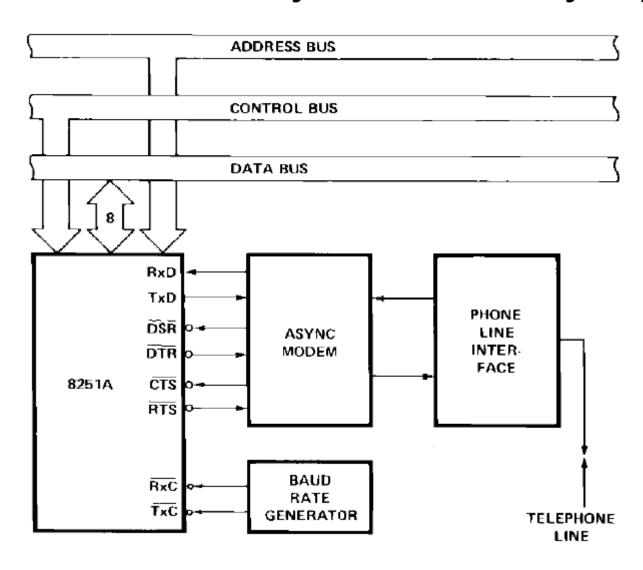
### Asinhroni serijski interfejs ka CRT terminalu



## Primena 8251A Sinhroni serijski interfejs ka terminalu



# Primena 8251A Asinhroni interfejs ka telefonskoj liniji



### Primena 8251A Sinhroni interfejs ka telefonskoj liniji

