




Mikroračunarski sistemi

20ER6004



Direktni pristup memoriji (DMA)



Nedostaci prenosa podataka korišćenjem prekida

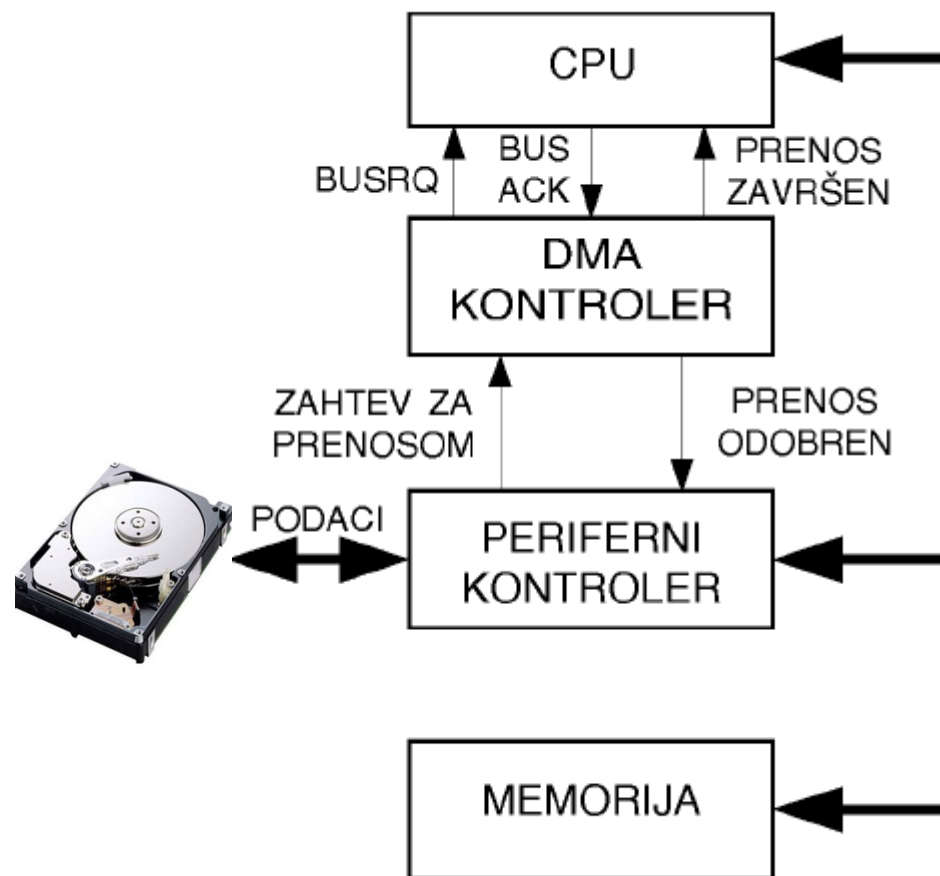
- Prekidi obezbeđuju brz odgovor perifernom uređaju, ali se opsluživanje obavlja softverski
- Nekada je potrebno da se prenos obavi brže nego što to omogućuje procedura za obradu prekida
- Nekada se čitav prekidni program izvršava samo da bi se preneo jedan bajt (prekida se rad CPU, snima stanje, uzima podatak iz izvora, upisuje se u odredište, vraća se prethodno stanje)
- Prekidi su dobri samo za spore periferije



DMA

- Za brze periferije, prenos se prepušta specijalizovanom hardveru
- On obezbeđuje brz transfer podataka, zaobilazeći CPU
- DMA kontroler preuzima upravljanje sistemskom magistralom za vreme prenosa podataka i vraća upravljanje CPU nakon završetka

Blok šema DMA prenosa

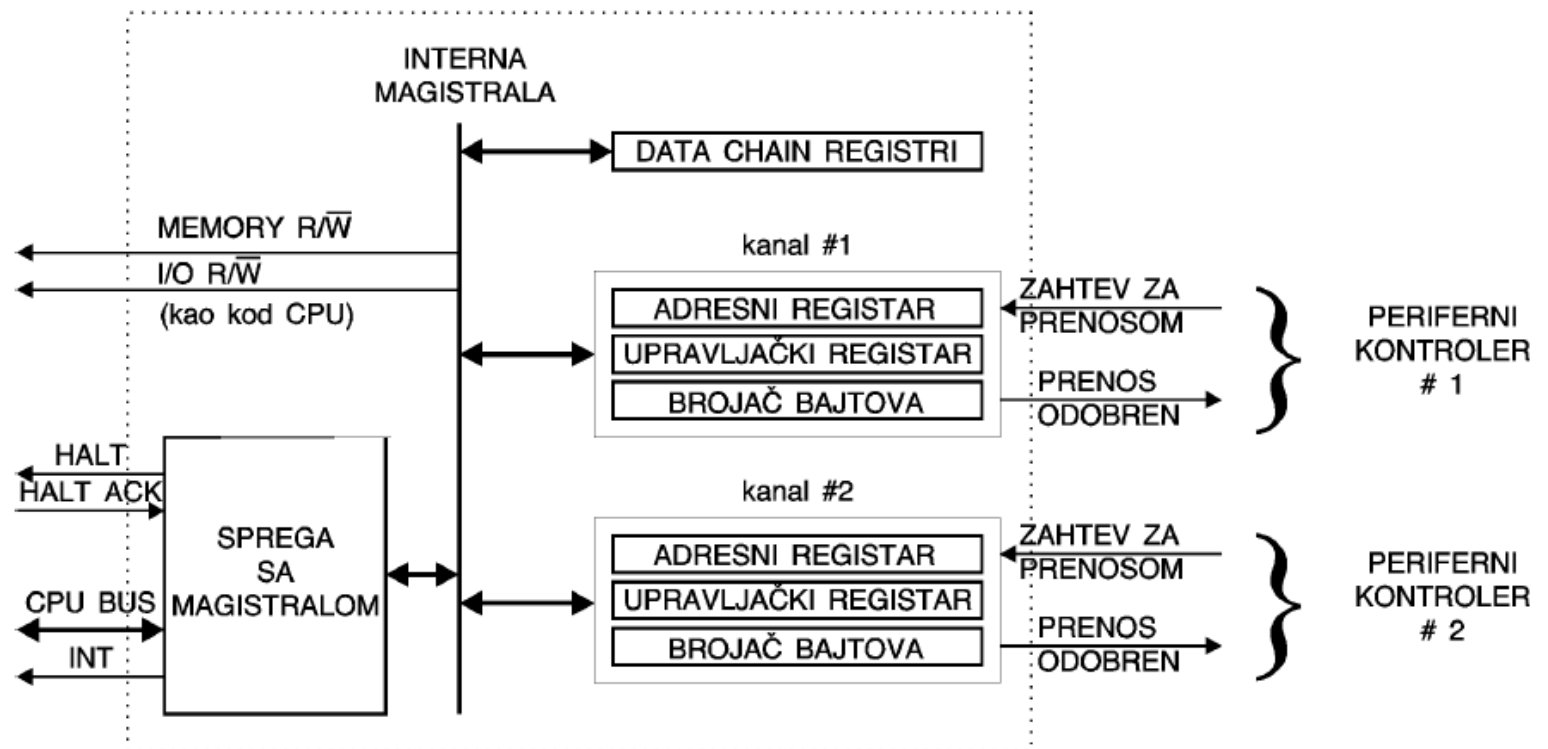




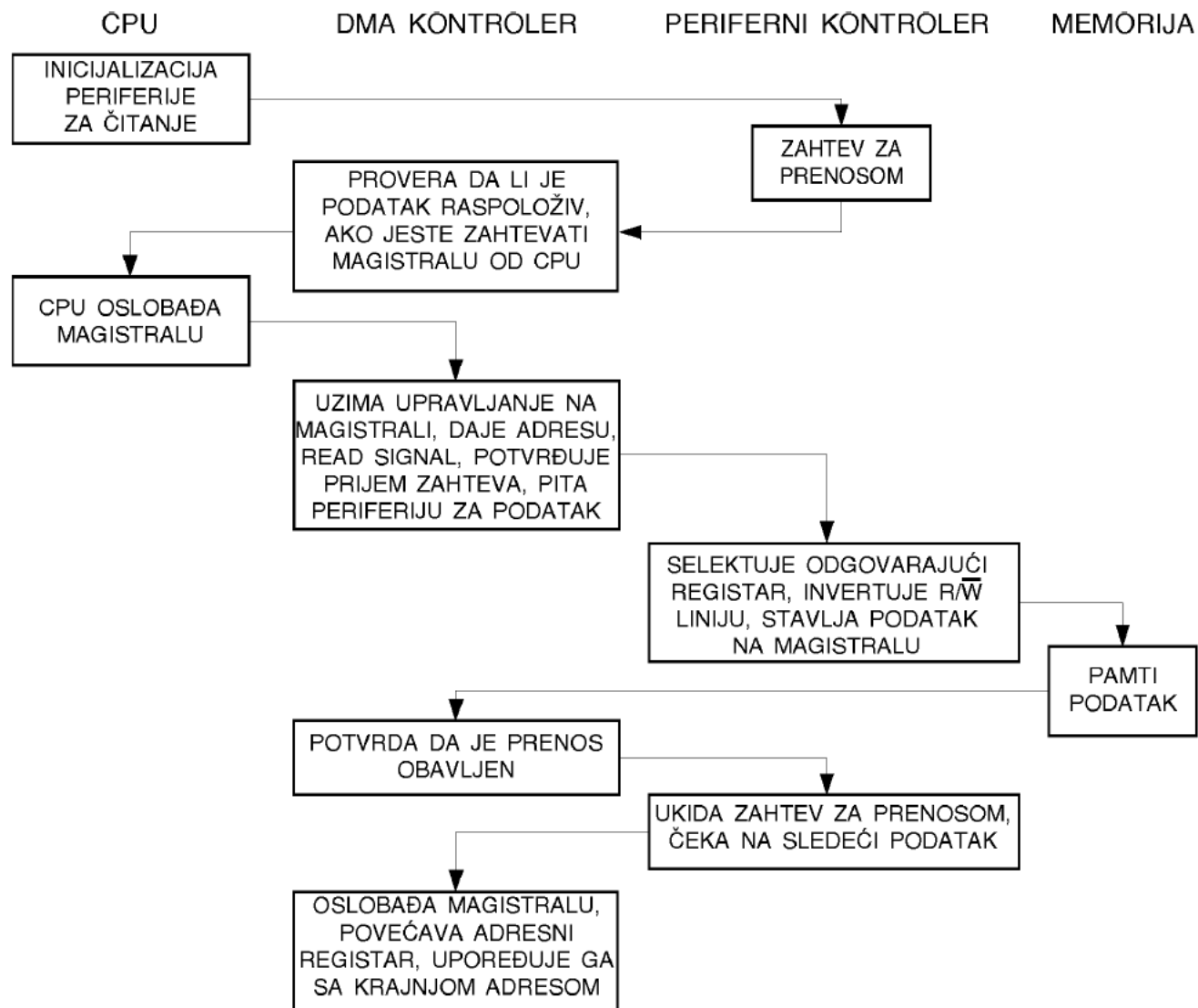
Šta CPU šalje DMA kontroleru

- Početnu adresu bloka koji treba da se prenese
- Veličinu bloka (u bajtovima ili rečima)
- Smer prenosa (memorija-ka-uređaju, uređaj-ka-memoriji)
- Port ID (adresa U/I uređaja)
- Akcija na kraju prenosa (da li se zahteva prekid ili ne)

Struktura DMA kontrolera



DMA *handshake* protokol





Rad DMA kontrolera

- CPU inicijalizuje DMA prenos (šalje početnu adresu, veličinu bloka, smer, port, tip završetka)
- CPU se vraća svojim zadacima, a DMA kontroler preuzima prenos
- Svaki put kada DMA kontroler pristupa memoriji, to mora sinhronizovati sa *idle* periodom procesora, na jedan od sledećih načina:
 - Trenutno onemogućavanjem CPU da pristupa magistrali
 - Slanjem *halt* signala i čekanjem potvrde
 - Usklađivanjem DMA pristupa sa određenim intervalom kloka ili statusnih signala procesora (kojim se signalizira *idle* ciklus)



Rad DMA kontrolera

- Kada DMA kontroler pristupa U/I portu ili memoriji, on koristi iste signale kao CPU (pristup U/I portu može biti ostvaren preko posebnih linija/magistrale, i tada ne mora biti sinhronizovan sa CPU)
- Po završetku prenosa, aktivira zahtev za prekidom ili postavlja odgovarajući status u svom status registru (zavisno koja je akcija selektovana da označi kraj prenosa)
- Procesor prepoznaje kraj U/I aktivnosti na osnovu prekida ili čitanjem status registra DMA kontrolera

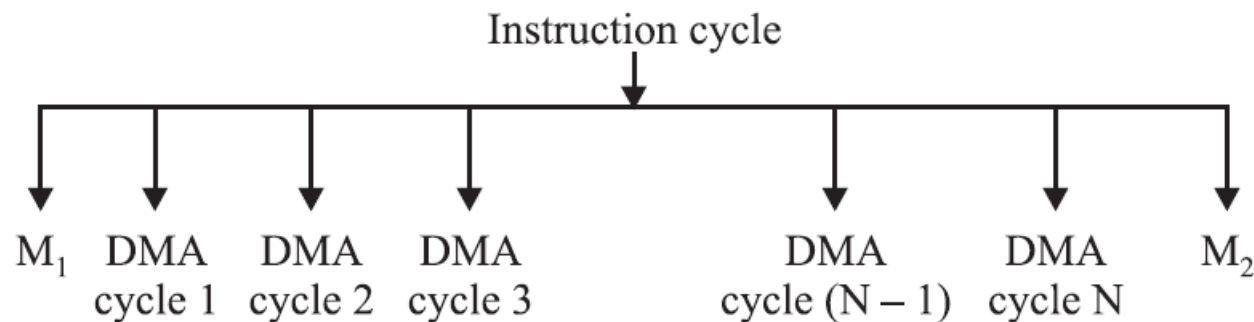


Podela DMA

- Burst ili blok transfer DMA
- „Krađa ciklusa“ ili „prenos jednog bajta“ DMA
- Transparentni ili skriveni DMA

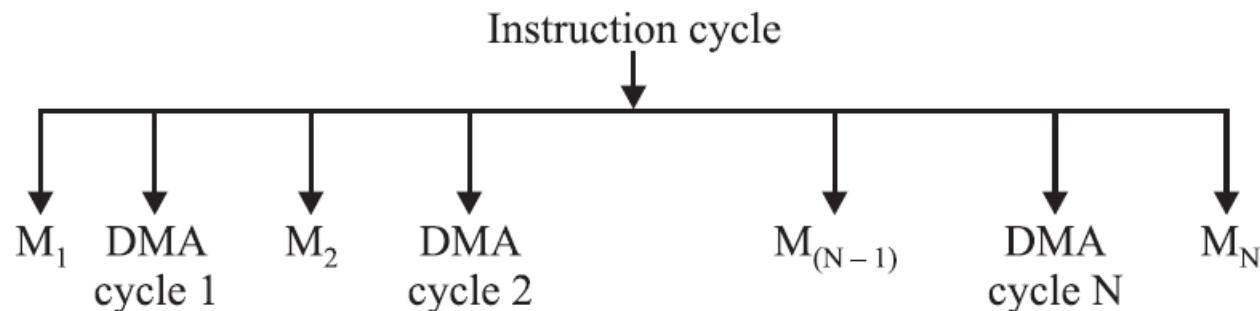
Burst ili blok transfer DMA

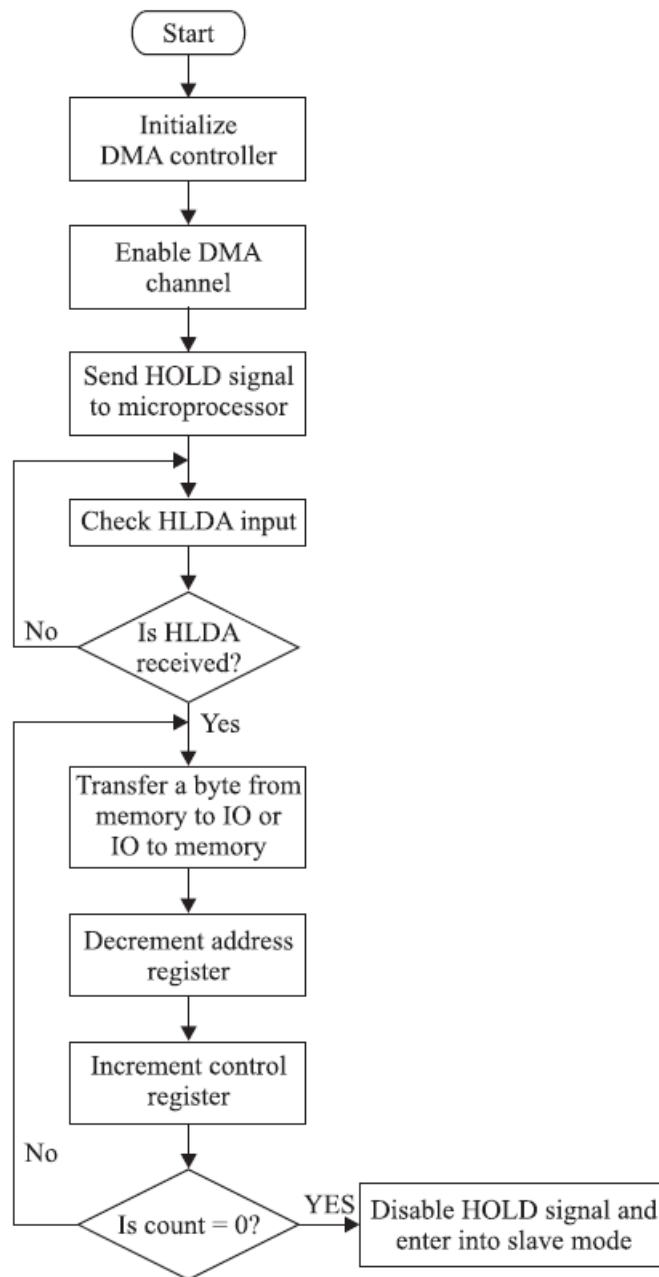
- To je najbrži DMA mod
- Podaci se prenose kontinuirano u jednoj HOLD operaciji
- CPU se povlači sa magistrale dok traje prenos (dakle, ne može da obavlja svoj posao)
- Za prenos N bajtova (ili reči) podataka N DMA ciklusa se umeće u mašinske cikluse CPU



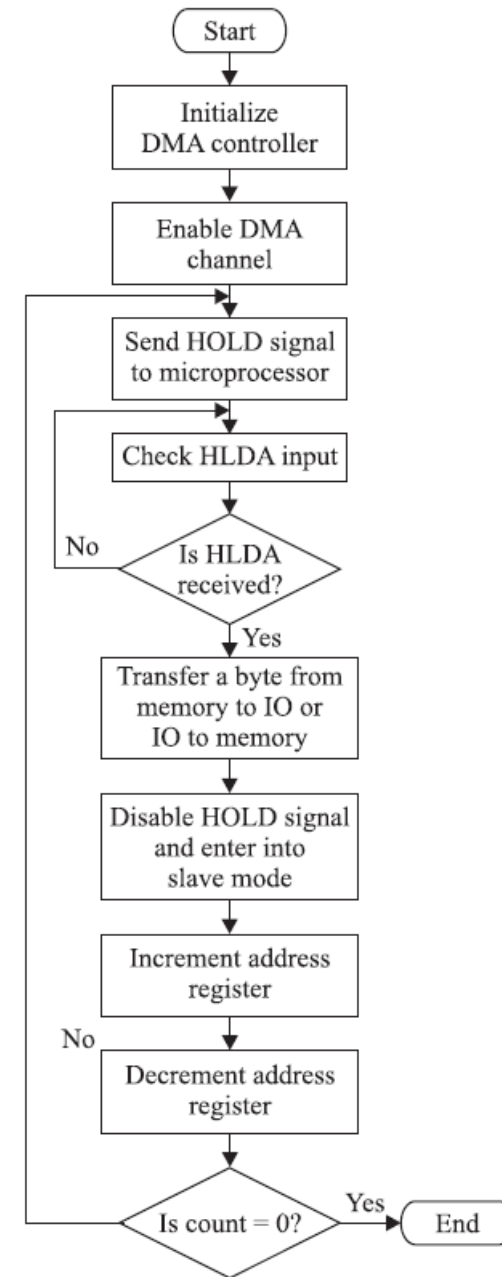
„Krađa ciklusa“

- Samo 1 bajt se prenosi u jednoj HOLD operaciji
- Nakon prenosa 1 bajta, DMA kontroler ukida HOLD signal i vraća CPU kontrolu nad magistralom (naizmenično koriste magistralu)
- Ovaj mod je sporiji od *burst* moda
- Ali CPU brže izvršava svoj program





Burst mod



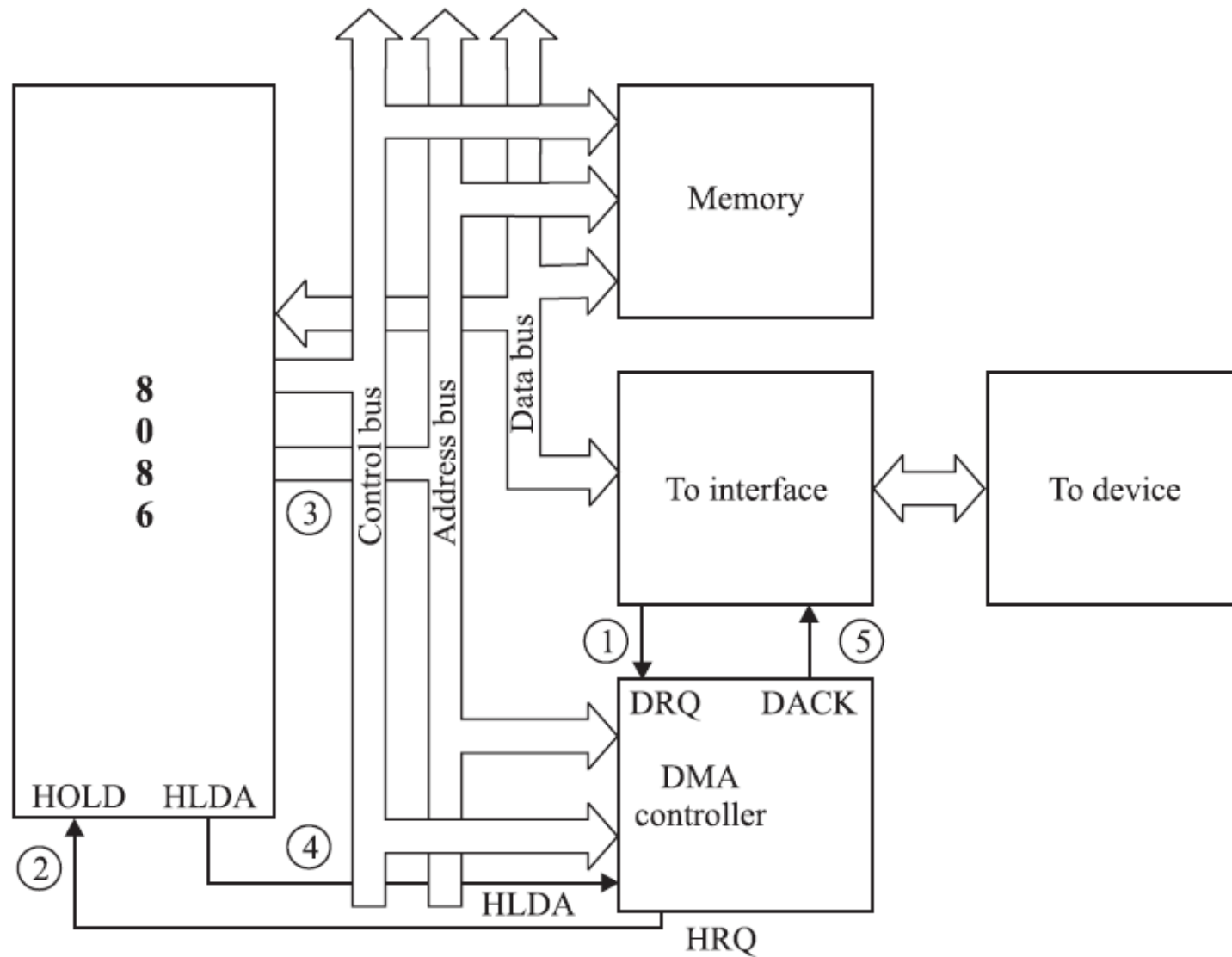
„Krađa ciklusa“



Prenos podataka (detaljniji pregled)

- Ulazni uređaj šalje **DRQ** (*DMA Request*) na kanal na koji je priključen (npr. kanal 2) [1]
- DMA kontroler prima zahtev i proverava
 - Da li je DMA kanal 2 programiran i omogućen
 - Da nijedan od drugih kanala nije aktivan ili želi da bude aktivan, a višeg je prioriteta
- DMA kontroler šalje **HRQ** (*HOLD Request*) ka CPU (HRQ je povezan na HOLD pin CPU-a) [2]
- CPU detektuje HRQ, završava tekući mašinski ciklus i oslobađa magistralu (svi signalni pinovi CPU-a prelaze u stanje visoke impedanse), u međuvremenu CPU može da završava interne operacije i ulazi u *wait* stanje nakon njihovog kompletiranja [3]
- CPU generiše **HLDA** (*HOLD Acknowledge*) signal (direktno povezan na HLDA pin DMA kontrolera) [4]
- Nakon prijema HLDA, DMA kontroler postaje arbitar na magistrali i od tog trenutka on generiše kontrolne signale (MEMR, MEMW, IOR, IOW) i adrese.
- DMA kontroler šalje **DACK** (*DMA Acknowledge*) uređaju koji je zahtevao DMA. [5]

Prenos podataka (detaljniji pregled)





Prenos podataka (detaljniji pregled)

- Kada U/I uređaj primi DACK, on postavlja podatak na magistralu
- Sa svakim prenosom podatka, adresni registar u DMA kontroleru se inkrementira, a brojač bajtova (reči) se dekrementira
- Kada brojač bajtova dostigne 0, javlja se EOP signal koji označava kraj prenosa
- Kontroler U/I uređaja **deaktivira DRQ₂** kada se završi prenos
- Kao odgovor na ukidanje DRQ₂, DMA kontroler **ukida HRQ**
- Nakon ukidanja HRQ, CPU preuzima kontrolu nad magistralom i **deaktivira HLDA**
- Kao odgovor na to, DMA kontroler ukida DACK