

## 数字部分 实验四 模块级物理设计与时序分析

### 一、实验目的

- (1) 学习使用 Cadence Innovus 进行物理设计；
- (2) 学习使用 Cadence Innovus 内置的时序分析工具进行时序分析和调试；
- (3) 熟悉使用 Cadence Innovus 脚本进行批量执行命令的方法；
- (4) 熟悉模块级物理设计和时序分析流程。

### 二、实验内容

#### 1 环境配置

##### 1.1 登录方法

利用 Xmanager 或 MobaXterm 等远程终端软件登录服务器，协议选择 SSH，服务器 IP 地址为 202.38.81.119，端口 2122，登录进入管理节点 mgt。

然后再利用 SSH 登录计算节点 c01n01 至 c01n14，登录时请注意避开用户较多的节点。例如，登录 c01n10 节点：

```
$ ssh -X c01n10
```

注意：Linux 命令行是大小写敏感的，大小写字母代表不同的含义，请正确书写字母。

查看各节点的负载情况，可以浏览如下网址：

<http://202.38.81.119/ganglia/>

注意：请勿直接在管理结点 mgt 上运行程序。

##### 1.2 进入实验目录

```
$ cd ~/vlsi
```

```
$ cd counter_design_database_45nm/physical_design
```

本实验继续使用实验一的目录，若实验一中使用了其他目录名，请做相应的修改。

#### 2 物理设计

##### 2.1 设置软件环境

设置 Cadence Innovus 171 软件环境：

```
$ setdt invs
```

注意：上述命令中的 setdt 是实验中心自定义的脚本，不是通用命令，作用是设置软件所需的路径、环境变量等。在其他服务器运行软件时，请咨询管理员或 CAD 支持人员。

##### 2.2 启动软件

启动 Innovus 软件：

```
$ innovus -stylus
```

注意：不要使用正在运行 Innovus 的终端窗口执行与 Innovus 的交互以外的操作，可以打开新的终端窗口用于其他 Linux 操作。

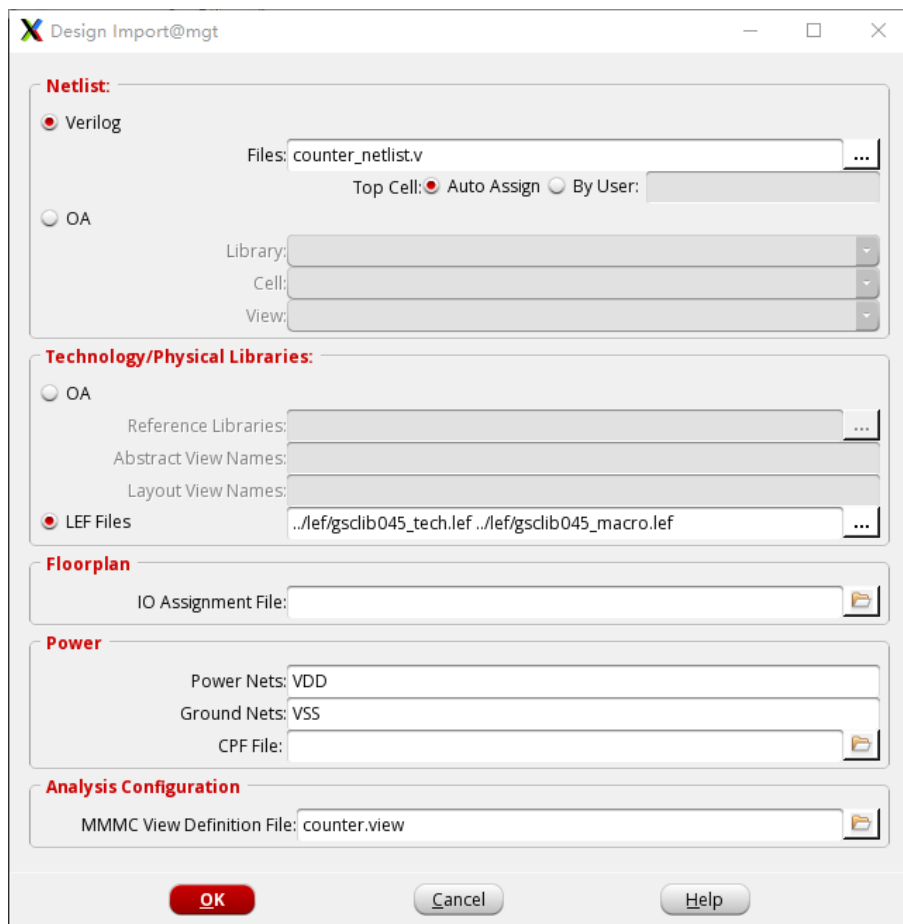
### 2.3 查看帮助

在操作过程中，如果需要查看命令的帮助信息，可以使用 man 命令，例如：

```
@innovus> man place_opt_design
```

### 2.4 导入设计

导入门级网表、时序约束、单元库，选择菜单 File – Import Design，显示 Design Import 对话框，按照下图所示填写，并点击 OK 按钮。

The image shows the 'Design Import' dialog box in the Innovus software. The dialog is titled 'Design Import@mgt'. It has several sections: 'Netlist' with radio buttons for 'Verilog' (selected) and 'OA', and fields for 'Files' (containing 'counter\_netlist.v'), 'Top Cell' (with 'Auto Assign' selected), 'Library', 'Cell', and 'View'. 'Technology/Physical Libraries' has radio buttons for 'OA' and 'LEF Files' (selected), with fields for 'Reference Libraries', 'Abstract View Names', 'Layout View Names', and 'LEF Files' (containing a path). 'Floorplan' has an 'IO Assignment File' field. 'Power' has fields for 'Power Nets' (VDD), 'Ground Nets' (VSS), and 'CPF File'. 'Analysis Configuration' has an 'MMMC View Definition File' field (containing 'counter.view'). At the bottom are 'OK', 'Cancel', and 'Help' buttons.

输入框右侧的按钮可以帮助找到文件并填入，不需要手工输入文件路径。



对话框中需要填写的主要内容说明如下。

- (1) Verilog Files: 设计的门级网表，包括一个或多个网表文件。
- (2) Top Cell: 顶层单元名称，Auto Assign 表示由软件在网表中自动选择。
- (3) LEF Files: 工艺和单元库的物理信息，包括一个或多个 LEF 文件。LEF 文件包含物理设计所需的金属层和通孔的定义、设计规则等工艺信息，以及单元的尺寸、引脚位置、引脚金属层、布线阻挡层等布局布线所需信息。LEF 文件是文本格式，可以使用文本编辑器打开阅读，但是请勿擅自修改。

注意：由于单元的 LEF 文件需要调用工艺 LEF 文件中定义的工艺信息，所以导入 LEF 文件时必须保证工艺 LEF 在最前面。有时，工艺信息没有存放在单独的文件中，而是存放在标准单元库 LEF 文件的开头部分，此时，应将标准单元库 LEF 文件放在最前面导入。

(4) MMMC View Definition File：定义时序模型、寄生参数抽取工艺文件、设计约束等信息，用于时序收敛和时序分析，详情见下节。

## 2.5 理解 MMMC

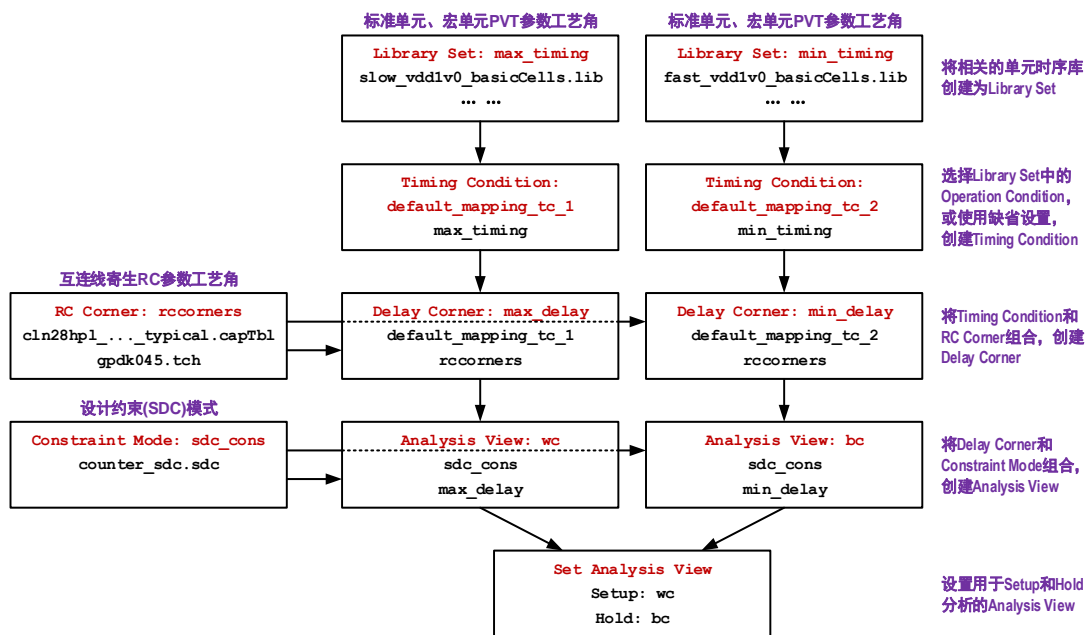
多模式多端角(Multi-Mode Multi-Corner, MMMC)是时序收敛和时序分析的一种方法。

电路有不同的模式，例如工作模式、调试模式、测试模式，分别有不同的设计约束(SDC)。

电路也有不同的工艺角，包括单元工艺角(PVT)和互连线工艺角(RC)。

将不同模式下的设计约束和不同工艺角下的单元库、互连线寄生参数模型相结合，可以得到多种不同的组合，选择适当的组合方式用于建立时间(Setup Time)和保持时间(Hold Time)时序分析。

使用文本编辑器打开 `counter.view` 文件，参照下图显示的关系认真阅读每条命令。



实验数据提供的设置中仅有一种模式，使用 `counter_sdc.sdc` 文件作为设计约束，互连线寄生参数仅使用 Typical 工艺角。以最慢的 PVT 工艺角 slow-0.9V-125°C 用于建立时间分析，以最快的 PVT 工艺角 fast-1.1V-0°C 用于保持时间分析。

## 2.6 查看设计

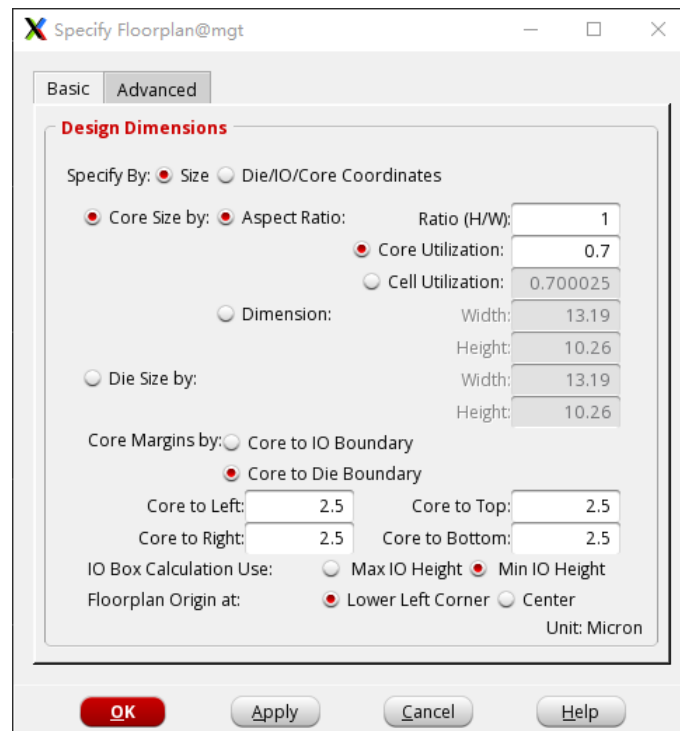
在工具栏右侧选择 Floorplan View，使用快捷键 F、Z、Shift-Z、鼠标右键拖曳等方式调整显示的区域和缩放比例，并熟悉快捷键的用法，在后面的操作中会经常用到。

选择菜单 Tools – Design Browser，浏览设计的层次结构，了解其中的内容，完成后关闭 Design Browser 窗口。



## 2.7 布图规划 (Floorplanning)

选择菜单 Floorplan – Specify Floorplan，显示 Specify Floorplan 对话框，按照下图所示填写，并点击 OK 按钮，初始化布图规划。



The image shows the 'Specify Floorplan@mgt' dialog box with the 'Basic' tab selected. The 'Design Dimensions' section contains the following settings:

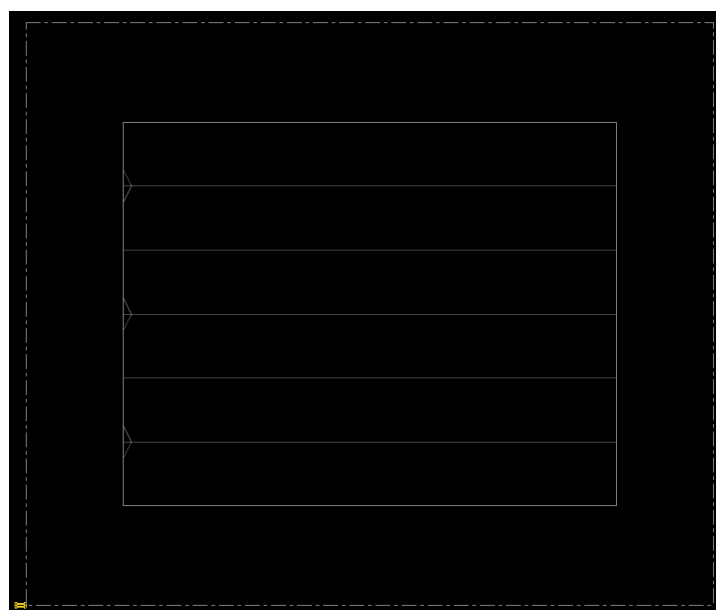
- Specify By: ☒ Size ☐ Die/IO/Core Coordinates
- Core Size by: ☒ Aspect Ratio: Ratio (H/W): 1
- ☒ Core Utilization: 0.7
- ☐ Cell Utilization: 0.700025
- ☐ Dimension: Width: 13.19, Height: 10.26
- Die Size by: Width: 13.19, Height: 10.26
- Core Margins by: ☐ Core to IO Boundary, ☒ Core to Die Boundary
- Core to Left: 2.5, Core to Top: 2.5, Core to Right: 2.5, Core to Bottom: 2.5
- IO Box Calculation Use: ☐ Max IO Height, ☒ Min IO Height
- Floorplan Origin at: ☒ Lower Left Corner, ☐ Center
- Unit: Micron

Buttons at the bottom: OK, Apply, Cancel, Help.

对话框中需要填写的主要内容说明如下。

- (1) Aspect Ratio: 版图高宽比。
- (2) Core Utilization: 核心电路区域利用率，为后续设计步骤预留一定的空间。
- (3) Core Margins by: 核心电路边距的计算基准。
- (4) Core to Left/Right/Top/Bottom: 核心电路至四个方向的边距。

初始化布图规划后的结果如下图所示，实际的几何尺寸会根据工艺参数有所调整。

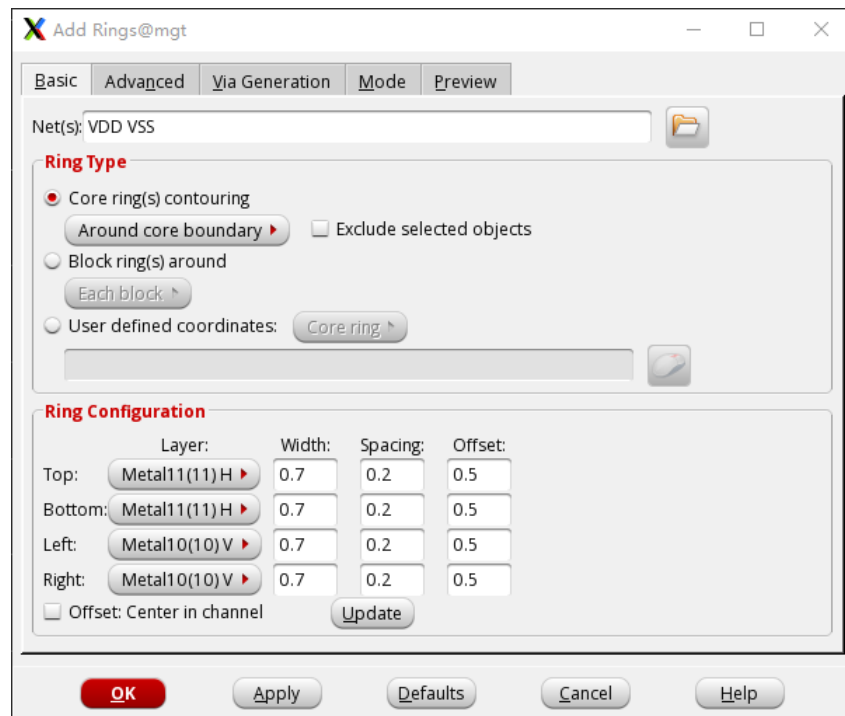


点击 Ruler 图标或使用快捷键 K 可以调出标尺测量图形实际尺寸和距离, 点击 Clear All Ruler 图标或使用快捷键 Shift+K 可以清除标尺。



## 2.8 电源规划 (Power Planning)

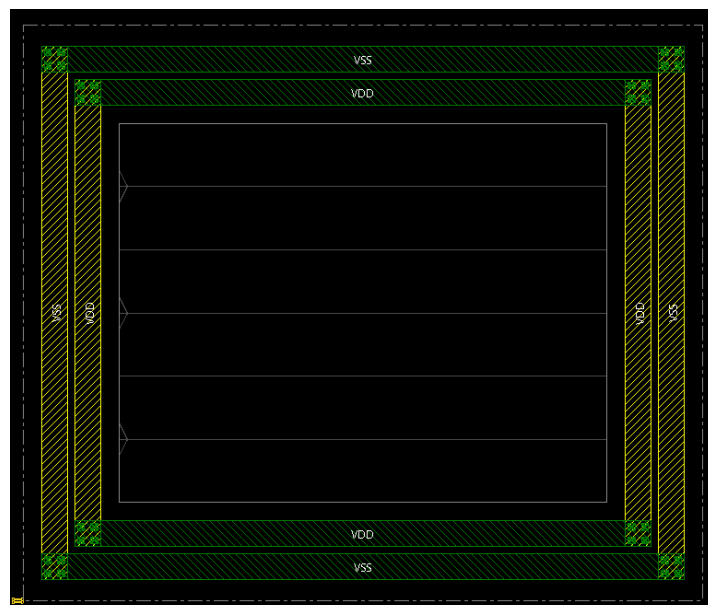
选择菜单 Power – Power Planning – Add Ring, 显示 Add Rings 对话框, 按照下图所示填写, 并点击 OK 按钮, 添加电源环。



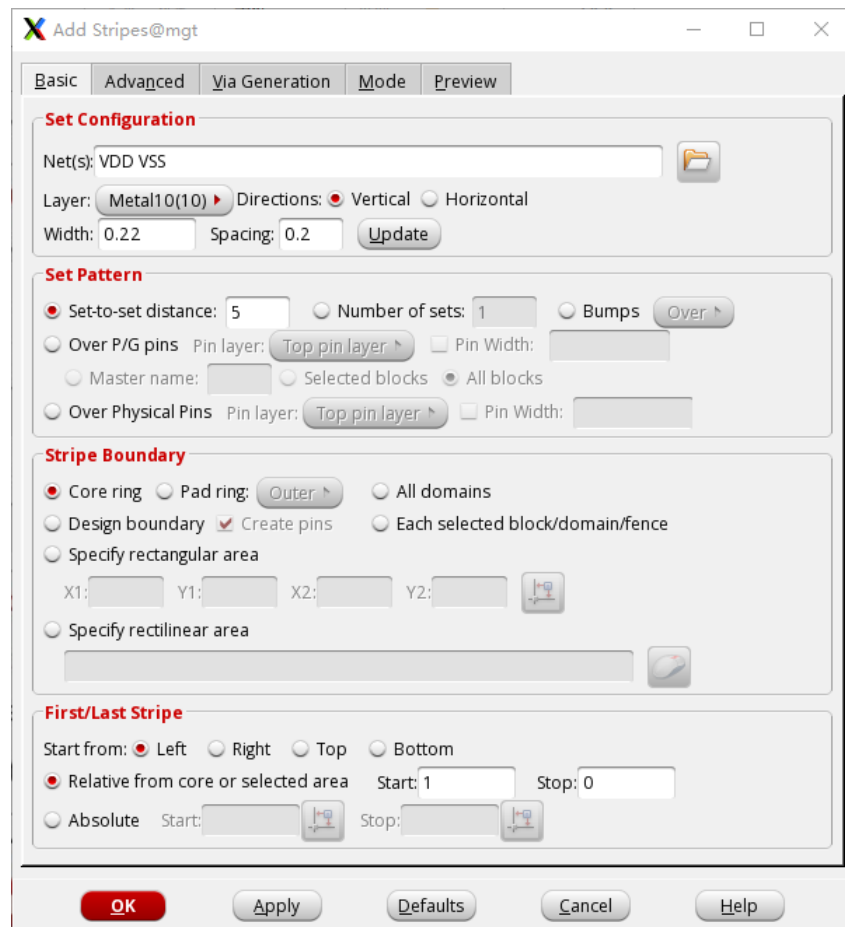
该工艺共有 11 层金属, 分别选择 Metal11 和 Metal10 用于电源环的横向和纵向布线。

提示: 通常选择顶层金属用于电源环和电源条线, 各金属层的布线方向在工艺 LEF 文件中定义, 一般奇数层为横向, 偶数层为纵向, 但是也存在例外情况。

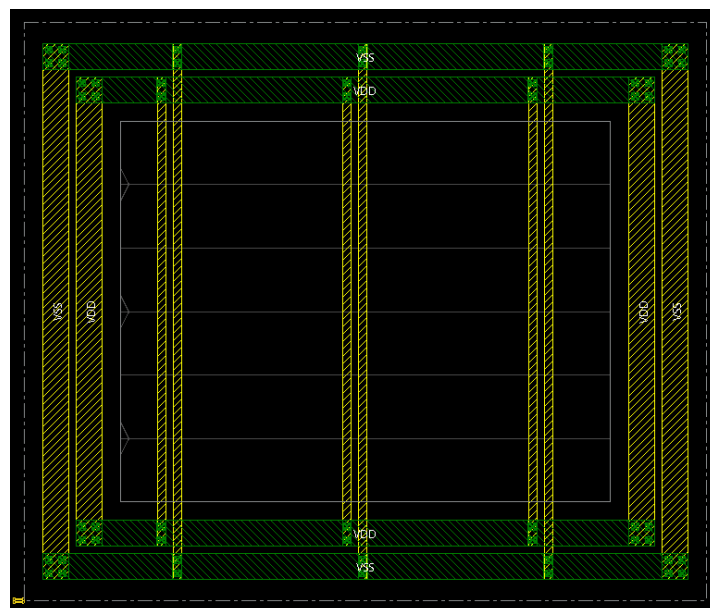
目前的版图如下图所示, 请使用标尺在版图中测量前面设置的宽度、间距、偏移量等。



选择菜单 Power – Power Planning – Add Stripe，显示 Add Stripes 对话框，按照下图所示填写，并点击 OK 按钮，添加电源条线(Stripe)。



选择 Metal10 作为纵向电源条线金属层，设置条线宽度、VDD/VSS 间距、相邻两组条线之间的间距等。目前的版图如下图所示，请测量电源条线相关的几何尺寸。



选择菜单 File – Save – Floorplan，保存布图规划信息，文件名为 **counter.fp**。

## 2.9 创建电源轨道

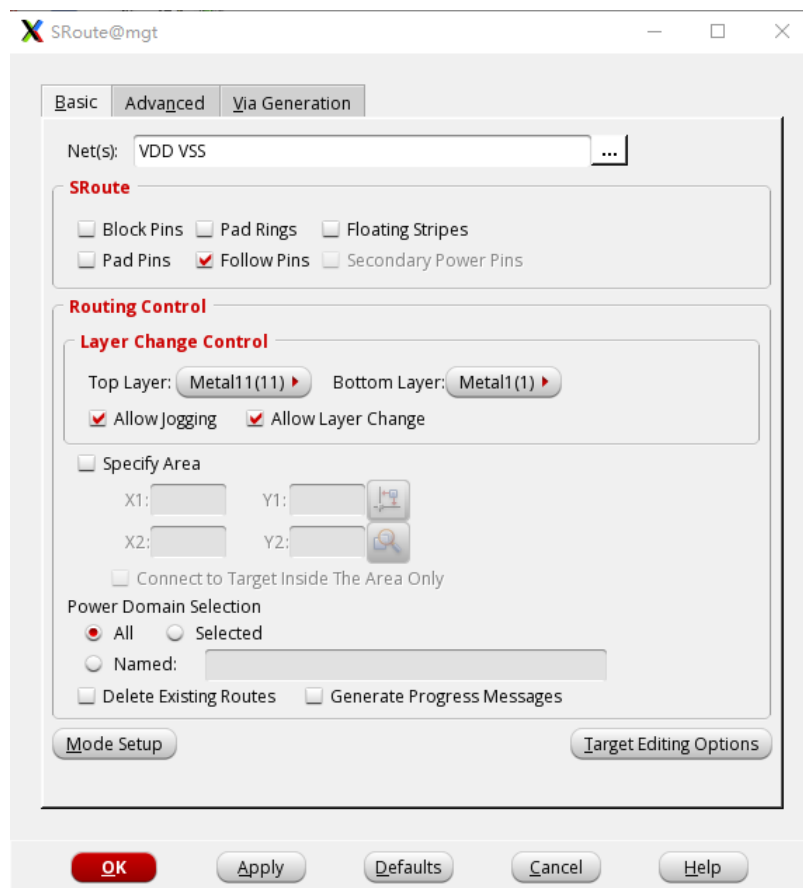
这里已经定义了全局电源和地的线网 VDD 和 VSS, 但是标准单元的电源和地引脚还没有和全局线网关联起来。

在创建电源轨道之前, 首先将全局线网 VDD 和 VSS 与标准单元的电源和地引脚名称关联起来, 在 Innovus 命令行输入:

```
@innovus> connect_global_net VDD -type pg_pin -pin VDD -inst *  
@innovus> connect_global_net VSS -type pg_pin -pin VSS -inst *
```

注意: 实验所用的标准单元电源和地引脚名称分别也是 VDD 和 VSS, 和全局线网名称相同, 这只是相同命名习惯造成的, 并不能保证所有单元库中电源和地引脚名称都是一样的。

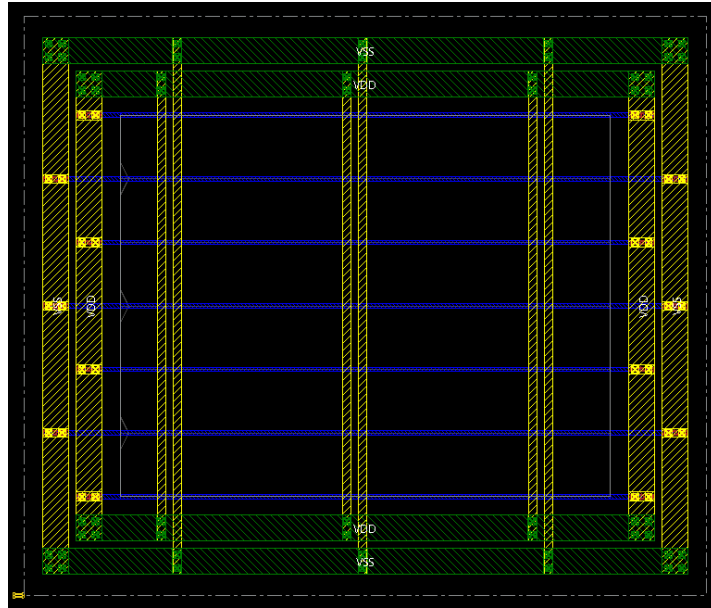
选择菜单 Route – Special Route, 显示 SRoute 对话框, 按照下图所示填写, 并点击 OK 按钮。



布线类型仅保留 Follow Pins, 即电源轨道(Power Rails), 形成对标准单元的供电网络。因为标准单元中的电源轨道使用 Metal1, 所以这里形成的电源轨道也使用了 Metal1, 并且与电源环相交的位置通过一系列通孔(Via)相连。

由于实验所用的电路比较小, 电源条线宽度也比较窄, 根据设计规则, 电源轨道和电源条线相交处无法使用通孔相连接。

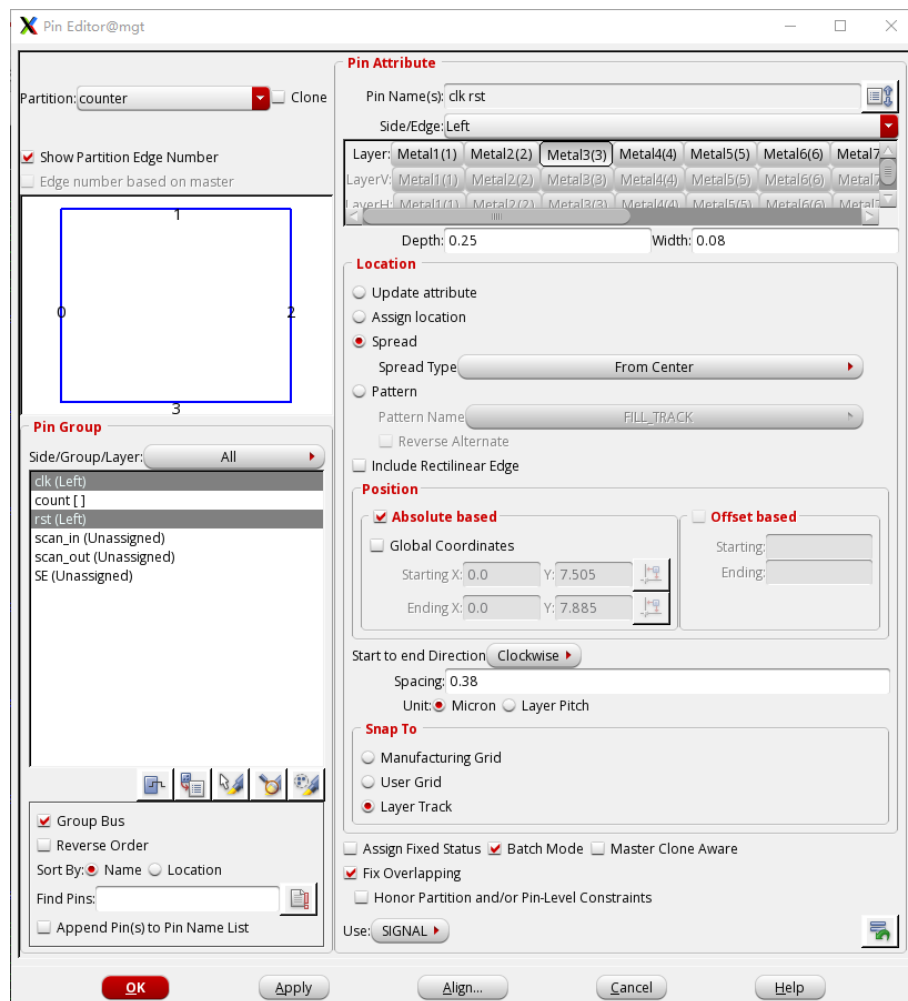
电源网络至此已经设计完成, 目前的版图如下图所示, 请放大观察电源环和电源轨道之间的连接点。



## 2.10 设置引脚位置

放大观察版图左下角重叠在一起黄色三角形，这些是尚未设置位置的引脚。

选择菜单 Edit – Pin Editor，显示 Pin Editor 对话框如下图所示。



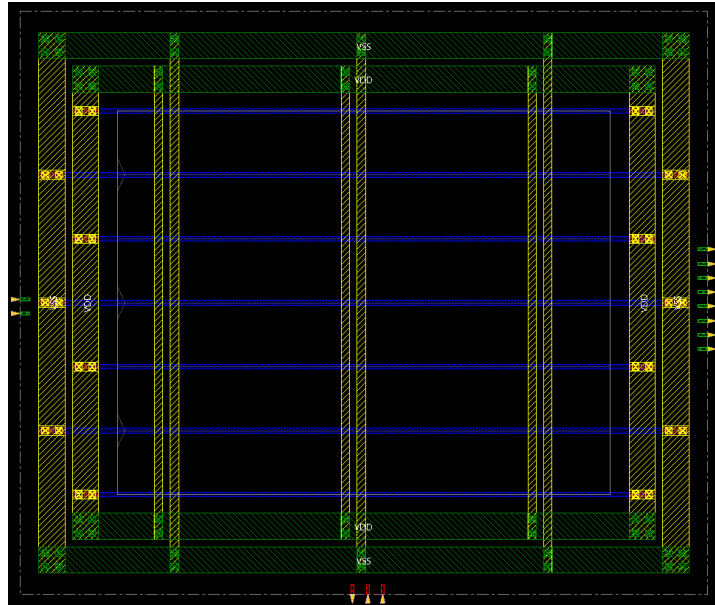


首先按照以下步骤将 clk 和 rst 两个输入引脚设置在电路左侧中部。

- (1) 按住 Ctrl 键，用鼠标左键在对话框左侧中部 Pin Group 中选择 clk 和 rst。
- (2) 在对话框右侧中上部 Location 中选择 Spread，Spread Type 选择 From Center。
- (3) 在对话框右侧上部 Side/Edge 选择 Left，Layer 选择 Metal3。
- (4) 点击对话框下方 Apply 按钮。

按照类似步骤，将 counter 引脚设置在电路右侧 Metal3 层，将 SE、scan\_in 和 scan\_out 引脚设置在电路底侧 Metal2 层。

关闭对话框，目前的版图如下图所示，注意各个引脚的位置和金属层。



## 2.11 布局优化 (Placement Optimization)

读入扫描链设计文件：

```
@innovus> read_def counter.scandef
```

设置扫描链重排序模式：

```
@innovus> set_db reorder_scan_comp_logic true
```

运行布局优化：

```
@innovus> place_opt_design
```

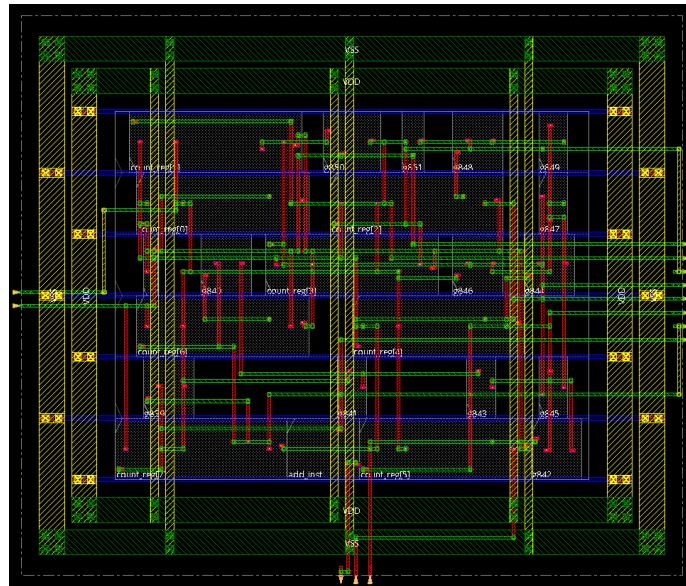
以上命令首先进行布局操作，在布局完成后，若剩余时间(Slack)为负数，则将自动继续执行优化步骤。在优化阶段，可能执行如下操作以达到时序收敛。

- (1) 添加或删除驱动器(Buffer)；
- (2) 调整门单元的尺寸；
- (3) 交换门单元的引脚；
- (4) 移动门单元的位置。

思考题(1)：布局优化完成后，主窗口右下角显示的设计状态是什么？

思考题(2)：此时的 WNS (Worst Negative Slack)是多少？

在工具栏右侧选择 Physical View，可以在版图中看到标准单元的布局 and 试布线的金属连线。目前的版图如下图所示。



保存设计：

```
@innovus> write_db placeOpt
```

保存的数据可以在需要时读回，例如：

```
@innovus> read_db placeOpt
```

## 2.12 时钟树综合 (Clock Tree Synthesis, CTS)

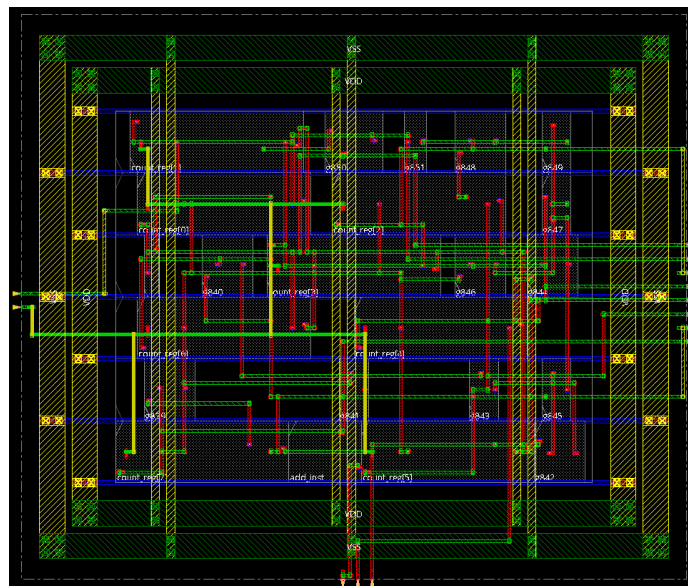
根据设计约束(SDC)生成时钟树规范约束文件：

```
@innovus> create_clock_tree_spec
```

建立时钟树：

```
@innovus> ccopt_design
```

时钟树综合完成后，版图如下图所示。注意版图中自动高亮显示的时钟树互连线。



### 思考题(3) 此时是否存在时序违例？

如果出现关于时钟没有完全布线的错误，可以暂时忽略，在布线后将修复这个错误。

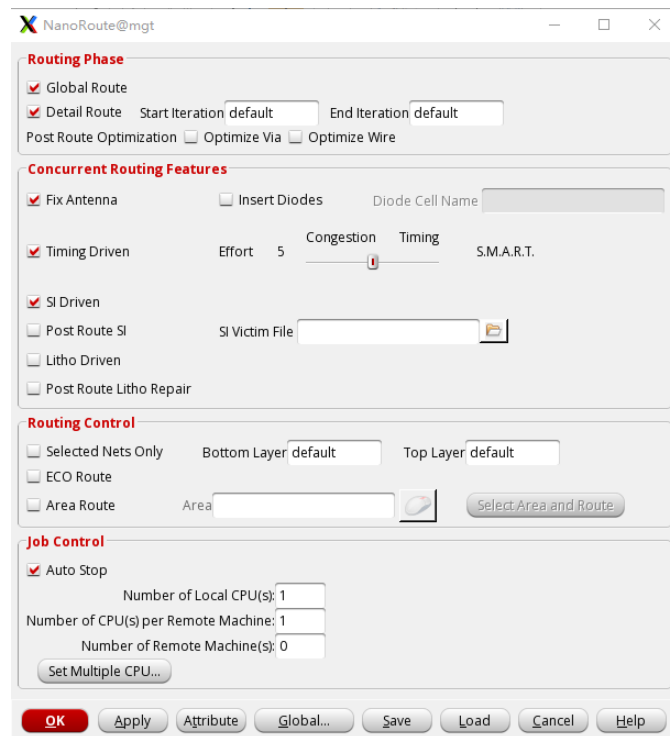
保存设计：

```
@innovus> write_db postCTSopt
```

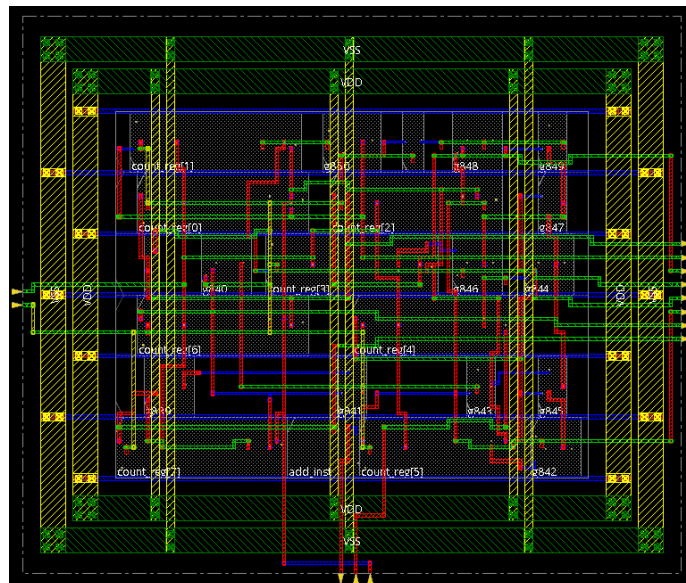
## 2.13 布线 (Routing)

选择菜单 Route – NanoRoute – Route, 显示 NanoRoute 对话框, 按照下图所示填写, 注意选择 Timing Driven 和 SI Driven, 使布线引擎同时处理时序收敛和信号完整性问题。

点击 OK 按钮, 运行布线。

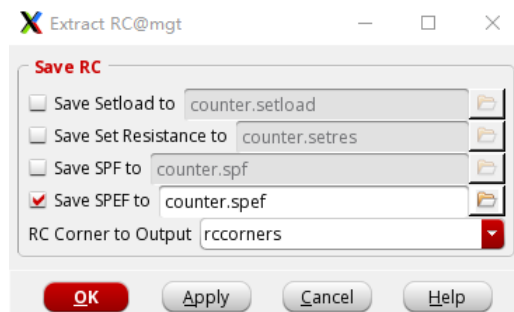


完成布线后的版图如下图所示, 注意观察互连线的变化。



## 2.14 寄生提取和时序分析

选择菜单 Timing – Extract RC, 显示 Extract RC 对话框, 按照下图所示填写, 并点击 OK 按钮。



提示: SPEF (Standard Parasitic Extraction Format)文件中描述互连线的寄生电阻和电容。

设置时序分析类型为 OCV:

```
@innovus> set_db timing_analysis_type ocv
```

提示: 片上偏差(On-Chip Variation, OCV)是指芯片内部的不同器件之间, 在相同的外部 PVT 条件下也存在一定的偏差。

运行建立(Setup)时间和保持(Hold)时间时序分析:

```
@innovus> time_design -post_route
```

```
@innovus> time_design -post_route -hold
```

思考题(4) 此时是否存在建立时间时序违例? 若有, 共有几条违例路径? WNS 为多少?

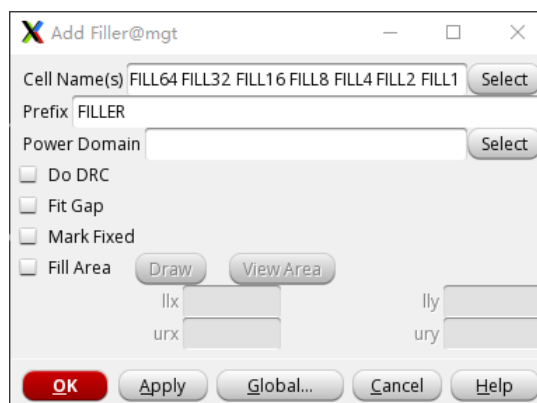
思考题(5) 此时是否存在保持时间时序违例? 若有, 共有几条违例路径? WNS 为多少?

如果存在时序违例, 暂时搁置这个问题, 并将在时序调试部分解决。

## 2.15 插入填充单元

标准单元并没有填满所有的布局区域, 剩余的空隙使用填充单元进行填充。

选择菜单 Place – Physical Cell – Add Filler, 显示 Add Filler 对话框。在 Cell Name(s) 输入框右侧, 点击 Select 按钮选择填充单元, 点击 OK 按钮, 注意版图的变化。



注意: 填充单元应按照尺寸降序排列, 有些软件会按照这个顺序选用填充单元。

## 2.16 物理验证

选择菜单 Check – Check DRC，使用缺省设置运行设计规则检查(DRC)。

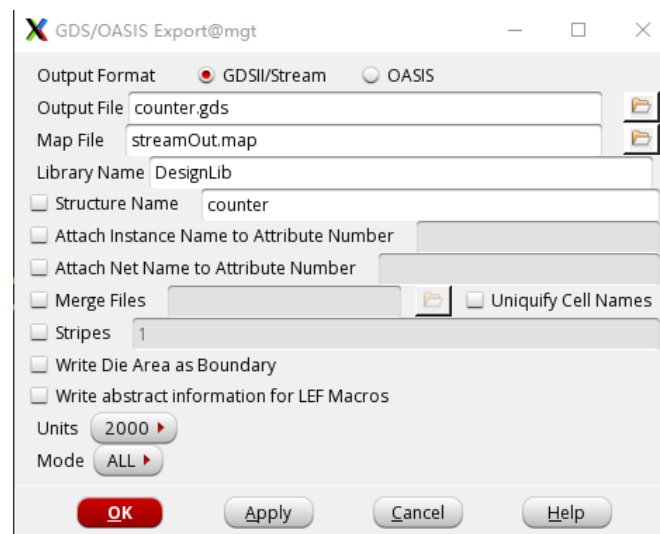
思考题(6) 是否存涉及规则违例？若有，共有几条违例？

选择菜单 Check – Check Connectivity，使用缺省设置运行连接性检查(LVS)。

思考题(7) 是否存连接性违例？若有，共有几条违例？

## 2.17 生成版图文件

选择菜单 File – Save – GDS/OASIS，显示 GDS/OASIS Export 对话框，按照下图所示填写，并点击 OK 按钮，生成版图文件 **counter.gds**。



保存设计：

```
@innovus> write_db signOff
```

## 3 时序分析与调试

### 3.1 时序优化

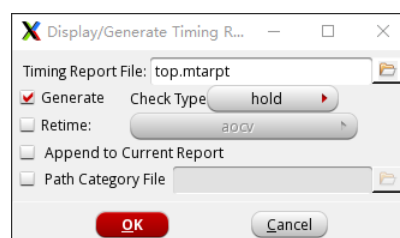
运行保持时间时序优化：

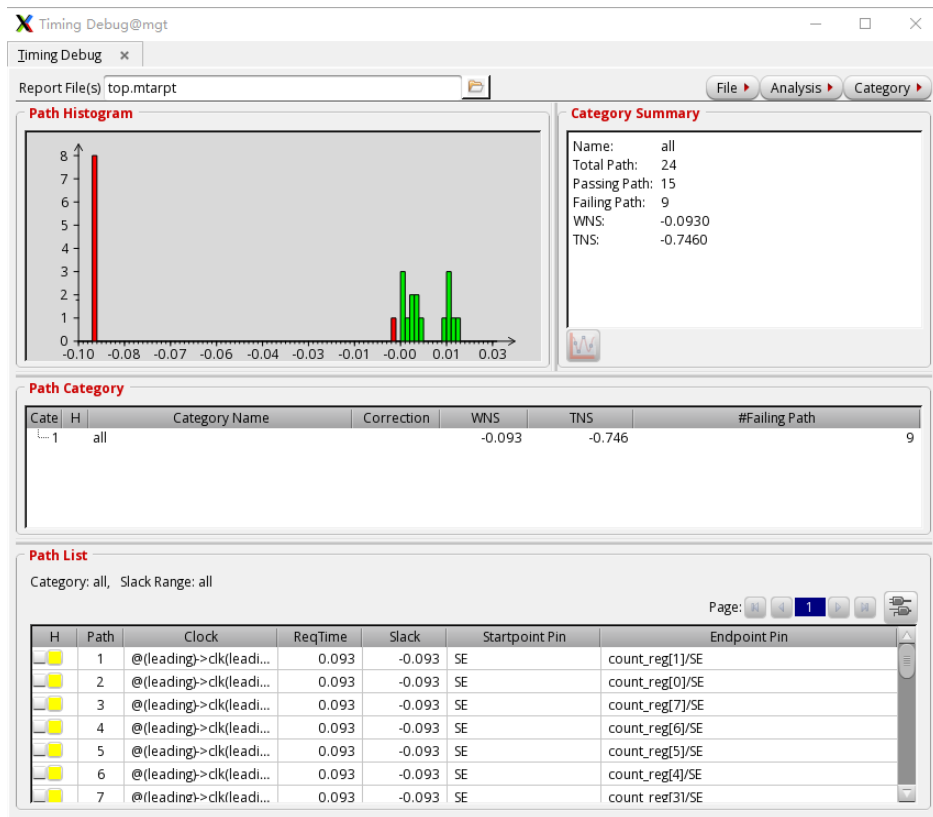
```
@innovus> opt_design -post_route -hold
```

思考题(8) 此时是否存在保持时间时序违例？若有，共有几条违例路径？WNS 为多少？

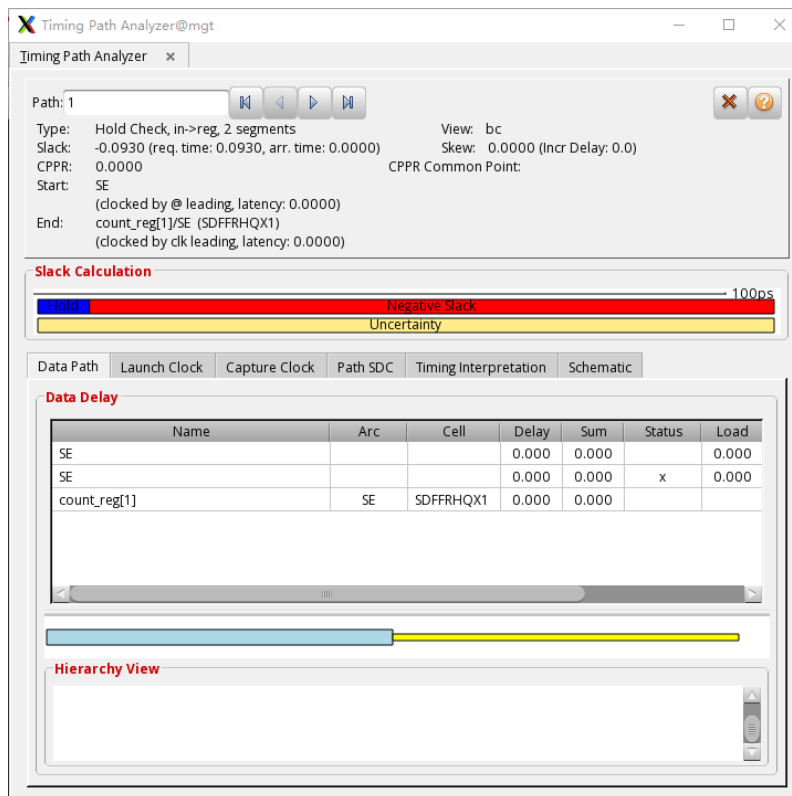
### 3.2 时序调试

选择菜单 Timing – Debug Timing，显示 Display/Generate Timing Report 对话框，在 Check Type 处选择 hold，点击 OK 按钮，打开 Timing Debug 窗口。





用鼠标右键点击 Path List 中的 Path #1, 在快捷菜单上选择 Show Timing Path Analyzer, 显示 Timing Path Analyzer 窗口。



根据 Timing Path Analyzer 窗口显示的信息, 可以发现, 保持时间约束要求信号 SE 在 0.0930 ns 之后到达, 而 SE 实际在 0.0000 ns 处到达, 传播速度过快, 造成保持时间违例。

因此，可以在 SE 信号上插入额外的缓冲器，增加传播延时，以满足保持时间约束。

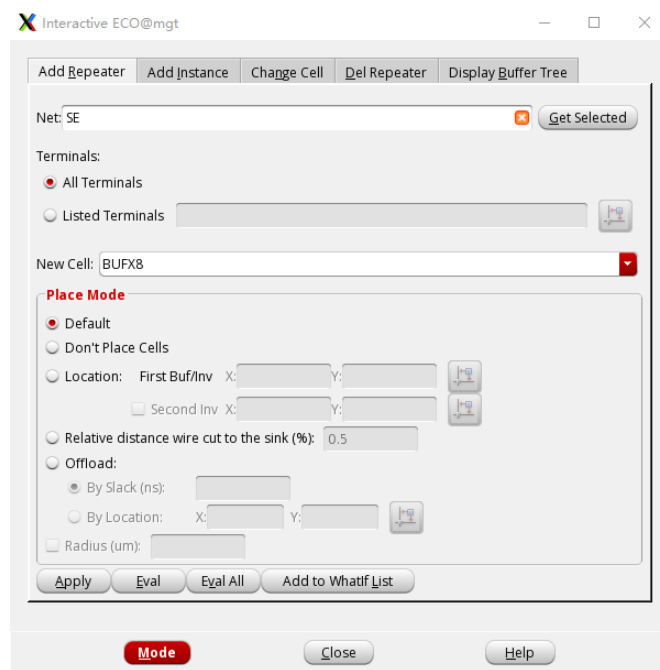
提示：本节实验步骤中出现的具体数据可能和实验手册有所不同。

用鼠标右键点击 Data Delay 列表中的 SE 信号行，在快捷菜单上选择 Interactive ECO/WhatIf – Add Repeater，显示 Interactive ECO 对话框。

提示：工程变更指令(Engineering Change Order, ECO)，是指针对时序或功能问题，对设计进行小范围的改动。实验中对保持时间违例的修正，属于 ECO 操作的一种。

在 Interactive ECO 对话框中按照下图所示填写，使用 Get Selected 获得线网名称，在 New Cell 输入框中选择 BUFX8，这是一种中等尺寸的缓冲器(Buffer)。

点击 Apply 按钮实施变更，点击 Close 按钮关闭对话框。



通过上述操作，在 SE 信号上增加了一个新的单元 BUFX8，应当引入了额外的延时。

回到 Timing Debug 窗口，点击 Report File(s)输入栏右侧图标，打开 Display/Generate Timing Report 对话框，保持现有设置不变，点击 OK 按钮，重新生成时序报告。

问题(9) 此时保持时间违例路径还有几条？WNS 为多少？数据是否有变化？

在 Timing Path Analyzer 窗口中找到新增 BUFX8 单元及其延时。

问题(10) 新增的缓冲单元延时是多少？

退出 Innovus。

### 3.3 设计约束调试

时序中遇到的问题也可能来自设计约束，设计约束是时序收敛的基准，错误的设计约束会导致错误的设计结果。

复制另一个设计约束文件：

```
$ cp ../STA/counter_postCTS.sdc .
```

比较新的设计约束与原有的设计约束：



```
$ diff counter_postCTS.sdc counter_sdc.sdc
```

可以发现在 `counter_postCTS.sdc` 文件中，以下两行被注释掉了。

```
#set_ideal_network [get_ports rst]
```

```
#set_ideal_network [get_ports SE]
```

这两行命令将 `rst` 和 `SE` 两个信号设置为理想网络，因此它们的传播延时为 0，就是为什么在 `SE` 上增加缓冲器后仍然不能引入新的延时从而改善保持时间问题。

提示：在每个设计阶段，检查设计约束是否合理正确是非常重要的。在逻辑综合阶段，将时钟、复位等全局信号设置为理想网络是常规做法，但是在物理设计阶段，这些信号必须设置为传播网络，即传播延时不再认为是 0。其中，时钟信号会在时钟树综合之后由软件自动设置为传播网络，但是其他信号需要在设计约束中进行设置。

### 3.4 使用脚本执行物理设计

下面需要使用新的设计约束重新执行物理设计过程。

与逻辑综合类似，物理设计通常也会迭代很多遍，为了便于快速执行并记录每步的设置，可以使用脚本文件批量执行命令。

设计约束在 MMMC 中设置，复制新的 MMMC 设置文件：

```
$ cp ~eda/course/219004/counter2.view .
```

复制 Innovus 脚本文件：

```
$ cp ~eda/course/219004/runPnR2.tcl .
```

阅读脚本文件，尝试将其中的命令和参数，与图形交互操作过程中的菜单、对话框、选项、输入框等进行对应，理解命令和图形界面的关系。

运行 Innovus，同时执行脚本。

```
$ innovus -stylus -files runPnR2.tcl
```

这个脚本执行到寄生参数提取步骤为止。

如果图形界面没有显示，执行命令：

```
@innovus> gui_show
```

问题(11) 使用图形交互界面和脚本执行设计步骤有何不同？各有何优缺点？

### 3.5 重新时序调试

设置时序分析类型为 OCV：

```
@innovus> set_db timing_analysis_type ocv
```

运行建立(Setup)时间和保持(Hold)时间时序分析：

```
@innovus> time_design -post_route
```

```
@innovus> time_design -post_route -hold
```

重新按照 3.2 节的操作步骤调试保持时间违例。

注意 Timing Debug 窗口的 Path Histogram 直方图发生的变化。

重复上述步骤，将 Slack 绝对值最大的 5 条路径的 Slack 调整至非负数，消除部分保持



时间违例。

注意：调整 Slack 之后重新生成时序报告时，违例路径会根据新的 Slack 重新排序。如果前面的操作中修复的路径没有完全消除违例，由于其 Slack 绝对值降低，可能会被排序到靠后面的位置，注意找到这条路径继续修复。

问题(12) 记录每次操作后的违例路径数量和 WNS 的变化情况。

这里之所以在简单的设计中存在可修复的时序违例，是为了能够进行时序调试的实验而预设的状态，在脚本中有意缺少了时序优化的步骤。

在正确设置设计约束后，重复 3.1 节操作进行保持时间时序优化，即可基本消除保持时间违例。如果执行一次时序优化后，仍有少量 Slack 绝对值较小的违例，可以重复执行时序优化，或者手工调整消除违例。

### 3.6 数据检查和版图生成

插入填充单元，运行 DRC 检查和连接性检查，并生成新的版图文件。

### 三、思考题

- (1) 回答上述操作过程中提出的思考题，按照序号给出答案。
- (2) 简述物理设计的过程，包括每个步骤完成的功能以及所需的文件。