

数字部分 大作业 整数平方根电路设计与实现

一、实验目的

练习使用所学的功能仿真、逻辑综合、等价性检查、物理设计等设计流程，独立完成电路模块的前后端设计。

二、设计要求

1 功能简介

设计整数平方根运算电路，参数和端口定义如下。

| 参数名称 | 取值范围 | | 功能 |
|------------------------|----------|----|--------------------------|
| N | ≥ 8 | | 平方根位宽 |
| 端口名称 | 位宽 | 方向 | 功能 |
| <code>clk</code> | 1 | 输入 | 时钟，上升沿触发 |
| <code>rst_n</code> | 1 | 输入 | 异步复位，低电平有效 |
| <code>start</code> | 1 | 输入 | 启动，保持一个时钟周期为 1，启动新的运算 |
| <code>a</code> | $2N$ | 输入 | 被开方数 |
| <code>complete</code> | 1 | 输出 | 运算完成，输出 1 表示运算完成，直至下一次启动 |
| <code>root</code> | N | 输出 | 平方根 |
| <code>remainder</code> | N | 输出 | 余数 |

2 设计要求

- (1) 平方根算法见附件 PPT；
- (2) 输入信号 `a` 应由寄存器暂存，当 `clk` 上升沿时，若 `start` 为 1，则将输入 `a` 采样存入内部寄存器中，以供后续运算使用；
- (3) 所有输出信号应来自寄存器输出，不能来自组合逻辑输出；
- (4) 复位信号 `rst_n` 有效时，所有输出信号为 0；
- (5) 启动信号 `start` 为 1 时，启动新的运算，运算完成信号 `complete` 输出 0；
- (6) 运算结束时，运算完成信号 `complete` 为 1，此时 `root` 和 `remainder` 为运算结果，这些输出信号保持至下一次启动运算；
- (7) 位宽由参数 N 设置，缺省值为 16；
- (8) 测试平台应能够产生输入信号 `a` 并启动运算，在检测到运算结束后，自动对比运算结果是否正确，并在终端窗口输出信息。

3 目录结构

仿照数字部分实验所使用的 `counter_design_database_45nm` 目录，建立自己的工作区目录结构，应区分源代码、功能仿真、逻辑综合、等价性检查、物理设计的工作目录。

4 工艺库

逻辑综合、物理设计所需的工艺库文件，使用数字部分实验一、二、三的相应文件，具体路径请参照前述实验的步骤或脚本，自行寻找并复制到本实验的相应目录下。

三、实验步骤

参考数字部分实验一、二、三的步骤，依次完成设计代码仿真、逻辑综合、等价性检查、物理设计，按照实验报告要求记录过程数据，撰写实验报告。

需自行编写 RTL 代码和 Testbench，若不熟悉 Verilog 语言，可以查阅相关资料，或者在 QQ 群讨论。

在本学期实验课程结束前完成所有设计要求，按时提交实验报告。

注意：不要求完成覆盖率分析、可测性设计、电路网表仿真等步骤。

注意：设计流程中，请跳过所有与扫描链有关的部分。

四、实验报告要求

实验报告应包括以下内容。

- (1) 姓名、学号；
- (2) 电路简要框图；
- (3) 完成一次运算的输入输出信号波形示意图；
- (4) 实验工作目录的位置；
- (5) 仿真结果和波形，并对测试方法加以简要说明；
- (6) 逻辑综合得到的原理图，时序信息，面积信息；
- (7) 逻辑综合网表和 RTL 代码进行等价性检查的结果；
- (8) 物理设计得到的版图，时序信息，面积信息，物理验证结果；
- (9) 对实验过程中遇到问题的总结和体会。

实验报告电子版请提交给数字部分实验助教。