

## 数字部分 实验四 芯片级物理设计流程

### 一、实验目的

- (1) 学习 Cadence Innovus 芯片级物理设计流程；
- (2) 学习 Cadence Innovus 自定义版图规划操作流程；
- (3) 学习 Cadence Innovus 特殊线网布线操作流程；
- (4) 了解 Cadence Innovus ECO 基本流程。

### 二、实验内容

#### 1 环境配置

##### 1.1 登录方法

利用 Xmanager 或 MobaXterm 等远程终端软件登录服务器，协议选择 SSH，服务器 IP 地址为 202.38.81.119，端口 2122，登录进入管理节点 mgt。

然后再利用 SSH 登录计算节点 c01n01 至 c01n14，登录时请注意避开用户较多的节点。例如，登录 c01n10 节点：

```
$ ssh -X c01n10
```

注意：Linux 命令行是大小写敏感的，大小写字母代表不同的含义，请正确书写字母。

查看各节点的在线和负载情况，可以浏览如下网址：

<http://202.38.81.119/ganglia/>

注意：请勿直接在管理结点 mgt 上运行程序。

##### 1.2 进入实验目录

```
$ cd ~/vlsi
```

本实验继续使用实验一的目录，若实验一中使用了其他目录名，请做相应的修改。

##### 1.3 复制实验数据

```
$ cp ~eda/course/219004/InnovusBlk_18_1.tar.gz .
```

```
$ tar xvfz InnovusBlk_18_1.tar.gz
```

##### 1.4 运行软件

设置 Cadence Innovus 软件环境：

```
$ setdt invs
```

注意：上述命令中的 setdt 是实验中心自定义的脚本，不是通用命令，作用是设置软件所需的路径、环境变量等。在其他服务器运行软件时，请咨询管理员或 CAD 支持人员。

进入工作目录：

```
$ cd FPR/work
```

启动 Cadence Innovus:

```
$ innovus
```

注意: 与数字部分实验三不同, 这里运行的 innovus 程序没有 -stylus 参数, 两种运行模式下 Innovus 命令行界面中的命令有所不同。

注意: 不要使用正在运行 Innovus 的终端窗口执行与 Innovus 的交互以外的操作, 可以打开新的终端窗口用于其他 Linux 操作。

## 2 设计输入

### 2.1 设计概况

该设计包括大约 6000 个实例, 57 个 I/O 端口和大约 6400 个线网, 网表格式为层次化的 Verilog 网表, 包括以下三个时钟:

DTMF_INST/clk	DMA 时钟源
DTMF_INST/spi_clk	SPI 接口时钟
scan_clk	扫描时钟

该设计所采用的工艺是 6 层金属的 180nm 工艺。

### 2.2 导入设计

从菜单选择 File – Import Design, 弹出 Design Import 对话框。

点击 Load 按钮, 选择 **dtmf.globals** 文件并点击 Open 按钮。

加载 **dtmf.globals** 文件后, Design Import 对话框的以下项目会自动填充:

Verilog Files	门级 Verilog 网表文件名
LEF Files	库单元和硬核的物理模型、工艺物理信息
IO Assignment File	I/O 单元的顺序和位置信息
MMMC View Definition File	时序库和时序约束文件的定义

点击 OK 按钮, 导入设计和工艺库。

### 2.3 浏览设计

学习工具栏图标的功能, 把鼠标悬停在图标上, 可以看到显示的该图标功能。



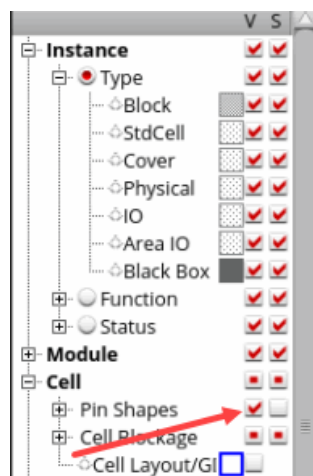
使用缩放图标放大或缩小设计视图并观察细节, 按住鼠标右键拖曳可以放大指定区域。

使用工具栏最右侧的视图图标组, 分别选择 Floorplan View、Amoeba View 和 Physical View 观察设计。在后续的流程中, 注意灵活使用这组图标切换视图模式。

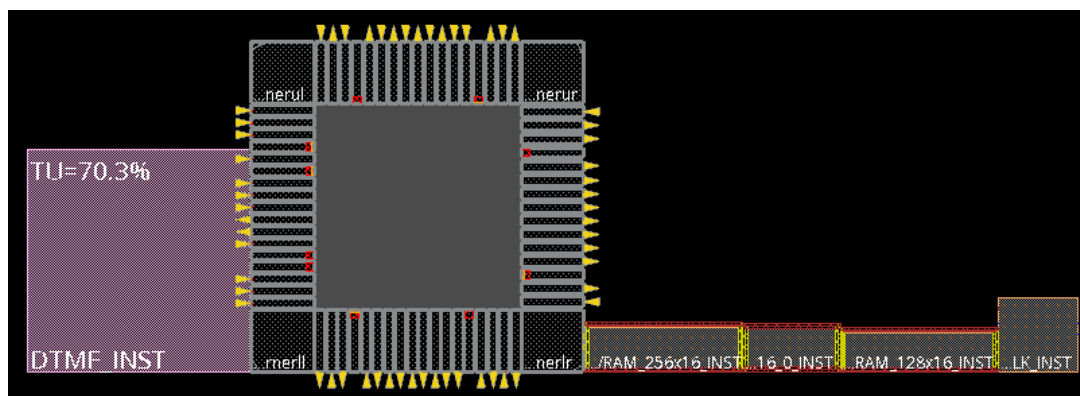


使用右侧 All Colors 面板, 可以设置各种层的可视(V)和可选(S)属性。在后续的流程中,

注意灵活使用该面板根据需要显示或隐藏各种层。请确认 Cell – Pin Shapes 的可视属性被选中。

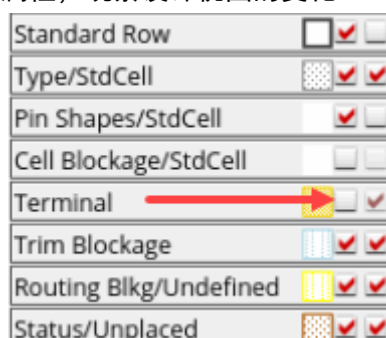


缩放设计视图，观察修改 Cell – Pin Shapes 可视属性前后的变化。



点击右侧 All Colors 面板上方 All Colors 按钮，弹出 Color Preferences 菜单，可以打开或关闭各类目标的可视(V)和可选(S)属性。

取消 Terminal 的可视(V)属性，观察设计视图的变化。



用鼠标选择粉红色模块 DTMF\_INST，注意蓝色飞线显示了模块之间的连接关系。

从工具栏点击 Ungroup 图标，显示 DTMF\_INST 的子模块，用鼠标双击模块观察其名称和属性。



提示：设计核心区左侧的粉红色对象是模块向导(Module Guide)，表示这些模块是由 Verilog 网表导入的，其尺寸与模块中的标志单元数量和面积利用率有关。核心区右侧是设计中通过 LEF 文件导入的已完成版图设计的子模块，实验设计中包括存储器和锁相环(PLL)。

从菜单选择 View – Set Preference, 选择 Display 页, 注意 Min. Floorplan Module Size 项, 其限定了能够显示的最小模块大小, 如将其设置为更小的值, 则可以显示更小的模块。

用鼠标选择一个粉红色模块, 从工具栏点击 Group 图标, 重新组合成一个模块显示。



用鼠标双击右侧第一个硬核 RAM\_256x16\_INST, 弹出 Attribute Editor 对话框, 检查该模块的方向, 关闭 Attribute Editor 对话框。

#### 问题(1): RAM 256x16 INST 模块的方向是什么?

从菜单选择 Tools – Design Browser, 可以浏览设计的层次结构及详细信息。浏览结束后选择 File – Quit 退出。

## 2.4 检查设计

检查设计网表和库是否存在缺失或遗漏, 在 Innovus 命令行运行:

```
innovus> checkDesign -netlist
```

打开 `checkDesign/DTMF_CHIP.main.htm.ascii` 文件查看检查报告。

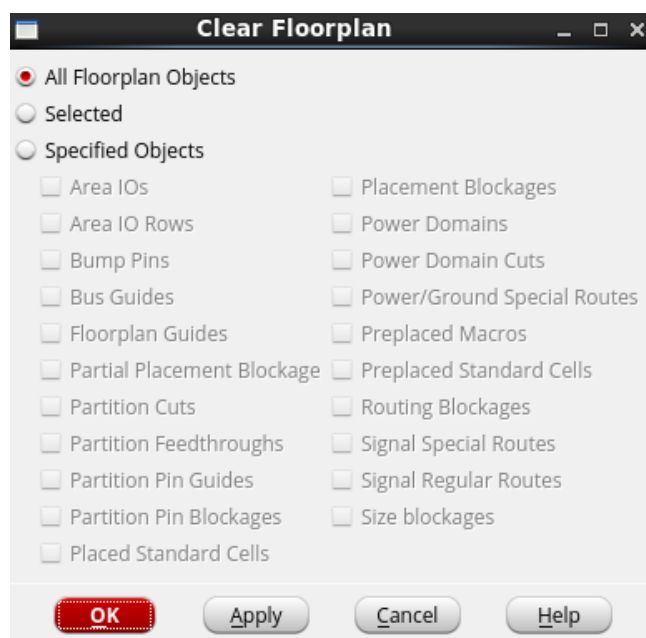
#### 问题(2): 设计中有多少输出浮空的线网(Output Floating Nets)?

#### 问题(3): 库中有哪些单元标记为 Dont Use?

## 3 布图规划 (Floorplanning)

### 3.1 初始化布图规划

从菜单选择 Floorplan – Clear Floorplan, 弹出 Clear Floorplan 对话框。选择 All Floorplan Objects, 点击 OK 按钮, 清除当前的布图规划。

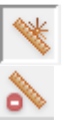


从菜单选择 Floorplan – Specify Floorplan, 弹出 Specify Floorplan 对话框。在 Core to Left、Core to Right、Core to Top 和 Core to Bottom 等四项填写 100。点击 OK 按钮初始化布图规划。



从工具栏点击 Ruler 图标（快捷键 K），测量布图规划的各尺寸和距离数据。

从工具栏点击 Clear All Ruler 图标（快捷键 Shift-K），清除所有标尺。

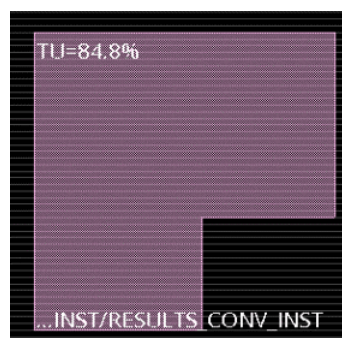


### 3.2 定制布图规划

用鼠标选择粉红色模块 DTMF\_INST，从工具栏点击 Ungroup 图标，显示其下一层次的子模块。

从工具栏点击 Move 图标，把一个粉红色模块移到芯片核心区域。

从工具栏点击 Cut Rectilinear 图标，把鼠标移至被选中模块的一边或一角，此时鼠标变为双向箭头形状，点击鼠标左键，画出被切割区域矩形，再次点击鼠标左键。原矩形模块被切割掉一个矩形区域后变为多边形，注意模块 TU 数值的变化，该数值表示该模块的目标利用率 (Target Utilization)。



### 3.3 创建阻挡区域 (Blockage)

从工具栏点击 Create Placement Blockage 图标，用鼠标左键创建布局阻挡区域。从工具栏点击 Select 图标，用鼠标选择所创建的布局阻挡区域，按 Q 键观察其属性。



从工具栏点击 Create Routing Blockage 图标，用鼠标左键创建布线阻挡区域。从工具栏点击 Select 图标，用鼠标选择所创建的布线阻挡区域，按 Q 键观察其属性。

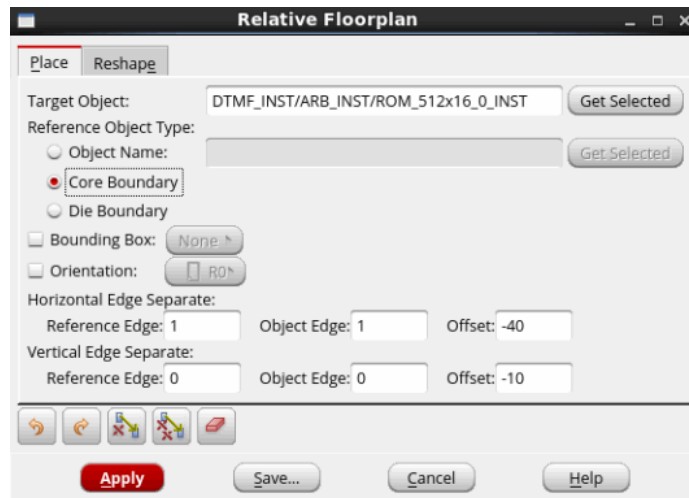


### 3.4 关联布图规划 (Relative Floorplanning)

从菜单选择 Floorplan – Clear Floorplan，弹出 Clear Floorplan 对话框。选择 All Floorplan Objects，点击 OK 按钮，清除当前的布图规划。

在 All Colors 面板中确认打开 Pin Shapes 的可视属性。

从菜单选择 Floorplan – Relative Floorplan – Edit Constraint，弹出 Relative Floorplan 对话框。



用鼠标选择 DTMF\_INST/ARB\_INST/ROM\_512x16\_0\_INST 模块，点击对话框 Get Selected 按钮。在 Reference Object Type 项选择 Core Boundary。在 Horizontal Edge Separate 参数中，Reference Edge 项填写 1，Object Edge 项填写 1，Offset 项填写 -40。在 Vertical Edge Separate 参数中，Reference Edge 项填写 0，Object Edge 项填写 0，Offset 项填写 -10。点击 Apply 按钮。点击 Cancel 按钮关闭对话框。

以上操作等价于 Innovus 命令：

```
innovus> create_relative_floorplan \  
-place DTMF_INST/ARB_INST/ROM_512x16_0_INST \  
-ref_type core_boundary \  
-horizontal_edge_separate {1 -40 1} \  
-vertical_edge_separate {0 -10 0}
```

提示：在 Innovus 命令行或脚本中，较长的命令可以断行书写，除最后一行外，每行使用反斜杠符号(\)表示续行，即下一行和当前行是连接在一起的同一条命令。

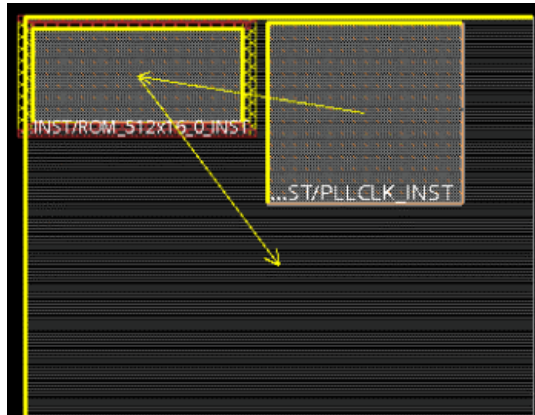
将 DTMF\_INST/PLLCLK\_INST 模块与前面布局的模块进行关联布局，运行以下 Innovus 命令：

```
innovus> create_relative_floorplan \  
-place DTMF_INST/PLLCLK_INST \  
-ref_type object \  

```



```
-ref DTMF_INST/ARB_INST/ROM_512x16_0_INST \
-horizontal_edge_separate {1 10 1} \
-vertical_edge_separate {2 40 0}
```



删除 ROM\_512x16\_0\_INST 模块与核心区域边界的布图约束，运行 Innovus 命令：

```
innovus> delete_relative_floorplan \
DTMF_INST/ARB_INST/ROM_512x16_0_INST
```

从工具栏点击 Move 图标，把 ROM\_512x16\_0\_INST 模块移到核心区域其他位置，注意 PLLCLK\_INST 模块保持与 ROM\_512x16\_0\_INST 模块同步移动，保持二者的布图约束关系不变。

从工具栏点击 Select 图标，回到鼠标选择状态。



### 3.5 添加模块光环 (Halo)

模块光环(Halo)用于阻挡标准单元的布局，以使标准单元与模块保持一定的距离。

从菜单选择 Floorplan – Clear Floorplan，弹出 Clear Floorplan 对话框。选择 All Floorplan Objects，点击 OK 按钮，清除当前的布图规划。

从菜单选择 File – Load – Floorplan，弹出 Load FPlan File 对话框。找到并选择 dtmf\_blocks.fp 文件，点击 OK 按钮，加载预存的布图规划。

用鼠标左键选择 DTMF\_INST/PLLCLK\_INST 模块。

从菜单选择 Floorplan – Edit Floorplan – Edit Halo，弹出 Edit Halo 对话框。



选择 Placement Halo，选择 Selected Blocks/Pads，选择 Add/Update Halo，在 Top、Bottom、Left 和 Right 四项全部填写 30，点击 OK 按钮。

使用快捷键 Ctrl-R 刷新设计视图，放大并测量 PLLCLK\_INST 模块光环(Halo)。

退出 Innovus。

## 4 电源规划 (Power Planning)

### 4.1 启动软件和数据准备

启动 Cadence Innovus：

```
$ innovus
```

从菜单选择 File – Import Design，加载 `dtmf.globals` 文件，点击 OK 按钮。

从菜单选择 File – Load – Floorplan，弹出 Load FPlan File 对话框。找到并选择 `dtmf_blocks.fp` 文件，点击 OK 按钮，加载预存的布图规划。

在 All Colors 面板中确认打开 Pin Shapes 的可视属性。

### 4.2 添加输入输出填充单元 (I/O Filler)

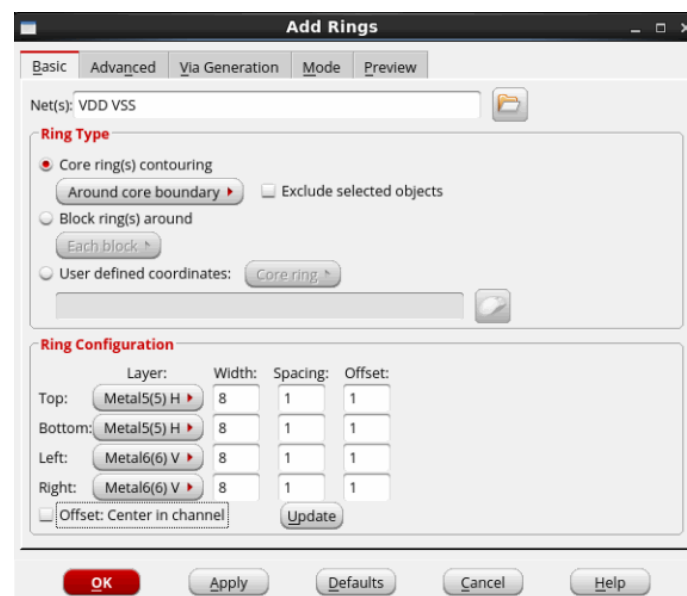
从菜单选择 Place – Physical Cell – Add I/O Filler，弹出 Add IO Filler 对话框。

在 Cell Name 项填写 PFEED50 PFEED35 PFEED20 PFEED10 PFEED5 PFEED2 PFEED1 PFEED01 PFEED005 PFEED001 PFEED0005（用空格隔开且尺寸从大到小排列），在 Side 项选择 Top，点击 Apply 按钮，在 Side 项选择 Bottom，点击 Apply 按钮，在 Side 项选择 Left，点击 Apply 按钮，在 Side 项选择 Right，点击 OK 按钮。

注意观察输入输出单元部分在添加填充单元后的变化。

### 4.3 规划电源环 (Power Ring)

从菜单选择 Power – Power Planning – Add Ring，弹出 Add Rings 对话框。





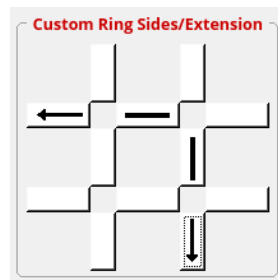
点击 Net(s)项右侧文件夹图标，选择 VDD 和 VSS。选择 Core Ring(s) Contouring，选择 Around Core Boundary。在 Ring Configuration 部分，Top 和 Bottom 的 Layer 选择 Metal5 H，Left 和 Right 的 Layer 选择 Metal6 V，Width 全部填写 8，Spacing 全部填写 1，Offset 全部填写 1，点击 Apply 按钮，观察生成的电源环。

提示：一般选择最顶层的两层金属用于电源环，H 和 V 分别表示横向和纵向。

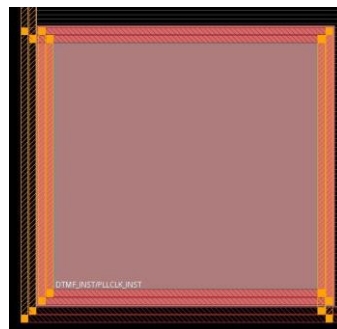
使用鼠标选择 DTMF\_INST/PLLCLK\_INST 模块，这是唯一没有自带电源环的硬核模块。

在 Add Rings 对话框中，选择 Block Ring(s) around，选择 Each Selected Block and/or Group of Core Rows。

选择 Advanced 选项卡，按照下图配置 PLL 电源环各边的延伸连接关系。



其他各项保持缺省设置不变，点击 OK 按钮。PLL 模块电源环如图所示。



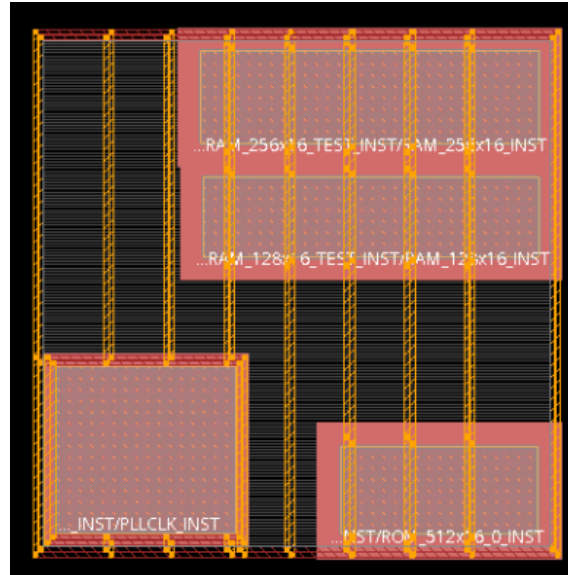
#### 4.4 规划电源条带 (Power Stripe)

从菜单选择 Power – Power Planning – Add Stripe，弹出 Add Stripes 对话框。



在 Net(s)项填写 VSS VDD，在 Layer 项选择 Metal6，在 Direction 项选择 Vertical，在 Width 项填写 8，在 Spacing 项填写 1，选择 Set-to-set Distance 并填写 100，选择 Relative from Core or Selected Area，在 Start 项和 Stop 项都填写 100。

点击 OK 按钮，观察生成的电源条带。

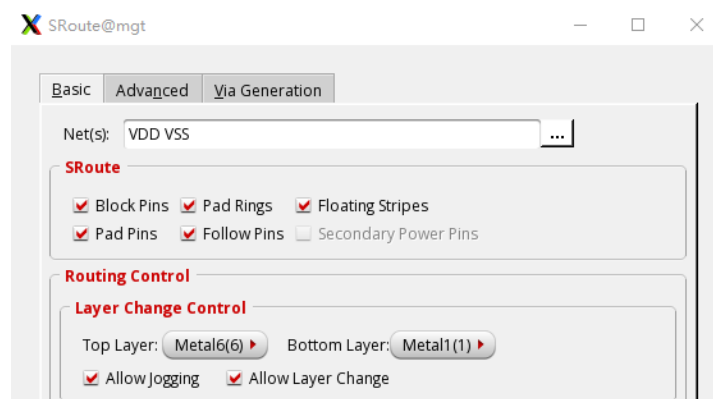


#### 4.5 创建电源轨道 (Power Rail)

在创建电源轨道之前，首先将全局线网 VDD 和 VSS 与标准单元的电源和地引脚名称关联起来，在 Innovus 命令行运行：

```
innovus> globalNetConnect VDD -type pgpin -pin VDD -inst *
innovus> globalNetConnect VSS -type pgpin -pin VSS -inst *
```

从菜单选择 Route – Special Route，弹出 SRoute 对话框。



在 Net(s)项填写 VSS VDD，在 SRoute 项选择所有选项。

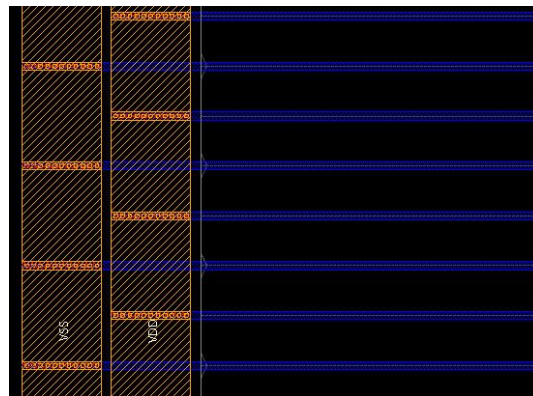
在 Layer Change Control 部分，Top Layer 选择 Metal 6，Bottom Layer 选择 Metal 1，选择 Allow Jogging 和 Allow Layer Change 选项。

选择 Via Generation 选项卡，在 Make Via Connections To 项选择 Stripe。

点击 OK 按钮。

电源轨道创建完成后，切换至 Physical View，放大观察电源轨道布线结果，注意电源

轨道、电源环、电源条线之间通过通孔(Via)的连接。



保存设计，在 Innovus 命令行运行命令：

```
innovus> saveDesign powerPlan.inn
```

## 5 布局 (Placement)

### 5.1 加载扫描链

加载两条扫描链，在 Innovus 命令行运行：

```
innovus> defIn scan_input.def
```

### 5.2 布局

运行布局优化，在 Innovus 命令行运行：

```
innovus> place_opt_design
```

布局优化结束后，注意观察时序信息。

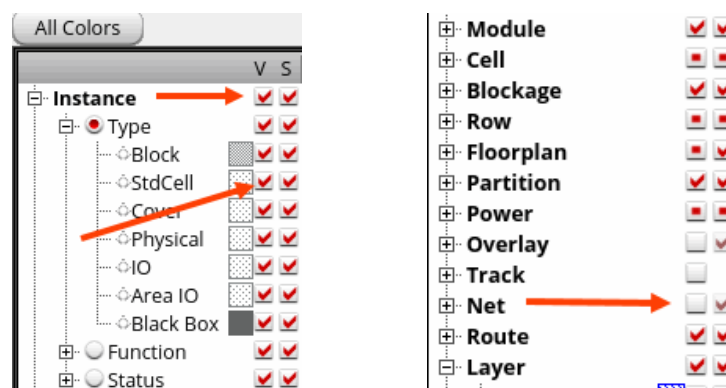
问题(4)：此时的 WNS (Worst Negative Slack)是多少？

保存扫描链的 DEF 文件，在软件命令行运行：

```
innovus> defOutBySection -noNets -noComps -scanChains scan.def
```

切换至 Physical View。

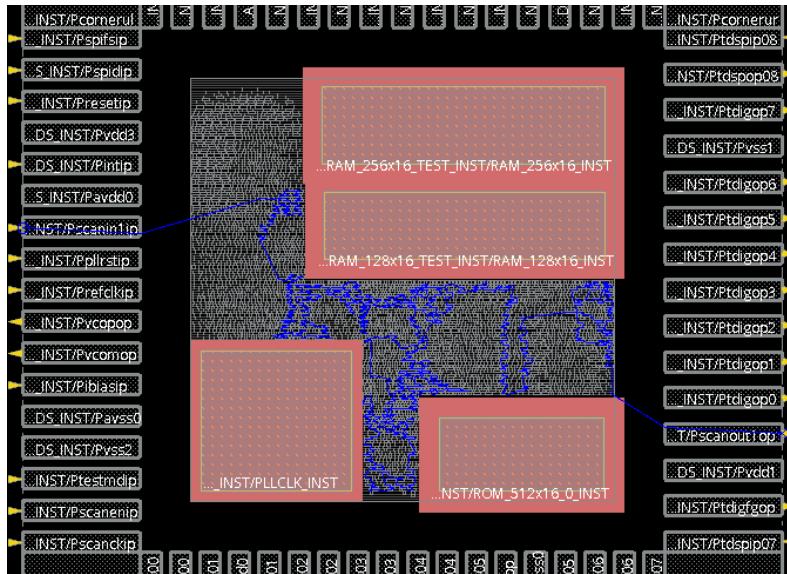
在 All Colors 面板，设置 Instance 和 StdCell 的可视属性，清除 Net 的可视属性。



从菜单选择 Place – Display – Scan Chain，弹出 Display Scan Connection 对话框。



选择 Selected Scan Group, 填写 scan1, 点击 Display 按钮, 高亮显示扫描链的路径。



在 Display Scan Connection 对话框, 点击 Clear 清除扫描链显示。

在 All Colors 面板, 设置 Net 的可视属性。放大观察标准单元的布局。

注意此时早期全局布线器(Early Global Router)已经运行, 并观察当前布线结果。

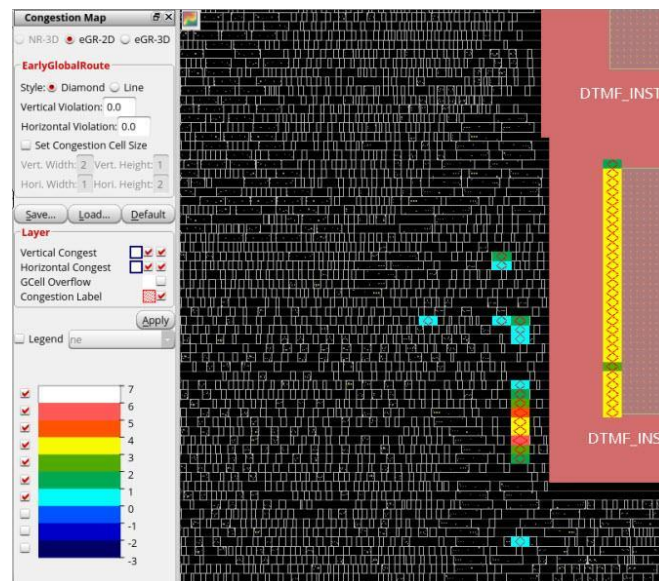
点击 All Colors 按钮, 选择 View Only 选项卡。



选择 Vertical Congest、Horizontal Congest、Congestion、Congestion/Route Cong.、

Congestion Label 选项。清除 Net 的可视属性。

放大观察菱形图形表示的拥塞区域。



### 问题(5): 垂直和水平方向上是否存在拥塞(Congestion)?

提示: 由于实验设计比较小, 布线不存在太大困难, 因此拥塞区域也比较少, 甚至可能不存在拥塞。

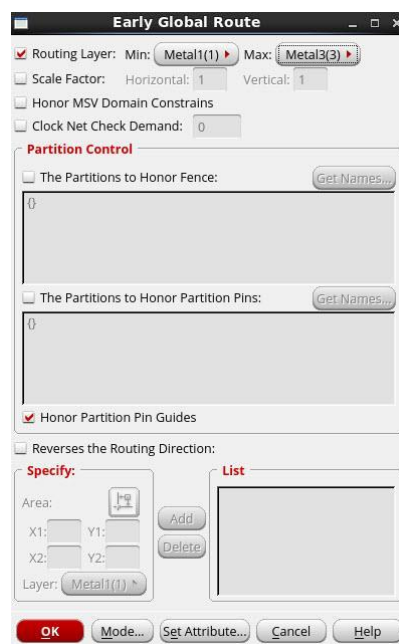
保存设计, 在 Innovus 命令行运行命令:。

```
innovus> saveDesign placeOpt.inn
```

## 5.3 早期全局布线 (Early Global Routing)

注意: 为了能够分析布线拥塞, 本节限制早期全局布线层次, 引入较多的拥塞。

从菜单选择 Route – Early Global Route, 弹出 Early Global Route 对话框。



选择 Routing Layer, 将 Min 设置为 Metal1, 将 Max 设置为 Metal3, 限制布线只使用



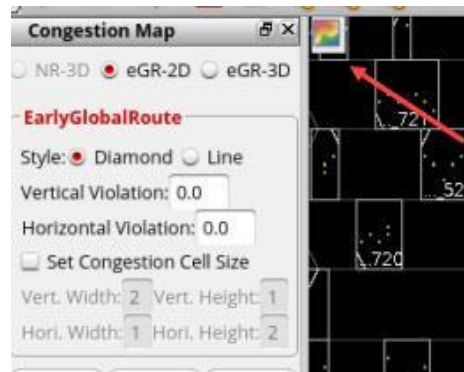
Metal1~Metal3。点击 OK 按钮，运行早期全局布线。

以上操作等价于以下 Innovus 命令：

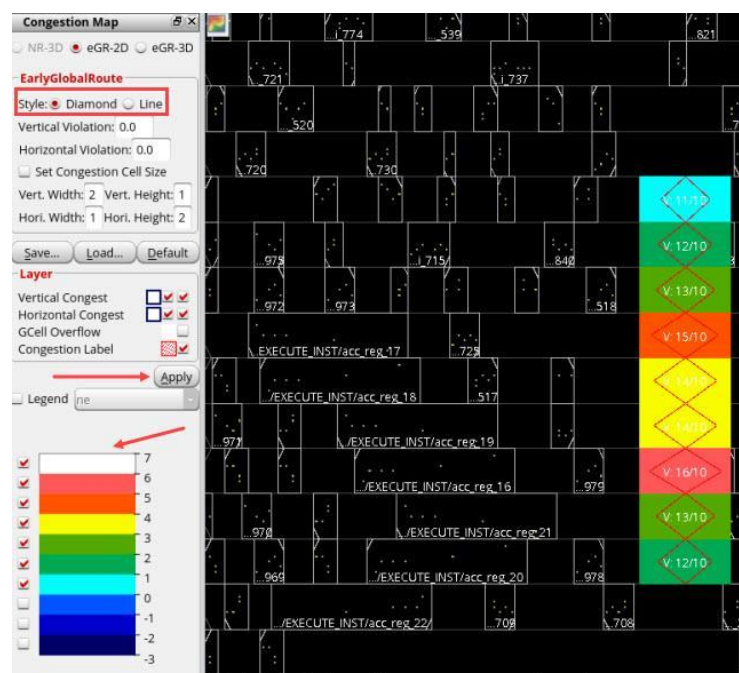
```
innovus> setRouteMode \  
-earlyGlobalMaxRouteLayer 3 \  
-earlyGlobalMinRouteLayer 1  
  
innovus> earlyGlobalRoute
```

从工具栏点击 Redraw 图标，刷新设计视图。

点击如下图所示图标，显示或最小化 Congestion Map 面板。



在 Congestion Map 面板中，可以选择拥塞标记的类型，面板中还显示了拥塞标记颜色图例。设计视图中显示了水平和垂直方向拥塞情况。



#### 问题(6): 哪个方向上的拥塞更多?

点击 All Colors 按钮，选择 View Only 选项卡，清除 Vertical Congest、Horizontal Congest、Congestion、Congestion/Route Cong.、Congestion Label 选项，关闭拥塞标记的显示。

切换至 Physical View，设置 Net 的可视属性，放大观察设计视图细节。

从菜单选择 File – Save Design，选择 Innovus，在 File Name 项填写 **pr.inn**，点击 OK 按钮。

注意：不要退出 Innovus，如果已经退出，可以重新运行 Innovus，然后从菜单选择 File – Restore Design，恢复已经保存的设计 pr.inn。

#### 5.4 寄生参数抽取 (Extracting RC)

从菜单选择 Timing – Extract RC，弹出 Extract RC 对话框。点击 OK 按钮。

问题(7)：此时设计状态是什么？

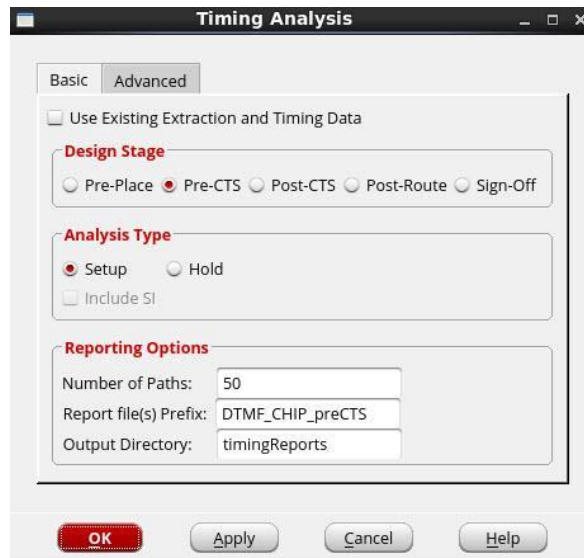
从菜单选择 Timing – Write SDF，弹出 Calculate Delay 对话框。

由于尚未运行时钟树综合，选择 Ideal Clock。在 Active View 项选择 dtmf\_view\_setup，将 SDF Output Filename 保持不变。点击 OK 按钮，创建 SDF 文件。

SDF 文件可用于时序分析和网表仿真。

#### 5.5 时序分析和优化

从菜单选择 Timing – Report Timing，弹出 Timing Analysis 对话框。



在 Design Stage 项选择 Pre-CTS，在 Analysis Type 项选择 Setup，点击 OK 按钮，生成在最坏情况(Worst Case)下的建立(Setup)时间时序报告。时序报告将保存在 Output Directory 项中指定的目录中。

从菜单选择 Timing – Debug Timing，弹出 Display/Generate Timing Report 对话框。使用缺省设置，点击 OK 按钮，弹出 Timing Debug 窗口。

在 Path List 列表双击时序路径，弹出 Timing Path Analyzer 窗口，同时在设计窗口高亮显示该路径。注意观察 Timing Path Analyzer 窗口和设计窗口显示的路径细节信息。

问题(8)：此时的 WNS (Worst Negative Slack)是多少？

问题(9)：此时的 TNS (Total Negative Slack)是多少？

运行 setup 和 hold 时序分析，在 Innovus 命令行执行以下命令：



```

innovus> set_analysis_view \
        -setup {dtmf_view_setup} \
        -hold {dtmf_view_hold}

innovus> timeDesign -preCTS
innovus> timeDesign -preCTS -hold

```

问题(10): 此时 dtmf view setup 的 WNS (Worst Negative Slack)是多少?

问题(11): 此时 dtmf view hold 的 WNS (Worst Negative Slack)是多少?

从菜单选择 Timing – Debug Timing, 弹出 Timing Debug 窗口。点击 Report File(s)项右侧文件夹按钮, 弹出 Display/Generate Timing Report 对话框。

选择 Generate, 在 Check Type 项选择 hold。点击 OK 按钮, 更新时序报告, 并观察新的时序路径信息。

关闭 Timing Debug 窗口。

从菜单选择 File – Save Design, 弹出 Save Design 对话框, 在 File Name 项输入 **preCTSopt.inn**, 点击 OK 按钮保存设计。

## 6 时钟树综合 (Clock Tree Synthesis, CTS)

### 6.1 时钟树综合

注意: 不要退出 Innovus, 如果已经退出, 可以重新运行 Innovus, 然后从菜单选择 File – Restore Design, 恢复已经保存的设计 pr.inn。

时钟树综合所需参数大部分可以从 SDC 文件得到, **dtmf.ccopt** 文件中保存了无法从 SDC 文件得到的参数。

查看 **dtmf.ccopt** 文件的内容, 其中的 **set\_ccopt\_property buffer\_cells** 和 **set\_ccopt\_property inverter\_cells** 命令分别指定了时钟树综合使用的缓冲器和反相器单元。

提示: 标准单元库中提供了一系列名为 CLK\*的缓冲器和反相器单元, 这些单元专门为时钟树优化设计, 也可以用于其他组合逻辑电路。

运行 **dtmf.ccopt** 文件中的命令, 在 Innovus 命令行执行:

```
innovus> source dtmf.ccopt
```

生成时钟树规范文件, 在 Innovus 命令行执行:

```
innovus> create_ccopt_clock_tree_spec
```

创建时钟树, 在 Innovus 命令行执行:

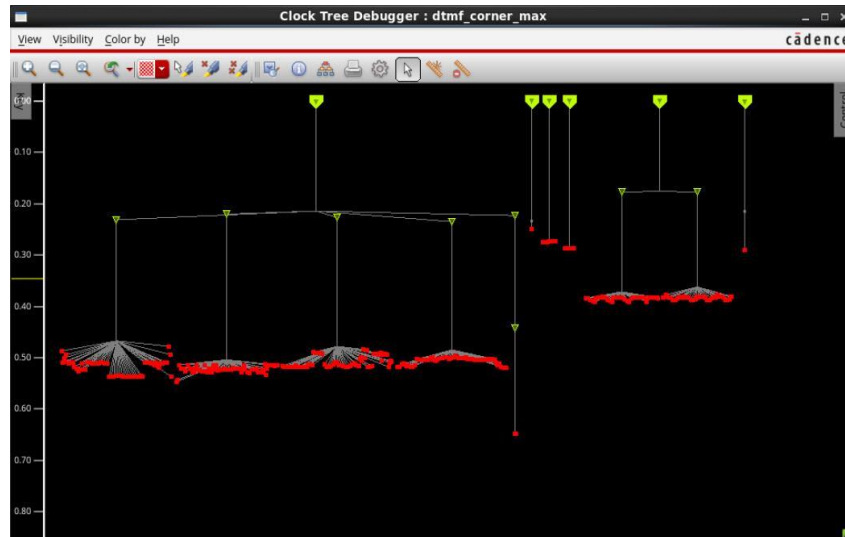
```
innovus> ccopt_design
```

### 6.2 查看时钟树

切换至 Physical View。

从菜单选择 Clock – CCOpt Clock Tree Debugger, 弹出 CTD Configuration 对话框。保持缺省设置不变, 点击 OK 按钮, 打开 Clock Tree Debugger 窗口。





请自行探索 Clock Tree Debugger 窗口的菜单和控制面板，浏览时钟树结构。

关闭 Clock Tree Debugger 窗口。

如果 Innovus 窗口有高亮的部分，从菜单选择 View – Clear Highlight – Clear All，清除所有高亮部分。

### 6.3 时序分析和优化

在 postCTS 模式下进行建立(Setup)时间时序分析，在 Innovus 命令行执行：

```
innovus> timeDesign -postCTS
```

注意观察 Innovus 命令行窗口显示的提示信息及时序报告。

如果 Slack 为负，在 postCTS 模式下进行建立时间时序优化，在 Innovus 命令行执行：

```
innovus> optDesign -postCTS
```

注意观察 Innovus 命令行窗口显示的提示信息及时序报告及其变化。

在 postCTS 模式下进行保持(Hold)时间时序分析，在 Innovus 命令行执行：

```
innovus> timeDesign -postCTS -hold
```

注意观察软件命令行窗口显示的提示信息和最后的时序报告。

问题(12)：此时的保持时间 WNS (Worst Negative Slack)是多少？

如果 Slack 为负，在 postCTS 模式下进行保持时间时序优化，在 Innovus 命令行执行：

```
innovus> optDesign -postCTS -hold
```

注意观察软件命令行窗口显示的提示信息和最后的时序报告及其变化。

问题(13)：优化后的保持时间 WNS (Worst Negative Slack)是多少？

将设计保存为 `postCTSopt.inn`。

## 7 布线 (Routing)

### 7.1 关键线网布线

设置关键线网布线屏蔽属性，在 Innovus 命令行执行：

```
innovus> setAttribute \
```

```
-net DTMF_INST/TDSP_CORE_INST/read_data \  
-shield_net VDD
```

检查确认线网布线属性设置正确，在 Innovus 命令行执行：

```
innovus> getAttribute \  
-net DTMF_INST/TDSP_CORE_INST/read_data
```

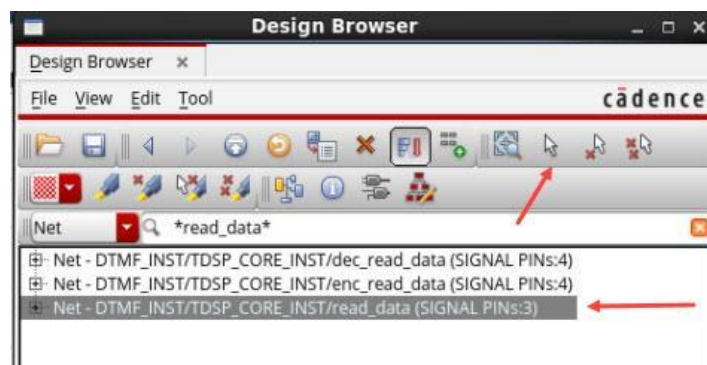
设置关键线网布线间距属性，在 Innovus 命令行执行：

```
innovus> setAttribute -net DTMF_INST/clk \  
-preferred_extra_space 2
```

在布线拥塞允许的情况下，将在 clk 线网两侧增加额外的布线间距。

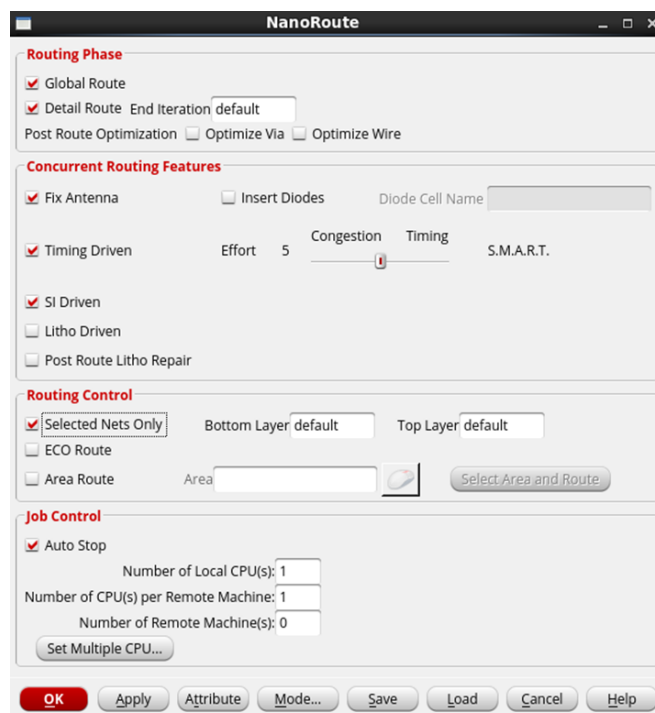
切换至 Physical View。

从菜单选择 Tool – Design Browser，弹出 Design Browser 对话框。



将对象从 Instance 切换为 Net，在搜索框输入\*read\_data\*并回车，得到符合条件的三个线网，选择 read\_data 线网，点击 Select 按钮。

从菜单选择 Route – NanoRoute – Route，弹出 NanoRoute 对话框。



选择 Timing Driven 和 SI Driven，选择 Selected Nets Only，点击 OK 按钮运行布线。  
在 All Colors 面板设置 Route 的可视属性。



选择 read\_data 线网，放大观察其屏蔽情况。

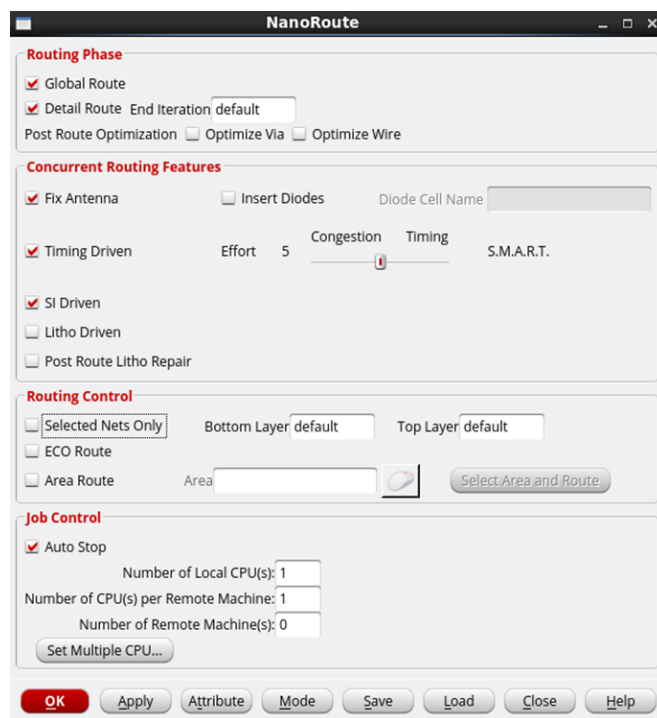
提示：使用快捷键 F12 可以调节背景亮度，将背景亮度调低有利于观察高亮显示的对象。完成观察后，继续使用快捷键 F12 可以将背景亮度调回正常状态。

观察 read\_data 线网及其屏蔽线的连接关系。

问题(14): read data 线网两侧的屏蔽线连接到了哪个信号?

## 7.2 布线

从菜单选择 Route – NanoRoute – Route，弹出 NanoRoute 对话框。



点击对话框下方 Mode 按钮，弹出 Mode Setup 对话框。在左侧面板选择 NanoRoute，在右侧上方选择 DFM 选项卡，将 Concurrent Via Optimization Effort 设置为 Medium，点击 OK 按钮。

选择 Timing Driven，选择 SI Driven，取消 Selected Nets Only，点击 OK 按钮，运行布线并等待完成。

注意观察软件命令行窗口显示的提示信息和 DRC 报告，特别注意是否有工艺天线效应违例(Process Antenna Violation)以及修复情况。

### 7.3 时序分析和优化

将时序分析模式设置为片上偏差(On Chip Variation, OCV), 在 Innovus 命令行执行:

```
innovus> setAnalysisMode -analysisType onChipVariation
```

运行建立时间和保持时间分析, 在 Innovus 命令行执行:

```
innovus> timeDesign -postRoute
```

```
innovus> timeDesign -postRoute -hold
```

问题(15): 此时的建立时间和保持时间 TNS 和 WNS 分别是多少?

如果存在时序违例, 则需要进一步优化时序, 在 Innovus 命令行执行:

```
innovus> optDesign -postRoute -setup -hold
```

如果仍然存在时序违例, 可以重复执行上述命令。

问题(16): 优化后的建立时间和保持时间 TNS 和 WNS 分别是多少?

将设计保存为 `detailRouted.inn`。

## 8 物理验证和数据交付

### 8.1 添加填充单元

从菜单选择 Place – Physical Cell – Add Filler, 弹出 Add Filler 对话框。

在 Cell Name(s)项填写 FILL64 FILL32 FILL16 FILL8 FILL4 FILL2 FILL1 (用空格隔开且尺寸从大到小排列), 点击 OK 按钮。

注意观察标准单元布局区域在添加填充单元后的变化。

### 8.2 验证连通性 (Connectivity, LVS)

从菜单选择 Verify – Verify Connectivity, 弹出 Verify Connectivity 对话框, 取消选择 DanglingWire (Antenna), 点击 OK 按钮运行连通性验证。

如果有违例, 从菜单选择 Tools – Violation Browser, 弹出 Violation Browser 窗口。在 Violation Browser 窗口中浏览违例, 并分析原因。

点击 Close 按钮关闭 Violation Browser 窗口。

### 8.3 验证几何图形 (Geometry, DRC)

从菜单选择 Verify – Verify Geometry, 弹出 Verify Geometry 对话框, 点击 OK 按钮运行几何图形验证。

如果有违例, 从菜单选择 Tools – Violation Browser, 弹出 Violation Browser 窗口。在 Violation Browser 窗口中浏览违例, 并分析原因。

点击 Close 按钮关闭 Violation Browser 窗口。

### 8.4 数据交付

将设计保存为 `signoff.inn`。

从菜单选择 Timing – Extract RC, 弹出 Extract RC 对话框。点击 OK 按钮。

从菜单选择 Timing – Write SDF, 弹出 Calculate Delay 对话框。取消选择 Ideal Clock, 在 SDF Output File 项输入 `dtmf.sdf`, 点击 OK 按钮, 生成 SDF 格式延迟文件。

从菜单选择 File – Save – Netlist, 弹出 Save Netlist 对话框。在 Netlist File 项输入 `dtmf.v`, 点击 OK 按钮, 生成 Verilog 格式网表文件。

从菜单选择 File – Save – GDS/OASIS, 弹出 GDS/OASIS Export 对话框。在 Output Format 项选择 GDSII/Stream, 在 Output File 项输入 `dtmf.gds`, 点击 OK 按钮, 生成 GDSII 格式版图文件。

实验结束之前, 切换至 Amoeba View, 选择 DTMF\_INST 模块, 将其 Ungroup, 并进一步对子模块进行 Ungroup 操作, 观察 Amoeba View 及其变化。

关闭 Innovus。

## 9 工程变更指令 (Engineering Change Orders, ECO) (选做)

### 9.1 数据准备

进入 ECO 工作目录:

```
$ cd ~/vlsi/FPR/work/ECO
```

观察并比较 `tdsp_core.v` 和 `tdsp_core_eco.v` 两个网表文件。

`tdsp_core.v` 是初始网表。在 `tdsp_core_eco.v` 中, 连接到 `p_data_out[15]` 和 `p_data_out[14]` 两个线网的实例进行了交换。搜索并观察比较实例 `i_5324` 和 `i_5331` 及其连接关系。

### 9.2 启动软件

启动 Cadence Innovus, 运行:

```
$ innovus
```

### 9.3 实现设计变更

实现设计变更, 在 Innovus 命令行执行:

```
innovus> ecoDesign tdsp_core.dat tdsp_core tdsp_core_eco.v
```

目录 `tdsp_core.dat` 为已保存的设计, 对应于初始网表 `tdsp_core.v`。上述命令将重新对变更的线网进行布线。

### 9.4 比较设计变更结果

从菜单选择 File – Save – DEF, 弹出 Save DEF 对话框, 在 File Name 项填写 `tdsp_core_routed_eco.def`, 点击 OK 按钮。

比较设计变更结果, 在 Innovus 命令行执行:

```
innovus> ecoCompareNetlist -def tdsp_core.def -outFile ecoFile
```

观察 `ecoFile` 文件, 验证线网连接关系变更是否实现。

在该设计基础上, 可继续进行布线后的时序分析和验证流程。

退出 Innovus。

### 三、思考题

- (1) 回答上述操作过程中提出的问题，按照序号给出答案。
- (2) 简述芯片级物理设计的基本过程，包括每个步骤完成的功能以及所需的文件。  
注意：为了教学目的，实验内容中引入了一些非必须的步骤，请梳理出从导入设计到数据交付的必要基本流程。