

# **FPGA 实现的 SATA 控制器**

**V201007a**

# 1 摘要

随着业界硬件互联结构趋势由并行总线模式向高速串行模式转变, 硬盘接口已由 ATA 并行总线信号模式过渡到 SATA 串行模式。近年来, XILINX 公司高端 FPGA 器件内集成了高速串行收发器 GTP, 其内部还集成了为实现 SATA 协议所定义的 OOB 信号, 8B10B 编码等规范所需电路部件。本人最近在研发使用 FPGA 控制多块磁盘的高带宽磁盘阵系统, 目前已使用 XILINX VIRTEX5 LXT 系列 FPGA 实现对单块 SATA 磁盘的读写控制, 形成独立的 IP。通过在网上搜索, 发现有为数不多国外公司发布了 SATA 控制器 IP, 国内也有几个朋友发布了相关的论文或成果说明, 但是这些文档资料里对各自 SATA 控制器的接口定义, 测试结果的描述都显得较为简略, 因此本人特此撰文, 把自己所作的一些工作成果呈现出来, 与业内的朋友做一些交流, 也希望能为对此技术感兴趣的朋友提供一些参考。本文重点放在所实现的 IP 核的设计理念、接口定义、使用流程定义, IP 核测试方法以及使用该 IP 核对两款硬盘测试的结果上, 对于 SATA 协议本身的内容以及 XILINX GTP 组件特性等方面的技术知识本文不作专门论述。

## 2 IP 核主要特性

- XILINX FPGA GTP 实现 SATA 物理层
- VHDL 描述的可综合逻辑实现 SATA 传输层和链路层
- 自适应 SATA Gen1 (1.5Gbps)或 SATA Gen2(3.0Gbps)两种速率接口的硬盘
- Cache 模式的用户接口, 简单的控制流程

图表 2-1 单个 SATA 控制器所需使用的 Virtex5 LXT 系列 FPGA 的主要资源:

| FPGA 资源名称    | 资源消耗数 (个) |
|--------------|-----------|
| 寄存器 Register | 约 1400    |
| 查找表 LUT      | 约 1200    |
| 存储器 BlockRAM | 4         |
| 高速收发器 GTP    | 1         |

## 3 IP 核的结构模型

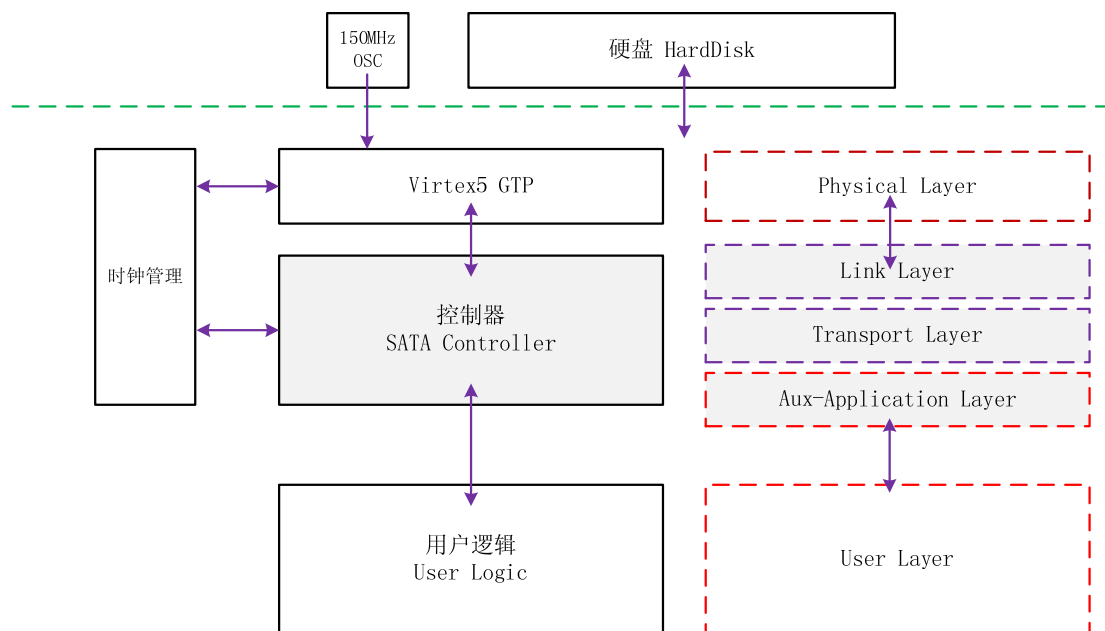
### 3.1 结构概述

本 IP 核的基本设计思路是: 屏蔽复杂的 SATA 协议, 让用户像读写 FPGA 内部 RAM 一样简单地读写硬盘。

SATA 协议其本身是建立在 ATA 协议基础上的。简单地说, SATA 就是串行的 ATA, 它把 ATA 中定义的、由并行总线传输数据、指令、状态的物理层模型更改为由一对高速串行信号线传输数据、指令、状态的物理层模型, 同时保留了 ATA 所定义的物理层之上的各层模型。因此, 有些 SATA IP 核提供给用户一个可以与 ATA 信号兼容的接口, 例如提供给用户映射的

指令寄存器，状态寄存器，数据寄存器等（即硬盘内相关寄存器的本地副本），采用这种模型设计的 IP 所带来的好处是可以兼容原有的 ATA 驱动程序，但对于一般用户而言，ATA 接口的使用流程仍然显得复杂。本 IP 核为了适应更普遍的嵌入式应用需求，在 SATA 协议定义的传输层（Transport Layer）协议之上，完成了一部分应用层（Application Layer）的工作，使得 IP 核的使用更加简单，并采用缓冲映射（Cache）模式实现了对硬盘的读写。

本 IP 的逻辑层次图如下：



图表 3-1 IP 核逻辑层次模型

图表 3-1 中绿色虚线用以区分 FPGA 内部和外部，虚线以下部分表示 FPGA 内部。

SATA 协议的物理层（Physical Layer）由 GTP 实现，在 FPGA 外部它通过一对高速串行信号线与硬盘连接，在 FPGA 内部 GTP 提供了并行数据接口和一系列的控制及状态接口。

链路层（Link Layer）和传输层，以及部分应用层（注：图中标示为 Aux-Application Layer，应用层辅助层，这是作者自己定义的一个名词）通过 VHDL 语言描述成可由 XILINX 集成开发环境 ISE 综合的逻辑实现，这部分逻辑即是作者设计的 SATA 控制器（Controller）。用户在使用时通过 SATA 控制器完成对硬盘的读写。

控制器逻辑的时钟来自系统本地的 150MHz 高品质差分晶体振荡器，GTP 的大部分逻辑也使用这个时钟及其衍生时钟，GTP 接收器的部分逻辑使用 SATA 数据信号的恢复时钟。为了适应 SATA Gen1 和 SATA Gen2 所对应的 1.5Gbps 和 3.0Gbps 两种速率，需要使用时钟管理单元产生 300MHz，150MHz，75MHz 等不同频率的时钟，在不同情况下选择使用。

## 3.2 用户接口

### 3.2.1 端口定义

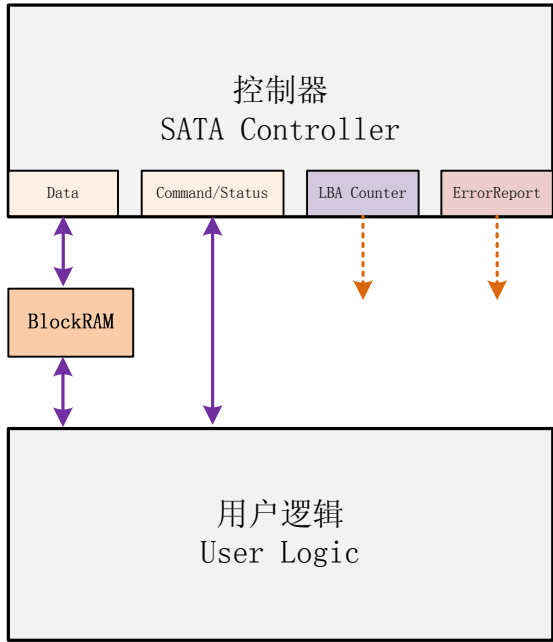
图表 3-2 标示了 SATA 控制器提供给用户使用的接口。

用户逻辑与硬盘之间的数据交换通过 FPGA 内部的一个双口存储器（DPRAM）实现，这块存储器的一侧端口由 SATA 控制器读写（图表 3-2 中标示的 Data 端口负责读写 DPRAM），

另一侧端口由用户控制读写。DPRAM 的数据位宽为 32 位，SATA 控制器最大可以支持 128KB 的 DPRAM，即提供了 15 位地址控制线。对硬盘读写的基本单位是一个扇区（Sector），大小为 512 字节，每次读写可以指定一个或多个（ATA 协议约定最多为 65536 个）扇区。读硬盘时，SATA 控制器将一个或多个扇区的数据从硬盘读出，写入这个 DPRAM 中；在写硬盘时，SATA 控制器将 DPRAM 中映射的一个或多个扇区的数据读出，写入硬盘。因此，该 DPRAM 也是按扇区（512 字节）为单位来管理的。

用户逻辑通过图表 3-2 中标示的 Command/Status 端口与 SATA 控制器进行控制流程的交互。用户逻辑是对硬盘读写的主设备（Host），即读写控制由用户逻辑发起，读写执行成功与否由相关的状态信号表示。Command/Status 端口还提供了一块 DPRAM 用于硬盘读写的参数交互。例如，用户需要指定读写硬盘的扇区地址（LBA），读写扇区的数量，当读写出错时控制器返回错误原因代码。这块用于参数交互的 DPRAM 与用于数据交互 DPRAM 类似，SATA 控制器和用户逻辑各自控制 DPRAM 的一侧端口，都拥有读写权限。

SATA 控制器还提供了用户测试端口，用于观测控制器运行情况。例如，如果在运行过程中出现物理层初始化错误、帧（FIS）收发错误或其它错误，状态指示端口会给出预定义的对应的错误代码。再如，在进行读写带宽测试时，LBA 计数器端口会给出当前已经读出或写入的 LBA 总数。



图表 3-2 控制器的用户接口图示

具体的用户端口如图表 3-3:

图表 3-3 控制器的用户接口列表

| 名称          | 方向 | 位宽 | 功能           |
|-------------|----|----|--------------|
| 数据存储区       |    |    |              |
| PLRam_Addr  | O  | 15 | 数据存储器端口-地址   |
| PLRam_Din   | I  | 32 | 数据存储器端口-数据输入 |
| PLRam_DOUT  | O  | 32 | 数据存储器端口-数据输出 |
| PLRam_Wrena | O  | 1  | 数据存储器端口-写使能  |

|                  |   |    |                               |
|------------------|---|----|-------------------------------|
| PLRam_CLK        | O | 1  | 数据存储器端口-时钟                    |
| 参数存储区            |   |    |                               |
| TranAppRAM_web   | O | 1  | 参数存储器端口-写时能, 1 有效             |
| TranAppRAM_addrb | O | 2  | 参数存储器端口-地址                    |
| TranAppRAM_dinb  | I | 32 | 参数存储器端口-数据输入                  |
| TranAppRAM_doutb | O | 32 | 参数存储器端口-数据输出                  |
| TranAppRAM_clk   | I | 1  | 参数存储器端口-时钟                    |
| 指令状态接口           |   |    |                               |
| AppCmd_Req       | I | 1  | 指令请求表示, 1 表示发起一次新的读写操作。       |
| AppSts_DevReady  | O | 1  | SATA 控制器就绪表示。1 表示就绪。          |
| AppSts_Busy      | O | 1  | SATA 控制器忙标志。1 表示 SATA 正在执行指令。 |
| AppSts_Error     | O | 1  | 指令执行出错指示。1 表示有错误发生。           |
| 测试端口             |   |    |                               |
| LBACounter       | O | 32 | LBA 计数器, 用于带宽测试。              |
| TranStatus       | O | 8  | SATA 控制器内部状态                  |
| TranStatusUpdate | O | 1  | SATA 控制器内部状态更新指示              |

参数存储区定义了 16 个字节, 具体使用及定义如下:

图表 3-4 参数存储区定义

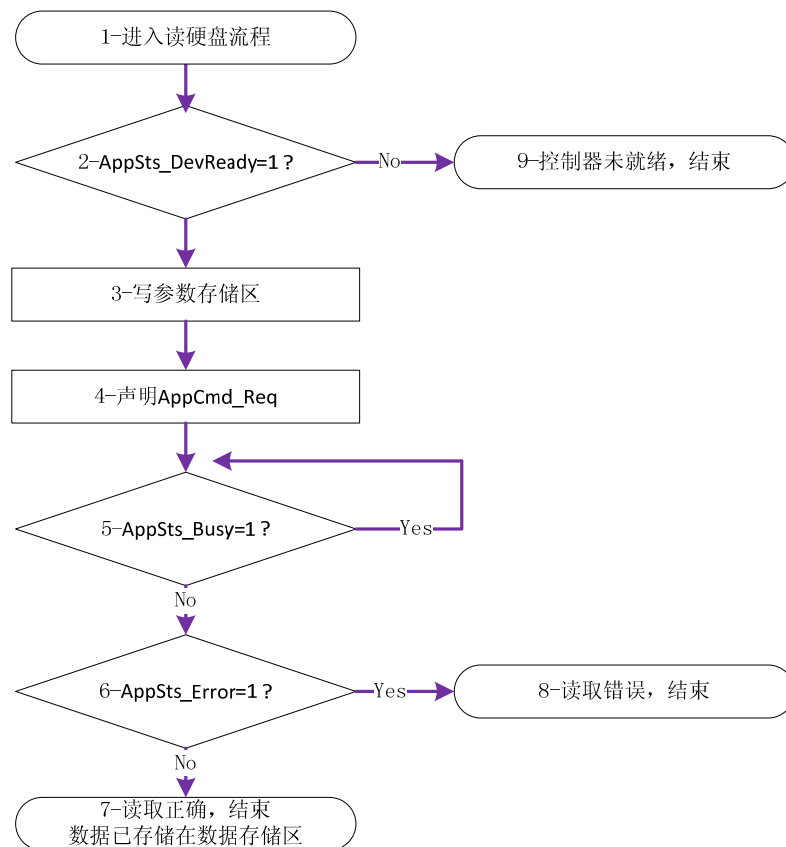
| 参数存储区 (ParaDPRAM) 定义 |                     |   |
|----------------------|---------------------|---|
| 地址偏移                 | 功能名称                | 说明  |
| 0                    | LBA[7..0]           | 扇区地址。<br>在执行读写硬盘指令时, 指定读写的起始扇区地址;<br>在执行读写带宽测试指令时, 指定读写的最后扇区地址。   |
| 1                    | LBA[15..0]          |   |
| 2                    | LBA[23..0]          |   |
| 3                    | LBA[31..0]          |   |
| 4                    | LBA[39..0]          |   |
| 5                    | LBA[47..0]          |   |
| 6                    | Parameter_D         | 附加参数。<br>在执行读写带宽测试指令时, 指定读写的起始扇区地址。   |
| 7                    | Parameter_C         |   |
| 8                    | Parameter_B         |   |
| 9                    | Parameter_A         |   |
| 10                   | Status_B            | 状态返回。<br>在读写硬盘出错时, 返回错误代码。  |
| 11                   | Status_A            |   |
| 12                   | Start Sector Number | 指定数据存储区 DPRAM 的起始扇区地址。<br>读硬盘时, 从硬盘读取数据写入 DPRAM, 本参数指定 DPRAM 起始地址的高 8 位, 低 7 位自动补 0。<br>写硬盘时, 从 DPRAM 读取数据写入硬盘, 本参数指定 DPRAM 起始地址的高 8 位, 低 7 位自动补 0。 |
| 13                   | Sector Quantity     | 在执行读写硬盘指令时, 指定读写扇区的数目。  |
| 14                   | Command Infor       | 指令类型附加码。  |
| 15                   | Command Type        | 指令类型码。例如 0x01 定义为读回硬盘信息 (即 ATA 协议定义的 IDENTIFY 指令); 0x02 定义为读硬盘扇区; 0x03 定义为写硬盘扇区; 0x04 定义为对硬盘进行持续读取操   |

|  |  |   |
|--|--|---|
|  |  | 作，并测试读带宽；0x05 定义为对硬盘进行持续的写入操作，并测试写带宽；0x06 定义为使硬盘进入休眠状态。 |
|--|--|---|

### 3.2.2 操作流程

为更清楚地解释用户端口的使用规则，在此将读写扇区的流程说明一下。

#### 3.2.2.1 读硬盘操作流程



图表 3-5 读硬盘流程图

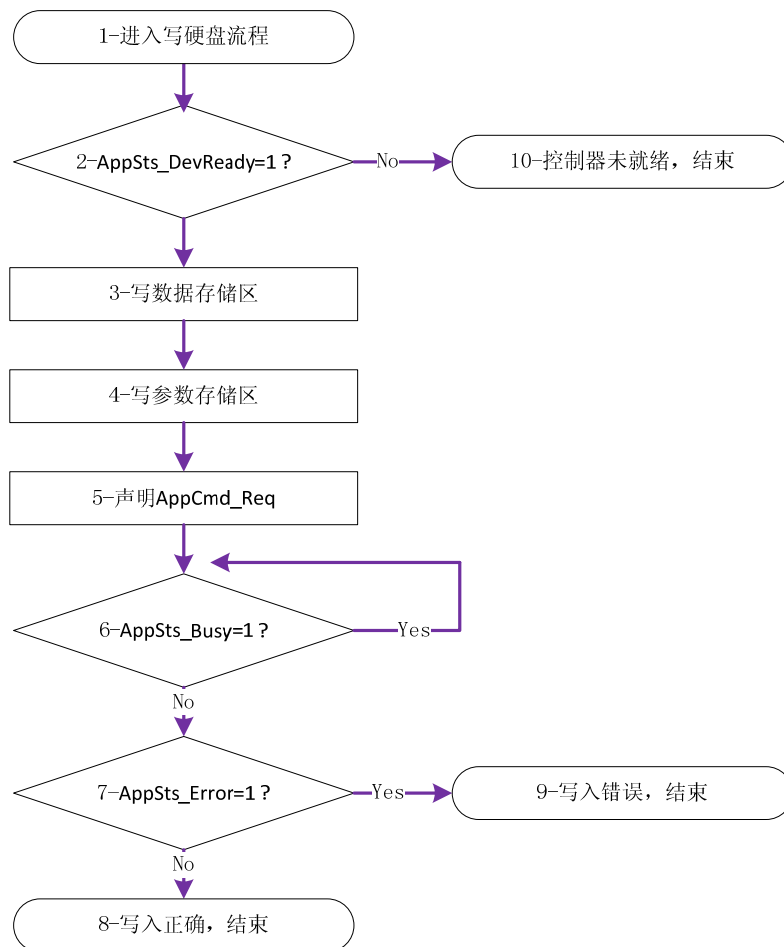
对流程中的各主要步骤解释如下：

- 1，进入读硬盘流程。用户逻辑做好读取硬盘扇区的准备，开始操作。
- 2，判断 AppSts\_DevReady 信号。如果该信号为 1，说明 SATA 控制器准备就绪，可以继续操作；如果该信号为 0，说明 SATA 控制器尚未准备就绪，不能继续操作，出错原因反映在参数存储区 Status\_A/B 中。
- 3，写参数存储区。用户需要指定读取硬盘扇区 LBA 的起始地址，欲读取扇区的数目，读回的数据应写入数据存储区的什么地址范围（只需要指定起始地址），指令类型（读硬盘指令）等参数。
- 4，声明 AppCmd\_Req 信号。在 AppCmd\_Req 信号端口上产生一个不短于 10ns 的正脉冲，表示用户向控制器发起指令要求。控制器收到这个信号后，解析参数存储区的各项参数，

进行对应的操作。

- 5, 检查 AppSts\_Busy 信号。如果该信号为 1, 表示控制器还处于指令执行状态; 如果该信号为 0, 表示控制器执行指令完毕。
- 6, 检查 AppSts\_Error 信号。如果该信号为 1, 表示指令执行失败, 出错原因反映在参数存储区 Status\_A/B 中; 如果该信号为 0, 表示指令执行成功, 欲读取的扇区数据已经存储在数据存储区中。

### 3.2.2.2 写硬盘操作流程



图表 3-6 写硬盘流程图

对流程中的各主要步骤解释如下:

- 1, 进入写硬盘流程。用户逻辑做好写数据到硬盘扇区的准备, 开始操作。
- 2, 判断 AppSts\_DevReady 信号。如果该信号为 1, 说明 SATA 控制器准备就绪, 可以继续操作; 如果该信号为 0, 说明 SATA 控制器尚未准备就绪, 不能继续操作, 出错原因反映在参数存储区 Status\_A/B 中。
- 3, 写数据存储区。把需要写到硬盘扇区的数据先写到数据存储区中。
- 4, 写参数存储区。用户需要指定写入硬盘扇区的 LBA 起始地址, 欲写入扇区的数目, 欲写入的数据存储在数据存储区的什么位置 (只需要指定起始地址), 指令类型 (写硬盘指

令) 等参数。

- 5, 声明 AppCmd\_Req 信号。在 AppCmd\_Req 信号端口上产生一个不短于 10ns 的正脉冲, 表示用户向控制器发起指令要求。控制器收到这个信号后, 解析参数存储区的各项参数, 进行对应的操作。
- 6, 检查 AppSts\_Busy 信号。如果该信号为 1, 表示控制器还处于指令执行状态; 如果该信号为 0, 表示控制器执行指令完毕。
- 7, 检查 AppSts\_Error 信号。如果该信号为 1, 表示指令执行失败, 出错原因反映在参数存储区 Status\_A/B 中; 如果该信号为 0, 表示指令执行成功, 欲读取的扇区数据已经存储在数据存储区中。

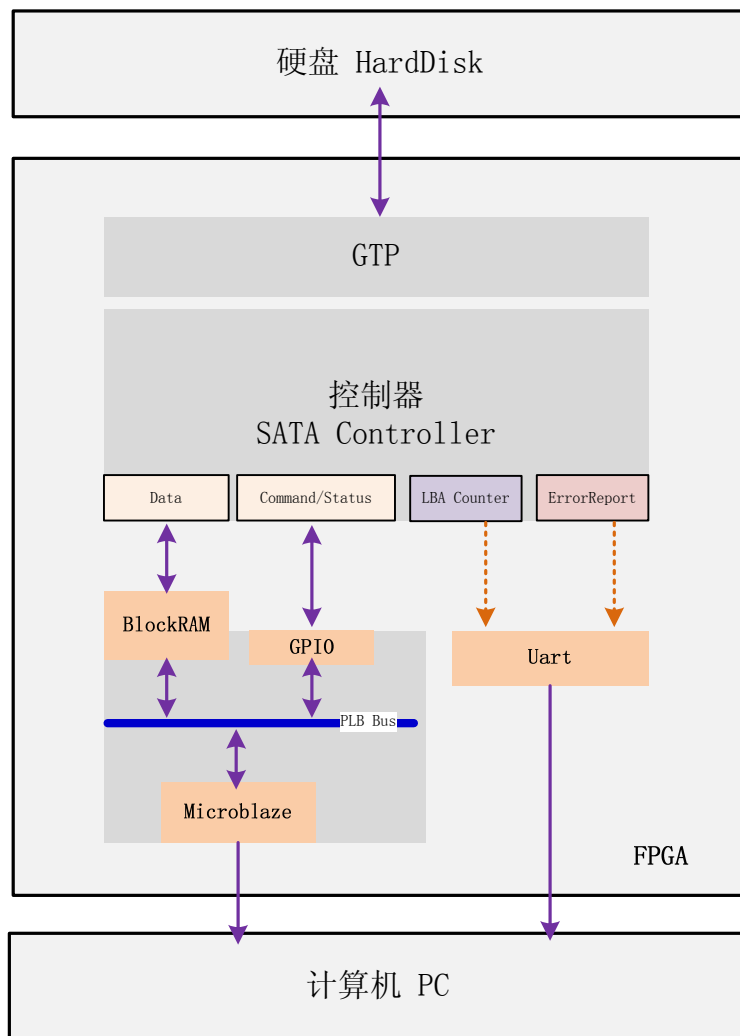
## 4 IP 核的测试

### 4.1 测试模型

IP 核的设计需要一套可靠的测试方法, 这不仅能有效地辅助设计, 而且也是对设计进行测试验证时所必须的。

本 SATA 控制器的测试使用了 XILINX 公司的软核处理器 Microblaze 与计算机相结合的方法, 测试示意图如下:





图表 4-1 SATA 控制器的测试模型

对图表 4-1 作一些说明。

测试模型中，使用了计算机（即普通个人电脑），FPGA（即集成有 Virtex5 LXT FPGA 的电路板），以及待测试的硬盘三种硬件实体。计算机与 FPGA 之间通过 JTAG 调试电缆和串口 UART 连接线通信，其中 JTAG 用于控制 Microblaze 系统，UART 接口用于在计算机上打印 SATA 控制器测试端口的信息。

Microblaze 通过 PLB 总线挂载了一块双口 RAM 用于充当数据存储区，与硬盘交换数据；PLB 总线上挂载的 GPIO 用于连接控制信号线和状态信号线，以及对参数存储区的读写。通过编写运行在 Microblaze 上的程序（C 或 C++）即可实现对数据存储区和 GPIO 的读写，也就能与 SATA 控制器建立通信。XILINX 为 Microblaze 的程序开发提供了友善易用的开发环境，这样一来，就可以通过 Microblaze 对 SATA 控制进行操作，可以通过写入、读回扇区数据以及监控状态信号判断控制器操作的正确性了。

UART 主要是用于捕捉 SATA 控制器内部的一些快变的状态信息。另外，在控制器执行读写带宽测试指令时，UART 采样 LBA 计数器，并将计数器值输出至计算机，进而能够在计算机上对采样数据进行进一步分析。LBA 计数器是一个 32 位计数器，在执行读写带宽测试指令时，SATA 控制器每写入或者每读出 16 个扇区（合计 8KB 数据量）就使计数器值加 1，UART 发送器每隔 5 秒钟向计算机输出一次当前的 LBA 计数器值。

## 4.2 读写正确性测试

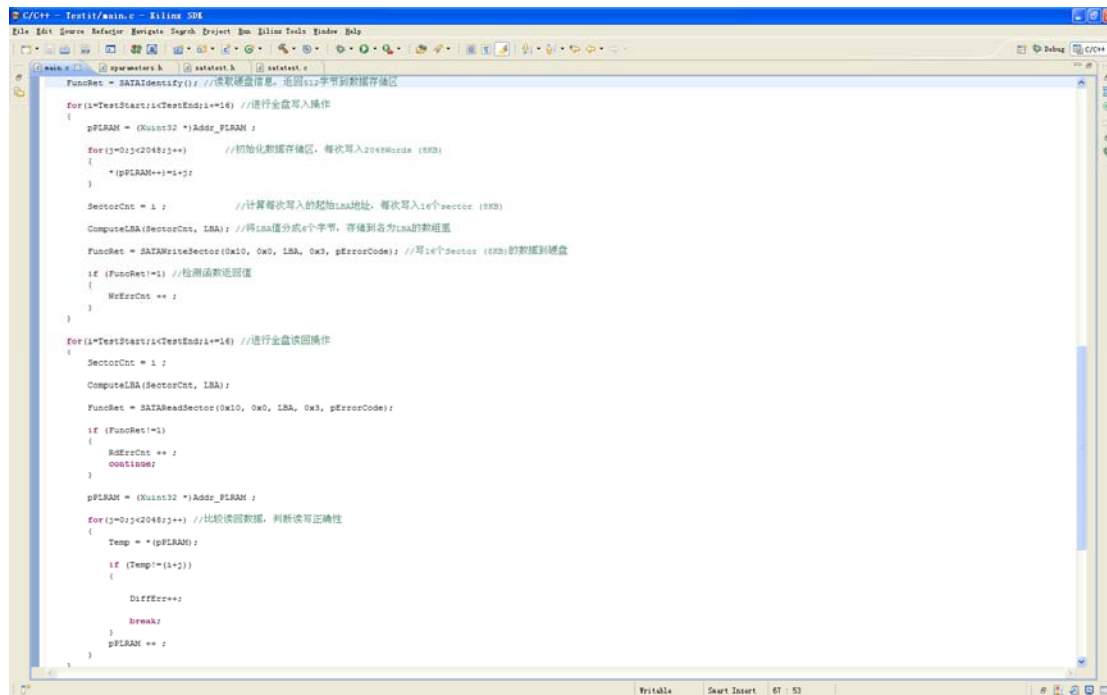
读写正确性的测试借助 Microblaze 实现。根据 SATA 控制器的操控流程协议,在 Microblaze 平台上编制相应的读写驱动程序,首先调用硬盘写入操作指令,在硬盘所有扇区上写入特定的数据,然后调用硬盘读出指令,将硬盘所有扇区上的数据读回,并比较数据,判断读回的数据与当初写入的数据是否一致。图表 4-2 显示了上述流程的主体代码片段,代码开发调试环境是 SDK。另外,通过对多块硬盘的测试以及 UART 长时间地监测测试端口,统计出使用本 SATA 控制器与硬盘交互的过程中,帧(FIS)交互错误(SATA 控制器链路层显示 FIS 发送或接受错误)的发生概率依硬盘不同而异,但都小于  $10^{-12}$ 。由于本 SATA 控制器设计了出错重传机制(使用 Cache 模式接口使得出错重传得以实现,若使用普通 FIFO 存储数据就不能实现数据帧的出错重传)使得小概率的帧传输错误得以纠正,从而并不会造成读写操作的实际失败。

通过发送 IDENTIFY 指令,可以得到硬盘信息。在此列举两款硬盘的测试结果。

图表 4-3 是希捷 barracuda 7200.12 系列,1TB 硬盘 ST31000528AS 的硬盘信息,图片是在 Microblaze 调试环境下查看存储器的截图。各地址的信息定义可参见硬盘技术规范文档。

图表 4-4 是西数 WD Caviar Black 系列,1TB 硬盘 WD1002FAEX 的硬盘信息,片是在 Microblaze 调试环境下查看存储器的截图。各地址的信息定义可参见硬盘技术规范文档。

可以提一下的是,在地址偏移 0xC8 上的数据,这两块硬盘的信息都显示为 0x74706DB0,这里标记的是硬盘的可寻址 LBA 数。硬盘的实际容量=(0x74706DB0+1)乘以 512B,即  $1953525169 \times 512B = 1000204886528$  字节。接下来,将对 LBA 进行连续的读写测试,以便观察硬盘的读写带宽。



图表 4-2 SATA 用于读写正确性判断的代码片段

| Address  | 0 - 3    | 4 - 7    | 8 - B    | C - F    |
|----------|----------|----------|----------|----------|
| 81434000 | 3FFF0C5A | 0010C837 | 00000000 | 0000003F |
| 81434010 | 00000000 | 20202020 | 20202020 | 20202020 |
| 81434020 | 50373956 | 324E5332 | 00000000 | 43430004 |
| 81434030 | 20203338 | 53542020 | 30303331 | 32383035 |
| 81434040 | 20204153 | 20202020 | 20202020 | 20202020 |
| 81434050 | 20202020 | 20202020 | 20202020 | 80102020 |
| 81434060 | 2F000000 | 02004000 | 00070200 | 00103FFF |
| 81434070 | FC10003F | 001000FB | 0FFFFFFF | 04070000 |
| 81434080 | 00780003 | 00780078 | 00000078 | 00000000 |
| 81434090 | 00000000 | 001F0000 | 00000506 | 00400048 |
| 814340A0 | 002901F0 | 7F01346B | 34694163 | 4163BE01 |
| 814340B0 | 0057007F | 00000057 | 0000FFFE | 0000FE00 |
| 814340C0 | 00000000 | 00000000 | 74706DB0 | 00000000 |
| 814340D0 | 00000000 | 00000000 | C5005000 | 57482085 |
| 814340E0 | 00000000 | 00000000 | 00000000 | 401E0000 |
| 814340F0 | 0000401C | 00000000 | 00000000 | 00000000 |
| 81434100 | 6DB00021 | 6DB07470 | 20207470 | 01400002 |
| 81434110 | 50000100 | 3C0A3C06 | 003C0000 | 00080000 |
| 81434120 | 00000000 | 0280004F | 00000000 | 00000008 |
| 81434130 | 00000000 | 00000000 | 00000000 | 98003F00 |
| 81434140 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434150 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434160 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434170 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434180 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434190 | 00000000 | 00000000 | 00000000 | 0000103F |
| 814341A0 | 00000000 | 00000000 | 00000000 | 00000000 |
| 814341B0 | 1C200000 | 00000000 | 00000000 | 00001010 |
| 814341C0 | 00000000 | 00000000 | 00000000 | 00000000 |
| 814341D0 | 00000000 | 00000000 | 00000000 | 00000000 |
| 814341E0 | 00000000 | 00000000 | 00000000 | 00000000 |
| 814341F0 | 00000000 | 00000000 | 00000000 | 7AA50000 |

图表 4-3 希捷 1TB 硬盘 ST31000528AS IDENTIFY 信息

| Address  | 0 - 3    | 4 - 7    | 8 - B    | C - F    |
|----------|----------|----------|----------|----------|
| 81434000 | 3FFF427A | 0010C837 | 00000000 | 0000003F |
| 81434010 | 00000000 | 20202020 | 442D2057 | 41575743 |
| 81434020 | 30313330 | 35373535 | 00000000 | 30310032 |
| 81434030 | 31562E30 | 57443031 | 57444320 | 30323130 |
| 81434040 | 45584641 | 30592D30 | 30203941 | 20202020 |
| 81434050 | 20202020 | 20202020 | 20202020 | 80102020 |
| 81434060 | 2F000000 | 00004001 | 00070000 | 00103FFF |
| 81434070 | FC10003F | 010000FB | 0FFFFFFF | 01070000 |
| 81434080 | 00780003 | 00780078 | 00000078 | 00000000 |
| 81434090 | 00000000 | 001F0000 | 0000170E | 00400044 |
| 814340A0 | 000001FE | 7761746B | 74694123 | 4123B441 |
| 814340B0 | 0055007F | 00000055 | 0000FFFE | 000080FE |
| 814340C0 | 00000000 | 00000000 | 74706DB0 | 00000000 |
| 814340D0 | 00000000 | 00000000 | 4EE25001 | D1F50486 |
| 814340E0 | 00000000 | 00000000 | 00000000 | 40180000 |
| 814340F0 | 00004018 | 00000000 | 00000000 | 00000000 |
| 81434100 | 00000021 | 00000000 | 16FE0000 | 000000E6 |
| 81434110 | 00000000 | 00000000 | 00000000 | 00000004 |
| 81434120 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434130 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434140 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434150 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434160 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434170 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434180 | 00000000 | 00000000 | 00000000 | 00000000 |
| 81434190 | 00000000 | 00000000 | 00000000 | 00003035 |
| 814341A0 | 00000000 | 00000000 | 00000000 | 00000000 |
| 814341B0 | 00000000 | 00000000 | 00000000 | 0000101E |
| 814341C0 | 00000000 | 00000000 | 00000000 | 00000000 |
| 814341D0 | 00000000 | 10000001 | 00000000 | 00000000 |
| 814341E0 | 00000000 | 00000000 | 00000000 | 00000000 |
| 814341F0 | 00000000 | 00000000 | 00000000 | 02A50000 |

图表 4-4 西部数据 1TB 硬盘 WD1002FAEX IDENTIFY 信息

## 4.3 读写带宽测试

### 4.3.1 测试原理

SATA 控制器内部设计了用于硬盘读写带宽测试的逻辑。

对于写入带宽测试，当 Microblaze 初始化了数据存储区和参数存储区，向 SATA 控制器发出“写带宽测试”指令后，控制器将使用数据存储区的内容，以及指令指定的 LBA 测试范围，连续地写硬盘。在测试中，每次写操作写入 8KB 即 16 个扇区，写操作完成后，控制器测试端口上的 LBA 计数器被加 1，UART 每隔 5 秒钟向计算机输出一组 LBA 计数器值，计数器值被计算机存盘，随后再使用 Matlab 进行分析。

如图表 4-5，是对 WD1002FAEX 进行写带宽测试时获得的 LBA 计数器值存盘文件的片段截图。数值是用十六进制表示的，每个数据代表着该数值被输出时，已经成功进行的写操作次数，即已写入 LBA 的数量除以 16。相邻数值之间的间隔时间为 5 秒钟，两个数值之差乘以 8KB 再除以 5 即代表在其所间隔的 5 秒内硬盘的写入带宽。

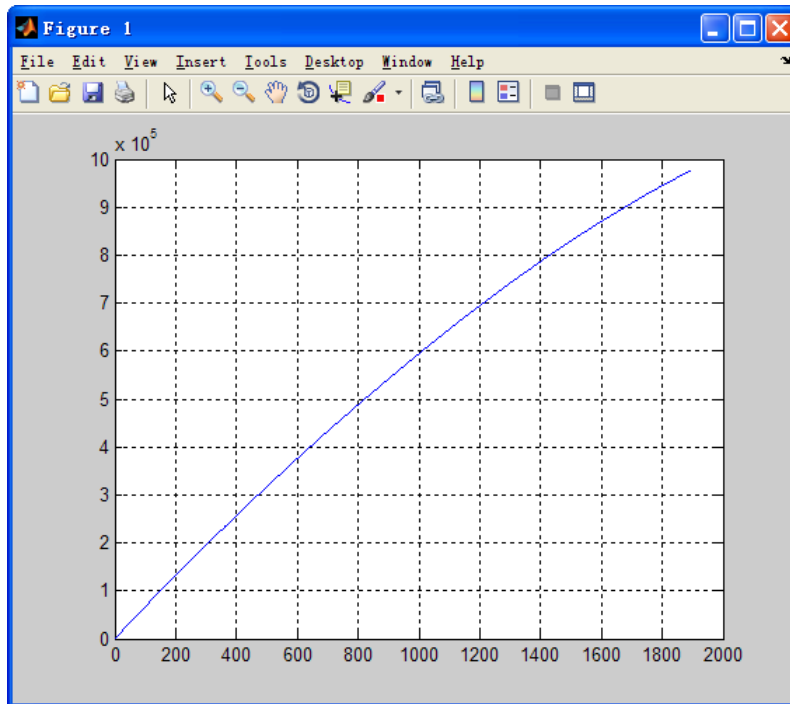
类似地，对于读出带宽测试，当 Microblaze 初始化了数据存储区和参数存储区，向 SATA 控制器发出“读带宽测试”指令后，控制器将使用指令指定的 LBA 测试范围，连续地读硬盘，并将数据存储到数据存储区内。在测试中，每次读操作读出 8KB 即 16 个扇区，读操作完成后，控制器测试端口上的 LBA 计数器被加 1，UART 每隔 5 秒钟向计算机输出一组 LBA 计数器值，计数器值被计算机存盘，随后再使用 Matlab 进行分析。

|                                     |                                     |                                     |
|-------------------------------------|-------------------------------------|-------------------------------------|
| 文件(F) 编辑(E)<br>格式(O) 查看(V)<br>帮助(H) | 文件(F) 编辑(E)<br>格式(O) 查看(V)<br>帮助(H) | 文件(F) 编辑(E)<br>格式(O) 查看(V)<br>帮助(H) |
| 00 00 6E 3D                         | 03 CF E6 D7                         | 06 FF E2 3A                         |
| 00 01 B5 D0                         | 03 D0 EB DD                         | 07 00 8E 16                         |
| 00 02 FD 2C                         | 03 D1 F0 E4                         | 07 01 3A 07                         |
| 00 04 44 77                         | 03 D2 F5 FA                         | 07 01 E5 F3                         |
| 00 05 8C CE                         | 03 D3 FB 00                         | 07 02 8E 63                         |
| 00 06 D5 38                         | 03 D5 00 06                         | 07 03 38 74                         |
| 00 08 1D 8E                         | 03 D6 05 0D                         | 07 03 E2 5C                         |
| 00 09 63 21                         | 03 D7 0A 14                         | 07 04 8C 5B                         |
| 00 0A AB 29                         | 03 D8 0F 13                         | 07 05 36 4F                         |
| 00 0B F2 87                         | 03 D9 14 35                         | 07 05 E0 42                         |
| 00 0D 39 C4                         | 03 DA 19 3C                         | 07 06 8A 31                         |
| 00 0E 7E B4                         | 03 DB 1E 43                         | 07 07 34 4A                         |
| 00 0F C7 14                         | 03 DC 23 4A                         | 07 07 DE 78                         |
| 00 11 0F 72                         | 03 DD 28 51                         | 07 08 88 A6                         |
| 00 12 56 A6                         | 03 DE 2D 57                         | 07 09 32 D5                         |
| 00 13 9E FC                         | 03 DF 32 6D                         | 07 09 DD 03                         |
| 00 14 E7 66                         | 03 E0 37 74                         | 07 0A 87 31                         |
| 00 16 2E EC                         | 03 E1 3C 7A                         | 07 0B 31 60                         |
| 00 17 76 28                         | 03 E2 41 77                         | 07 0B DB 1D                         |
| 00 18 BD C7                         | 03 E3 46 74                         | 07 0C 85 45                         |
| 00 1A 01 C6                         | 03 E4 4B 7B                         | 07 0D 2F 3B                         |
| 00 1B 45 B2                         | 03 E5 50 82                         | 07 0D D9 2B                         |
| 00 1C 8E 1A                         | 03 E6 55 98                         | 07 0E 83 1A                         |
| 00 1D D6 70                         | 03 E7 5A 9F                         | 07 0F 2C FD                         |
| 00 1F 1E DA                         | 03 E8 5F A5                         | 07 0F D6 F7                         |
| 00 20 63 65                         | 03 E9 64 AC                         | 07 10 80 E6                         |
| 00 21 AA 0D                         | 03 EA 69 B3                         | 07 11 2A D5                         |
| 00 22 EC E1                         | 03 EB 6E C9                         | 07 11 D4 C4                         |
| 00 24 30 D2                         | 03 EC 73 D0                         | 07 12 7C 7C                         |
| 00 25 79 2F                         | 03 ED 78 D6                         | 07 13 21 E4                         |
| 00 26 C1 92                         | 03 EE 7D D4                         | 07 13 C7 65                         |
| 00 28 07 19                         | 03 EF 82 D1                         | 07 14 6C E6                         |
| 00 29 4E 54                         | 03 F0 87 D7                         | 07 15 12 67                         |
| 00 2A 96 27                         | 03 F1 8C DD                         | 07 15 B7 E8                         |
| 00 2B DD 60                         | 03 F2 92 09                         | 07 16 5D 69                         |
| 00 2D 24 9B                         | 03 F3 97 10                         | 07 17 02 EA                         |
| 00 2E 6C 8F                         | 03 F4 9C 17                         | 07 17 A8 61                         |
| 00 2F B0 86                         | 03 F5 A1 1E                         | 07 18 4D E2                         |
| 00 30 F7 30                         | 03 F6 A5 77                         | 07 18 F3 63                         |
| 00 32 3F 9A                         | 03 F7 A9 B1                         | 07 19 98 E3                         |
| 00 33 82 FB                         | 03 F8 AD D4                         | 07 1A 3E 60                         |
| 00 34 CB 65                         | 03 F9 B1 EA                         | 07 1A E3 DB                         |
| 00 36 12 74                         | 03 FA B5 FF                         | 07 1B 89 56                         |
| 00 37 43 A2                         | 03 FB BA 14                         | 07 1C 2E D1                         |
| 00 38 87 11                         | 03 FC BE 29                         | 07 1C D4 4C                         |
| 00 39 CE A9                         | 03 FD C2 3E                         | 07 1D 79 D2                         |
| 00 3B 16 83                         | 03 FE C6 63                         | 07 1E 1F 52                         |
| 00 3C 59 DB                         | 03 FF C9 D4                         | 07 1E C4 CC                         |
| 00 3D A2 32                         | 04 00 CD 27                         | 07 1F 6A 53                         |

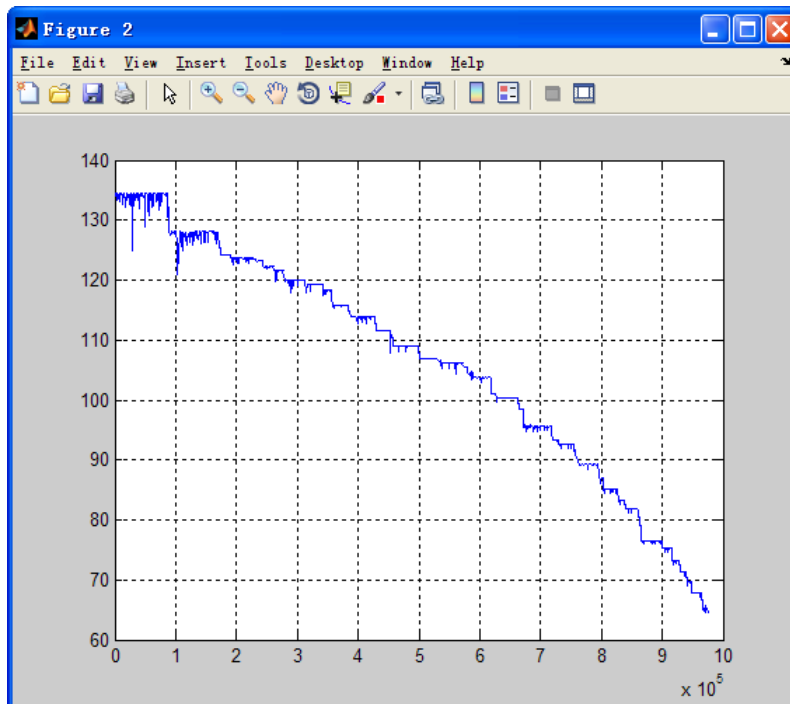
图表 4-5 对 WD1002FAEX 进行写入带宽测试时获得的 LBA 计数器值

## 4.3.2 WD1002FAEX 测试结果

### 4.3.2.1 写带宽测试结果



图表 4-6 WD1002FAEX 写入带宽测试 容量-时间图



图表 4-7 WD1002FAEX 写入带宽测试 带宽-容量图

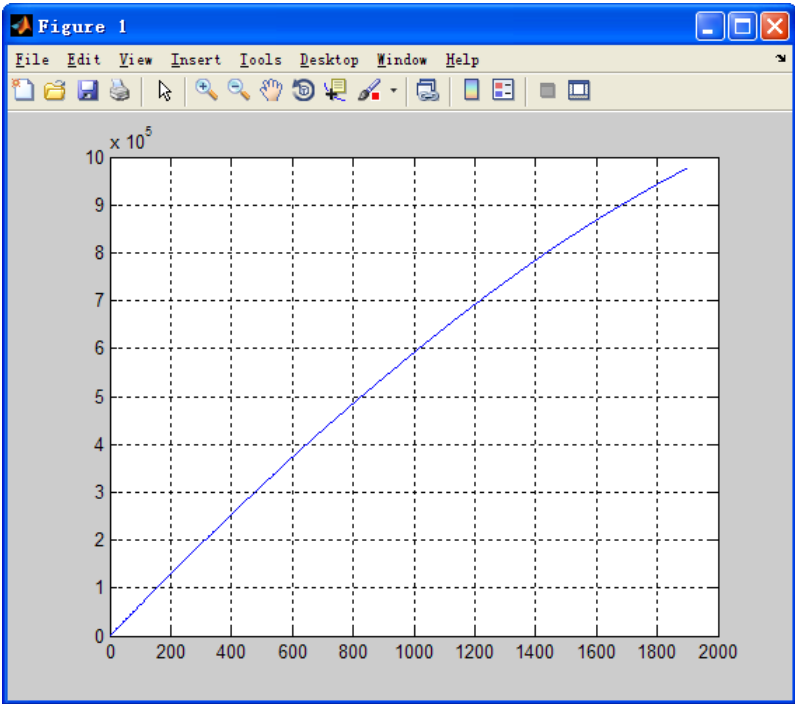
图表 4-6 中, 纵轴表示已写入的容量, 单位 MB。横轴表示 LBA 计数器采样编号, 即时间值除以 5, 单位秒。

图表 4-7 中，纵轴表示带宽，单位 MB。横轴表示当前写入的 LBA 地址。  
后续测试图中横纵轴的含义与此相同，不再累述。  
测试的主要结果总结如下：

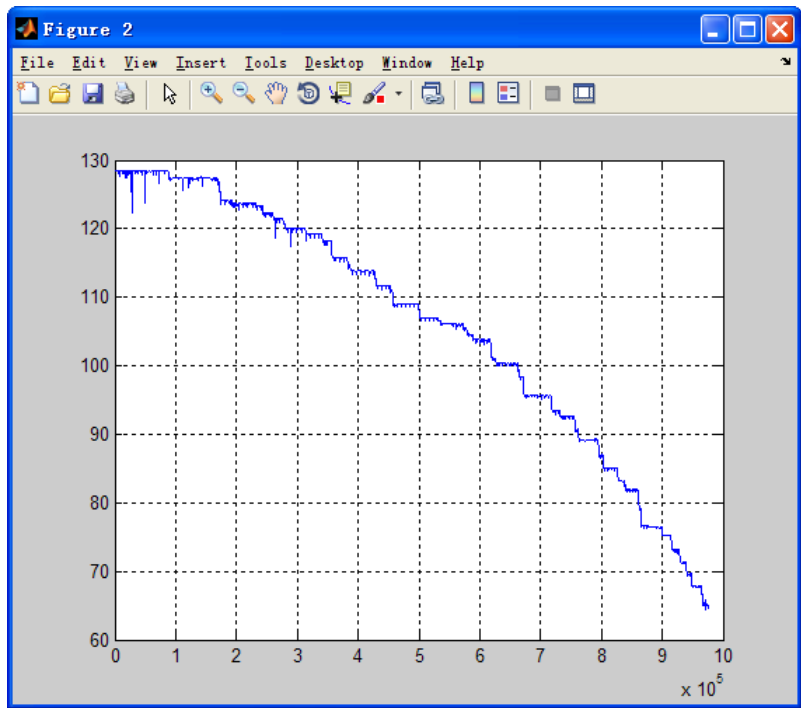
图表 4-8 WD1002FAEX 写入测试主要参数

| 参数   | 结果                                |
|------|-----------------------------------|
| 测试范围 | LBA=0x0 至 LBA=0x746A1FA0          |
| 时间消耗 | 9480 秒                            |
| 平均带宽 | 103MBps (1MB = 1024x1024Bytes)    |
| 重要特性 | 硬盘在低 LBA 值时具有较高带宽，随着 LBA 地址增加带宽下降 |

4.3.2.2读带宽测试结果



图表 4-9 WD1002FAEX 读出带宽测试 时间-容量图



图表 4-10 WD1002FAEX 读出带宽测试 容量-带宽图

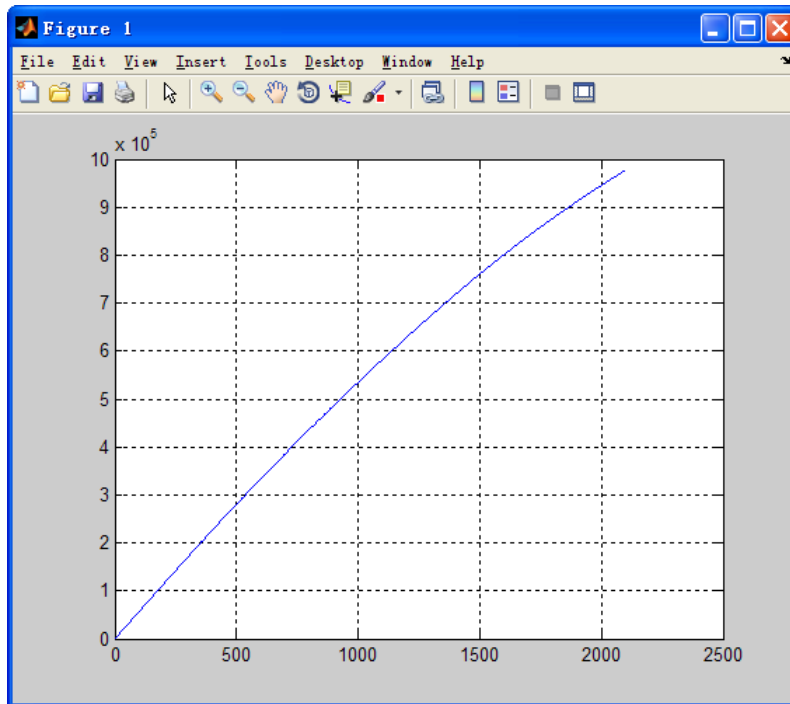
图表 4-11 WD1002FAEX 读出测试主要参数

| 参数   | 结果                                |
|------|-----------------------------------|
| 测试范围 | LBA=0x0 至 LBA=0x746D2570          |
| 时间消耗 | 9510 秒                            |
| 平均带宽 | 103MBps (1MB = 1024x1024Bytes)    |
| 重要特性 | 硬盘在低 LBA 值时具有较高带宽，随着 LBA 地址增加带宽下降 |

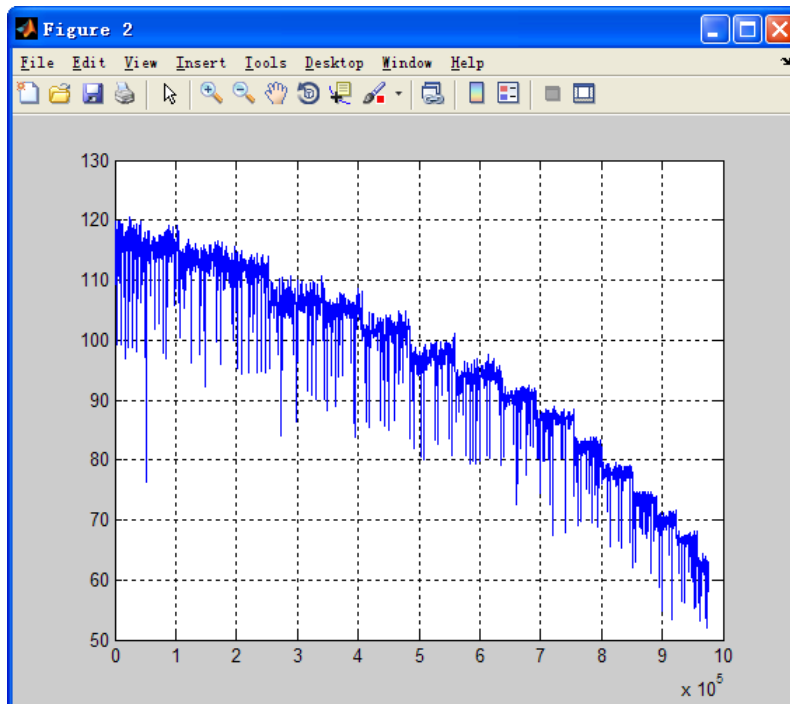


### 4.3.3 ST31000528AS 测试结果

#### 4.3.3.1 写带宽测试



图表 4-12 ST31000528AS 写入带宽测试 时间-容量图

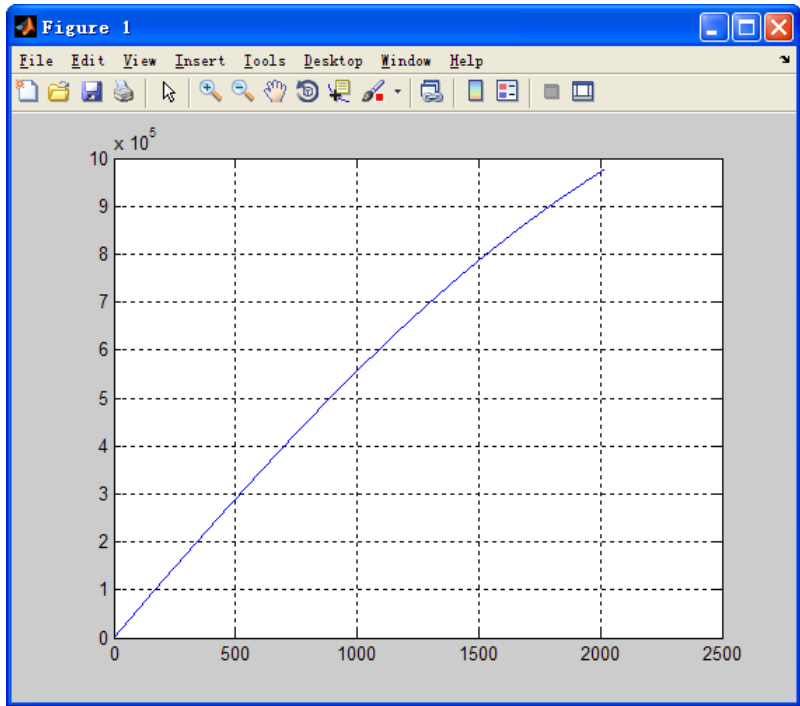


图表 4-13 ST31000528AS 写入带宽测试 容量-带宽图

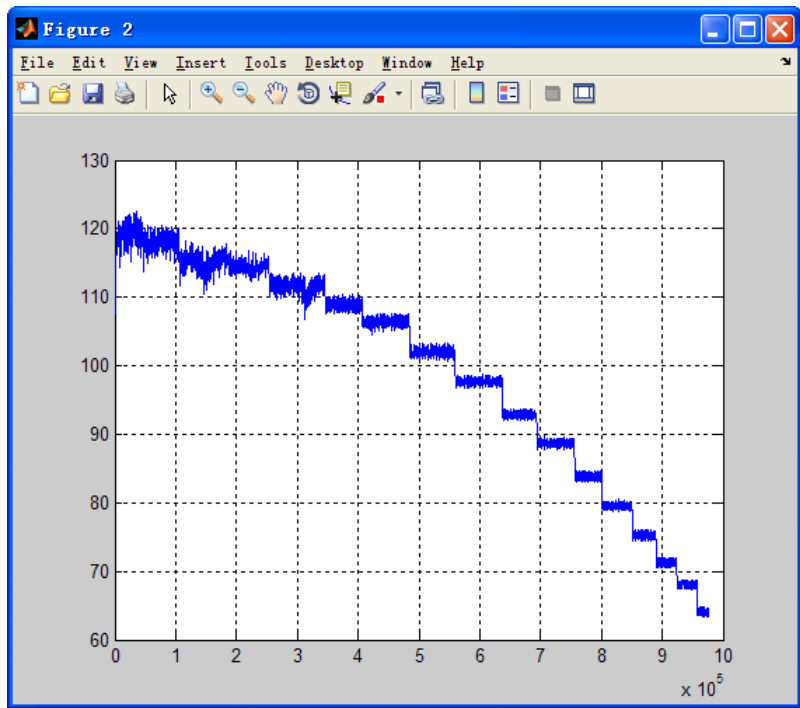
图表 4-14 ST31000528AS 写入测试主要参数

| 参数   | 结果  |
|------|---|
| 测试范围 | LBA=0x0 至 LBA=0x746AB7F0  |
| 时间消耗 | 10500 秒   |
| 平均带宽 | 93MBps (1MB = 1024x1024Bytes)   |
| 重要特性 | 硬盘在低 LBA 值时具有较高带宽，随着 LBA 地址增加带宽下降。<br>硬盘写入响应带宽有较大波动，性能较 WD1002FAEX 差，但希捷这款硬盘是面向家庭使用的，市场售价约为上述这款西数面向企业应用的硬盘的一半，或许希捷企业级的 1TB 硬盘应该有更好的表现，这还有待测试。 |

4.3.3.2读带宽测试



图表 4-15 ST31000528AS 读带宽测试 时间-容量图



图表 4-16 ST31000528AS 读带宽测试 容量-带宽图

图表 4-17 ST31000528AS 读出测试主要参数

| 参数   | 结果                                 |
|------|------------------------------------|
| 测试范围 | LBA=0x0 至 LBA=0x746C3220           |
| 时间消耗 | 10095 秒                            |
| 平均带宽 | 97MBps (1MB = 1024x1024Bytes)      |
| 重要特性 | 硬盘在低 LBA 值时具有较高带宽，随着 LBA 地址增加带宽下降。 |

## 5 总结

本文就先写到这里。如开篇所述，笔者希望能借此文与业内做相关研究的朋友切磋交流。

笔者后续还会对此 IP 核做优化提升，但目前主要的工作是在 FPGA 内部集成多个 IP（规划设计为 16 个）以此形成盘阵。这里面有许多需要考虑和解决的技术问题，如果有朋友对此感兴趣或也在做类似研究的话，笔者也愿意继续将随后的一些工作成果拿出来与大家分享。

敬请赐教，谢谢！