

گزارش کار پروژه پایانی درس طراحی سیستم های دیجیتال

اعضای گروه :

نرگس قاسمی

تارا برقیان

استاد :

دکتر جهانیان

بهار ۱۴۰۰

فهرست :

۲	چکیده
۳	بررسی نتایج RTL
۴	بررسی نتایج HLS_1
۵	بررسی نتایج HLS_2
۶	بررسی نتایج HLS_3

چکیده :

در این پروژه هدف، سنتز و طراحی سطح بالای الگوریتم رمزنگاری TEA بود که در تمرین اخیر، صحت و کارایی کد vhdl و c++ تست و بررسی شده بود. (قابل مشاهده در پوشه RTL) در ادامه مقایسه سنتز حاصل از کد سطح بالا و RTL را خواهیم دید. ما چند مدل پیاده سازی سطح بالا را تبدیل کردیم و هر مرحله با تغییراتی در کد متوجه بهتر شدن فرکانس و توان مصرفی شدیم.

۱. بررسی نتایج حاصل از RTL

بررسی توان مصرفی – fmax – flow summary – فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.

Power Analyzer Summary	
<<Filter>>	
Power Analyzer Status	Successful - Mon Jun 28 22:03:59 2021
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	Project
Top-level Entity Name	Project
Family	Cyclone V
Device	5CSEMA5F31C6
Power Models	Final
Total Thermal Power Dissipation	441.43 mW
Core Dynamic Thermal Power Dissipation	3.36 mW
Core Static Thermal Power Dissipation	411.35 mW
I/O Thermal Power Dissipation	26.71 mW
Power Estimation Confidence	Low: user provided insufficient toggle rate data

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Jun 28 22:04:13 2021
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	Project
Top-level Entity Name	Project
Family	Cyclone V
Device	5CSEMA5F31C6
Timing Models	Final
Logic utilization (in ALMs)	288 / 32,070 (< 1 %)
Total registers	7
Total pins	260 / 457 (57 %)
Total virtual pins	0
Total block memory bits	0 / 4,065,280 (0 %)
Total DSP Blocks	0 / 87 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 4 (0 %)

Clocks						
<<Filter>>						
	Clock Name	Type	Period	Frequency	Rise	Fall
1	clk	Base	2.000	500.0 MHz	0.000	1.000

Slow 1100mV 85C Model Fmax Summary			
<<Filter>>			
	Fmax	Restricted Fmax	Clock Name
1	655.31 MHz	655.31 MHz	clk

۲. بررسی نتایج حاصل از HLS اول

بررسی توان مصرفی – fmax – flow summary – فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.

Power Analyzer Summary	
<<Filter>>	
Power Analyzer Status	Successful - Mon Jun 28 22:04:16 2021
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	quartus_compile
Top-level Entity Name	quartus_compile
Family	Cyclone V
Device	5CEBA9F31C7
Power Models	Final
Total Thermal Power Dissipation	553.73 mW
Core Dynamic Thermal Power Dissipation	28.47 mW
Core Static Thermal Power Dissipation	519.02 mW
I/O Thermal Power Dissipation	6.24 mW
Power Estimation Confidence	Low: user provided insufficient toggle rate data

Fitter Summary	
<<Filter>>	
Fitter Status	Successful - Mon Jun 28 21:56:55 2021
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	quartus_compile
Top-level Entity Name	quartus_compile
Family	Cyclone V
Device	5CEBA9F31C7
Timing Models	Final
Logic utilization (in ALMs)	1,910 / 113,560 (2 %)
Total registers	3540
Total pins	0 / 480 (0 %)
Total virtual pins	336
Total block memory bits	23,354 / 12,492,800 (< 1 %)
Total RAM Blocks	24 / 1,220 (2 %)
Total DSP Blocks	0 / 342 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 8 (0 %)
Total DLLs	0 / 4 (0 %)

Slow 1100mV 85C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
1	79.71 MHz	79.71 MHz	clock	

Clocks						
<<Filter>>						
	Clock Name	Type	Period	Frequency	Rise	Fall
1	clock	Base	17.000	58.82 MHz	0.000	2.000

۳. بررسی نتایج حاصل از HLS دوم

بررسی توان مصرفی – fmax – flow summary – فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.

Power Analyzer Summary		Flow Summary	
<<Filter>>		<<Filter>>	
Power Analyzer Status	Successful - Mon Jun 28 21:12:10 2021	Flow Status	Successful - Mon Jun 28 21:12:10 2021
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition	Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	quartus_compile	Revision Name	quartus_compile
Top-level Entity Name	quartus_compile	Top-level Entity Name	quartus_compile
Family	Cyclone V	Family	Cyclone V
Device	5CSXFC6D6F31C6	Device	5CSXFC6D6F31C6
Power Models	Final	Timing Models	Final
Total Thermal Power Dissipation	459.61 mW	Logic utilization (in ALMs)	1,876 / 41,910 (4 %)
Core Dynamic Thermal Power Dissipation	39.89 mW	Total registers	3505
Core Static Thermal Power Dissipation	411.72 mW	Total pins	0 / 499 (0 %)
I/O Thermal Power Dissipation	8.00 mW	Total virtual pins	336
Power Estimation Confidence	Low: user provided insufficient toggle rate data	Total block memory bits	24,258 / 5,662,720 (< 1 %)
		Total DSP Blocks	0 / 112 (0 %)
		Total HSSI RX PCSs	0 / 9 (0 %)
		Total HSSI PMA RX Deserializers	0 / 9 (0 %)
		Total HSSI TX PCSs	0 / 9 (0 %)
		Total HSSI PMA TX Serializers	0 / 9 (0 %)
		Total PLLs	0 / 15 (0 %)
		Total DLLs	0 / 4 (0 %)

Slow 1100mV 85C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
1	88.18 MHz	88.18 MHz	clock	

Clocks						
<<Filter>>						
	Clock Name	Type	Period	Frequency	Rise	Fall
1	clock	Base	13.000	76.92 MHz	0.000	6.500

۴. بررسی نتایج حاصل از HLS دوم

بررسی توان مصرفی – fmax – flow summary – فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.

Power Analyzer Summary		Fitter Summary	
<<Filter>>		<<Filter>>	
Power Analyzer Status	Successful - Mon Jun 28 22:49:12 2021	Fitter Status	Successful - Mon Jun 28 16:39:38 2021
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition	Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	quartus_compile	Revision Name	quartus_compile
Top-level Entity Name	quartus_compile	Top-level Entity Name	quartus_compile
Family	Cyclone V	Family	Cyclone V
Device	5CSXFC6D6F31C6	Device	5CSXFC6D6F31C6
Power Models	Final	Timing Models	Final
Total Thermal Power Dissipation	522.68 mW	Logic utilization (in ALMs)	2,719 / 41,910 (6 %)
Core Dynamic Thermal Power Dissipation	102.49 mW	Total registers	4908
Core Static Thermal Power Dissipation	412.19 mW	Total pins	0 / 499 (0 %)
I/O Thermal Power Dissipation	8.00 mW	Total virtual pins	336
Power Estimation Confidence	Low: user provided insufficient toggle rate data	Total block memory bits	44,634 / 5,662,720 (< 1 %)
		Total RAM Blocks	36 / 553 (7 %)
		Total DSP Blocks	0 / 112 (0 %)
		Total HSSI RX PCSs	0 / 9 (0 %)
		Total HSSI PMA RX Deserializers	0 / 9 (0 %)
		Total HSSI TX PCSs	0 / 9 (0 %)
		Total HSSI PMA TX Serializers	0 / 9 (0 %)
		Total PLLs	0 / 15 (0 %)
		Total DLLs	0 / 4 (0 %)

Slow 1100mV 85C Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	150.31 MHz	150.31 MHz	clock	

Clocks						
	Clock Name	Type	Period	Frequency	Rise	Fall
1	clock	Base	7.000	142.86 MHz	0.000	3.500

مقایسه و نتیجه گیری :

با توجه به اعداد اعداد به دست آمده و مقایسه سخت افزار مصرف شده، توان مصرف شده، و فرکانس حاصل،

جدول زیر را برای مشاهده ی نتایج کلی گردآوری کردیم

توان مصرفی	منابع مصرفی	ماکسیمم فرکانس	فرکانس	روش	نام فولدر
440mW	<1%	655MHz	500MHz	VHDL_RTL	RTL_Project
550mW	2%	80MHz	60MHz	While 32 Uin32	HLS_Project1
460mW	4%	88MHz	77MHz	While 32 long	HLS_Project2
520mW	6%	150MHz	142MHz	Static HLS queue	HLS_Project3
590mW	2%	120MHz	100MHz	Static HLS queue On Another board	HLS_Project3

با توجه به روش های تست شده ی مختلف، با در نظر گرفتن بودجه و محدودیت ها در پروژه های واقعی میتوان راهی که برایمان بهتر است را انتخاب کنیم.

بهترین فرکانس و کمترین توان مصرفی با رنگ **زرد** مشخص شده اند.