گزارش کار پروژه پایانی درس طراحی سیستم های دیجیتال

اعضای گروه : نرگس قاسمی تارا برقیان

استاد : دکتر جهانیان

بهار ۱۴۰۰

فهرست:

٢	چکیده
٣	بررسی نتایج RTL
۴	بررسى نتايج HLS_1
۵	بررسى نتايج HLS_2
۶	بررسى نتايج HLS_3 HLS_3

چکیده:

در این پروژه هدف، سنتز و طراحی سطح بالای الگوریتم رمزنگاری TEA بود که در تمرین اخیر، صحت و کارایی کد vhdl و ++ تست و بررسی شده بود. (قابل مشاده در پوشه RTL) در ادامه مقایسه سنتز حاصل از کد سطح بالا و RTL را خواهیم دید. ما چند مدل پیاده سازی سطح بالا را تبدیل کردیم و هر مرحله با تغییراتی در کد متوجه بهتر شدن فرکانس و توان مصرفی شدیم.

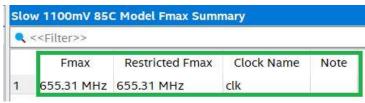
۱. بررسی نتایج حاصل از RTL

بررسی توان مصرفی – flow summary – fmax – فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.

< <filter>></filter>			
Power Analyzer Status	Successful - Mon Jun 28 22:03:59 2021		
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition		
Revision Name	Project		
Top-level Entity Name	Project		
Family	Cyclone V		
Device	5CSEMA5F31C6		
Power Models	Final		
Total Thermal Power Dissipation	441.43 mW		
Core Dynamic Thermal Power Dissipation	3.36 mW		
Core Static Thermal Power Dissipation	411.35 mW		
I/O Thermal Power Dissipation	26.71 mW		
Power Estimation Confidence	Low: user provided insufficient toggle rate data		

< <filter>></filter>			
Flow Status	Successful - Mon Jun 28 22:04:13 2021		
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition Project		
Revision Name			
Top-level Entity Name	Project		
Family	Cyclone V		
Device	5CSEMA5F31C6		
Timing Models	Final		
Logic utilization (in ALMs)	288 / 32,070 (< 1 %)		
Total registers	7		
Total pins	260 / 457 (57 %)		
Total virtual pins	0		
Total block memory bits	0 / 4,065,280 (0 %)		
Total DSP Blocks	0 / 87 (0 %)		
Total HSSI RX PCSs	0		
Total HSSI PMA RX Deserializers	0		
Total HSSI TX PCSs	0		
Total HSSI PMA TX Serializers	0		
Total PLLs	0/6(0%)		
Total DLLs	0/4(0%)		

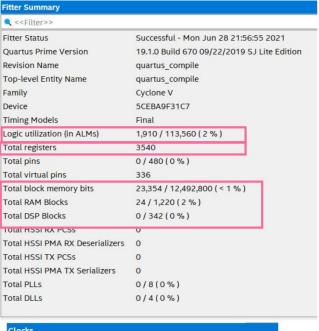




۲. بررسی نتایج حاصل از HLS اول

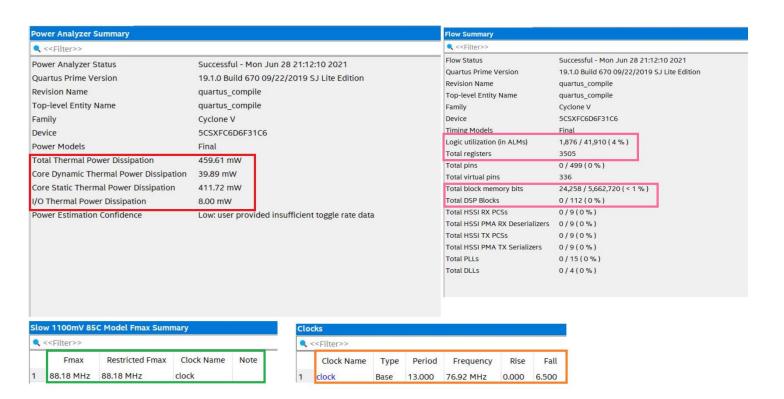
بررسی توان مصرفی – flow summary – fmax – فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.





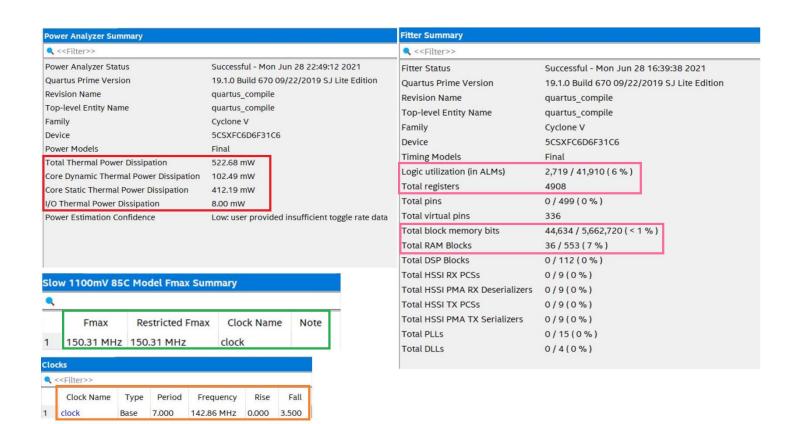
۳. بررسی نتایج حاصل از HLS دوم

بررسی توان مصرفی – flow summary – fmax – فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.



۴. بررسی نتایج حاصل از HLS دوم

بررسی توان مصرفی - flow summary - fmax - فرکانس و کلاک در گزارشات زیر با رنگ مربوطه مشخص شده است.



مقایسه و نتیجه گیری:

با توجه به اعداد اعداد به دست آمده و مقایسه سخت افزار مصرف شده، توان مصرف شده، و فرکانس حاصل، جدول زیر را برای مشاهده ی نتایج کلی گردآوری کردیم

نام فولدر	روش	فركانس	ماكسيمم فركانس	منابع مصرفی	توان مصرفی
RTL_Project	VHDL_RTL	500MHz	655MHz	<1%	440mW
HLS_Project1	While 32 Uint32	60MHz	80MHz	<mark>2%</mark>	550mW
HLS_Project2	While 32 long	77MHz	88MHz	4%	460mW
HLS_Project3	Static HLS queue	142MHz	150MHz	6%	520mW
HLS_Project3	Static HLS queue On Another board	100MHz	120MHz	<mark>2%</mark>	590mW

با توجه به روش های تست شده ی مختلف، با در نظر گرفتن بودجه و محدودیت ها در پروژه های واقعی میتوان راهی که برایمان بهتر است را انتخاب کنیم.

بهترین فرکانس و کمترین توان مصرفی با رنگ <mark>زرد</mark> مشخص شده اند.