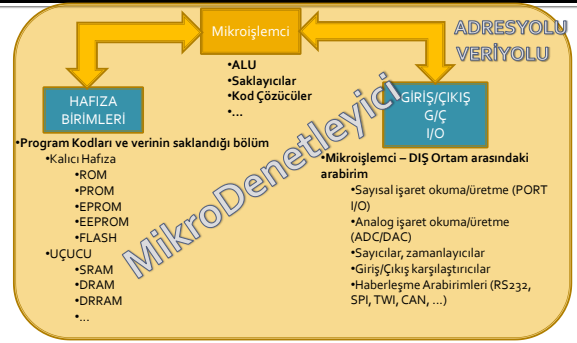


HAFTA 1

MİKROİŞLEMCİLER

Mikroişlemci Temelli Sistemlerin Genel Yapısı

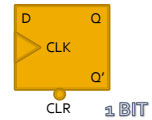


BAĞLANTI

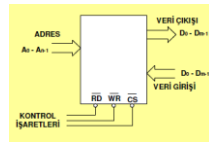
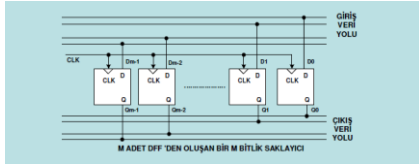
- Mikroişlemci ile birlikte çalışan her çevre biriminin mutlak bir adres yolu, çoğunlukla bir veri yolu vardır.
- Adresleme işlemi, esasında bir çevre birimi seçme işlemidir. Genellikle mikroişlemci, herhangi bir an için tek bir elemanla çalışmaktadır. Mikroişlemci, mikroişlemcili tüm sistemler için mutlak seçendir. Dolayısıyla adres yolu tek taraflı ve mikroişlemciden dışarı doğrudur.
- Veriyolu ise, mikroişlemci ile çevre birimleri arasında veri alışverişinin sağlanmasını sağlayan hat gruplarına verilen isimdir. Bilgiler bu hat grupları arasında çift yönlü hareket etmektedir.
- Veriyolu, bilgi taşıdığı için herhangi bir anda yalnızca istenen eleman/(nadiren elemanlar) o haberleşmeye dahil olmalıdır. Haberleşmenin kendisini ilgilendirmedeği tüm elemanlar, o an için devre dışında kalmalıdır. Devre dışı kalma işleminin adı üç durumluluktur. Üç durumlu tüm elemanlar, gerekli durumda, kendilerini bir açık devre haline çevirmektedir.

HAFIZA ELEMANLARI

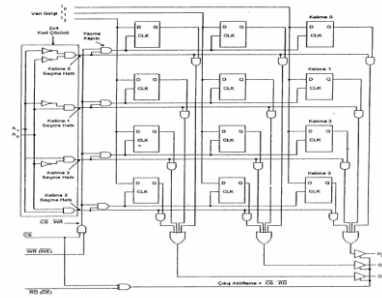
- **KALICI HAFIZA** (Permanent Memory):
 - ROM
 - PROM
 - EPROM
 - EEPROM
 - FLASH
 - HARDDISK
 - ...
 - **KALICI OLMAYAN HAFIZA** (Volatile Memory):
 - RAM
 - SRAM
 - DRAM
 - DDRAM
 - ...
- Tanımlar:**
- Hafıza Hücresi: 1 bit (Flip-Flop)
 - Nibble: 4 bit
 - Byte: 8 bit
 - Word: 16 bit
 - Double Word: 32 bit



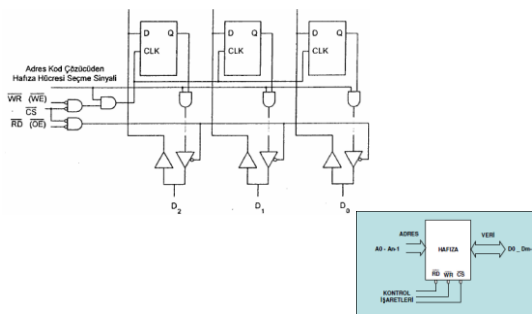
M Bitlik Saklayıcı



4x(3-bit kelime) Hafıza Bloğu



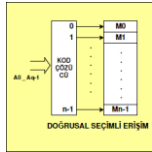
Paylaşımlı Veriyolu



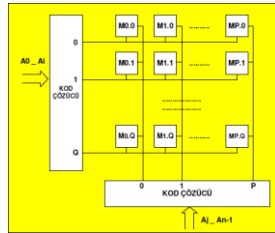
Hafıza Erişim Şekli

- Her bir saklayıcı, tek bir adrese sahip farklı fiziksel bir yer (location) işgal eder. Diğer bir deyişle, hafıza adreslenebilir saklayıcılar yığını olarak düşünülebilir.
- Hafıza tümdevresinin içinde, adres girişlerinin kodunu çözüp içindeki saklayıcılardan birini seçmek için, bir kod çözücü lojik bulunur.
- CS (Chip Select) sinyali, hafıza tümdevresinin aktif olması için, bir dışlojik tarafından üretilmesi gereken ilk sinyaldir. WR ve RD sinyallerinin durumlarına göre, seçili hafıza hücrelerine yazma veya okuma gerçekleştirilir.
- WE ve OE sinyalleri genelde bir hafıza tümdevresi üzerinde, yazma ve okuma işlemlerini aktiflemeyi belirten girişler olarak gösterilir.

Hafıza Adresleme Tipleri



Tek Boyutlu Adresleme



Çift Boyutlu Adresleme

Hafıza Tanımlamaları

- Kelime: bit grubu – 4, **8**, 16, 32, 64, vs.)
- Adres: bit grubunun hafıza bloğundaki hücrel yerini gösteren sayı. Her bir kelimenin tek bir adresi vardır.
- Kapasite: Hafızadaki toplam kelime sayısı. Adres sayısı ve adreslenen kelimenin boyutuyla tanımlanır.
 - Örn. 16 bitlik bir adres kaç farklı yer adresleyebilir: $2^{16} = 65.536$ farklı adres, her bir adresin 8 bit yani 1 bayt göstermesi durumunda hafızada 65.536 byte olduğunu söyleyebiliriz. Kısa şekilde 64 Kbyte veya 64 KB olarak ifade edilir.

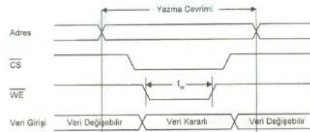
Hafıza Zamanlamaları

- Bir hafızanın çalışabilmesi için, uygulanan adres, veri ve kontrol sinyalleri için zamanlama sınırlamaları bulunur.
- Hafıza sinyallerini analiz etmek için en basit işlem okuma çevrimidir.
- Bir okuma çevriminde aşağıda olaylar gerçekleşir:
 - Hafıza girişlerine adres uygulanır.
 - \overline{CS} girişine lojik 0 uygulanarak SRAM seçilir.
 - Seçilen hafıza hücresinin içeriği, erişim zamanına (access time) eşit bir süre sonra, veri çıkışlarında gözlenir.
 - Adres hatları diğer bir hafıza hücresine yazmak veya okumak için değiştirilebilir.

Yazma Çevrimi

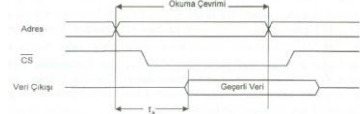
- Hafıza girişlerine adres uygulanır.
- \overline{CS} girişine lojik 0 uygulanarak SRAM seçilir.
- Hafızaya yazılacak veri, hafıza veri girişlerine uygulanır.
- WE hattı aktiflenir.
- Adres hatları, diğer bir hafıza hücresine yazmak veya okumak için değiştirilebilir.

Yazma Çevrimi



- Adres ve kontrol sinyallerinin kodunu çözen kod çözücü, CS sinyalini üretir.
- Hafıza seçildikten sonra, hafızanın \overline{WE} sinyali aktiflenir. Bu sırada yazılacak veride bir değişiklik olmaz ve son olarak bu veri seçilmiş olan hücreye yazılır.
- Bir verinin hafızaya yazılabilmesi için gereken minimum süreye t_{w} , \overline{WE} darbesini üreten mikroişlemci uymak zorundadır.

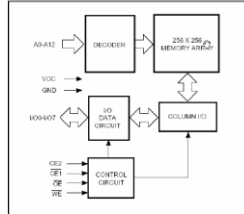
Okuma Çevrimi



- Hafıza adresi, mikroişlemci tarafından sağlanır.
- Mikroişlemcinin çalışması sırasında bu hatları gözleyen bir kod çözücü, erişilmek istenen hafıza biriminin adresinin üretilmesinden kısa bir süre sonra, bu kodu çözerek CS sinyalini üretir.
- Adres üretiminden sonra, verinin çıkışta okumaya hazır olması için geçen zamana erişim zamanı t_a denir. En az bu kadar bir zaman sonra, mikroişlemci RD sinyalini aktif yaparak veriyi okur.

62C64 CMOS STATIC RAM

FUNCTIONAL BLOCK DIAGRAM

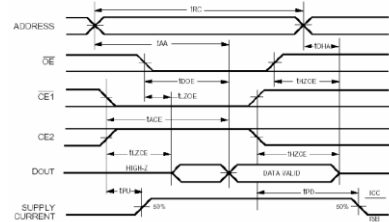


1	VCC	16	Q7
2	A0	17	Q6
3	A1	18	Q5
4	A2	19	Q4
5	A3	20	Q3
6	A4	21	Q2
7	A5	22	Q1
8	A6	23	Q0
9	A7	24	Q7
10	A0	25	Q6
11	A1	26	Q5
12	A2	27	Q4
13	A3	28	Q3
14	A4	29	Q2
15	A5	30	Q1
16	A6	31	Q0
17	A7	32	Q7
18	A0	33	Q6
19	A1	34	Q5
20	A2	35	Q4
21	A3	36	Q3
22	A4	37	Q2
23	A5	38	Q1
24	A6	39	Q0
25	A7	40	Q7
26	A0	41	Q6
27	A1	42	Q5
28	A2	43	Q4
29	A3	44	Q3
30	A4	45	Q2
31	A5	46	Q1
32	A6	47	Q0
33	A7	48	Q7
34	A0	49	Q6
35	A1	50	Q5
36	A2	51	Q4
37	A3	52	Q3
38	A4	53	Q2
39	A5	54	Q1
40	A6	55	Q0
41	A7	56	Q7
42	A0	57	Q6
43	A1	58	Q5
44	A2	59	Q4
45	A3	60	Q3
46	A4	61	Q2
47	A5	62	Q1
48	A6	63	Q0
49	A7	64	Q7
50	A0	65	Q6
51	A1	66	Q5
52	A2	67	Q4
53	A3	68	Q3
54	A4	69	Q2
55	A5	70	Q1
56	A6	71	Q0
57	A7	72	Q7
58	A0	73	Q6
59	A1	74	Q5
60	A2	75	Q4
61	A3	76	Q3
62	A4	77	Q2
63	A5	78	Q1
64	A6	79	Q0
65	A7	80	Q7
66	A0	81	Q6
67	A1	82	Q5
68	A2	83	Q4
69	A3	84	Q3
70	A4	85	Q2
71	A5	86	Q1
72	A6	87	Q0
73	A7	88	Q7
74	A0	89	Q6
75	A1	90	Q5
76	A2	91	Q4
77	A3	92	Q3
78	A4	93	Q2
79	A5	94	Q1
80	A6	95	Q0
81	A7	96	Q7
82	A0	97	Q6
83	A1	98	Q5
84	A2	99	Q4
85	A3	100	Q3
86	A4	101	Q2
87	A5	102	Q1
88	A6	103	Q0
89	A7	104	Q7
90	A0	105	Q6
91	A1	106	Q5
92	A2	107	Q4
93	A3	108	Q3
94	A4	109	Q2
95	A5	110	Q1
96	A6	111	Q0
97	A7	112	Q7
98	A0	113	Q6
99	A1	114	Q5
100	A2	115	Q4
101	A3	116	Q3
102	A4	117	Q2
103	A5	118	Q1
104	A6	119	Q0
105	A7	120	Q7
106	A0	121	Q6
107	A1	122	Q5
108	A2	123	Q4
109	A3	124	Q3
110	A4	125	Q2
111	A5	126	Q1
112	A6	127	Q0
113	A7	128	Q7
114	A0	129	Q6
115	A1	130	Q5
116	A2	131	Q4
117	A3	132	Q3
118	A4	133	Q2
119	A5	134	Q1
120	A6	135	Q0
121	A7	136	Q7
122	A0	137	Q6
123	A1	138	Q5
124	A2	139	Q4
125	A3	140	Q3
126	A4	141	Q2
127	A5	142	Q1
128	A6	143	Q0
129	A7	144	Q7
130	A0	145	Q6
131	A1	146	Q5
132	A2	147	Q4
133	A3	148	Q3
134	A4	149	Q2
135	A5	150	Q1
136	A6	151	Q0
137	A7	152	Q7
138	A0	153	Q6
139	A1	154	Q5
140	A2	155	Q4
141	A3	156	Q3
142	A4	157	Q2
143	A5	158	Q1
144	A6	159	Q0
145	A7	160	Q7
146	A0	161	Q6
147	A1	162	Q5
148	A2	163	Q4
149	A3	164	Q3
150	A4	165	Q2
151	A5	166	Q1
152	A6	167	Q0
153	A7	168	Q7
154	A0	169	Q6
155	A1	170	Q5
156	A2	171	Q4
157	A3	172	Q3
158	A4	173	Q2
159	A5	174	Q1
160	A6	175	Q0
161	A7	176	Q7
162	A0	177	Q6
163	A1	178	Q5
164	A2	179	Q4
165	A3	180	Q3
166	A4	181	Q2
167	A5	182	Q1
168	A6	183	Q0
169	A7	184	Q7
170	A0	185	Q6
171	A1	186	Q5
172	A2	187	Q4
173	A3	188	Q3
174	A4	189	Q2
175	A5	190	Q1
176	A6	191	Q0
177	A7	192	Q7
178	A0	193	Q6
179	A1	194	Q5
180	A2	195	Q4
181	A3	196	Q3
182	A4	197	Q2
183	A5	198	Q1
184	A6	199	Q0
185	A7	200	Q7
186	A0	201	Q6
187	A1	202	Q5
188	A2	203	Q4
189	A3	204	Q3
190	A4	205	Q2
191	A5	206	Q1
192	A6	207	Q0
193	A7	208	Q7
194	A0	209	Q6
195	A1	210	Q5
196	A2	211	Q4
197	A3	212	Q3
198	A4	213	Q2
199	A5	214	Q1
200	A6	215	Q0
201	A7	216	Q7
202	A0	217	Q6
203	A1	218	Q5
204	A2	219	Q4
205	A3	220	Q3
206	A4	221	Q2
207	A5	222	Q1
208	A6	223	Q0
209	A7	224	Q7
210	A0	225	Q6
211	A1	226	Q5
212	A2	227	Q4
213	A3	228	Q3
214	A4	229	Q2
215	A5	230	Q1
216	A6	231	Q0
217	A7	232	Q7
218	A0	233	Q6
219	A1	234	Q5
220	A2	235	Q4
221	A3	236	Q3
222	A4	237	Q2
223	A5	238	Q1
224	A6	239	Q0
225	A7	240	Q7
226	A0	241	Q6
227	A1	242	Q5
228	A2	243	Q4
229	A3	244	Q3
230	A4	245	Q2
231	A5	246	Q1
232	A6	247	Q0
233	A7	248	Q7
234	A0	249	Q6
235	A1	250	Q5
236	A2	251	Q4
237	A3	252	Q3
238	A4	253	Q2
239	A5	254	Q1
240	A6	255	Q0

PIN DESCRIPTIONS

AD-A12	Address Inputs
CE1	Chip Enable 1 Input
CE2	Chip Enable 2 Input
OE	Output Enable Input
WE	Write Enable Input
I/OA-I/O7	Input/Output
Vcc	Power
GND	Ground

62C64 Zamanlama Verileri (Okuma)

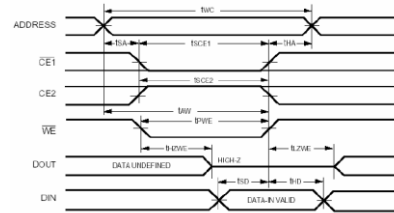


62C64 Zamanlama Verileri (Okuma)

READ CYCLE SWITCHING CHARACTERISTICS^(1,2) (Over Commercial Operating Range)

Symbol	Parameter	45 ns	70 ns	100 ns	Unit
t _{AC}	Read Cycle Time	45	70	100	ns
t _{AA}	Address Access Time	—	45	70	ns
t _{OA}	Output Hold Time	3	3	3	ns
t _{ACE1}	CE1 Access Time	—	45	70	ns
t _{ACE2}	CE2 Access Time	—	45	70	ns
t _{AOE}	OE Access Time	—	25	35	ns
t _{OEHL}	OE to Low-Z Output	0	—	0	ns
t _{OEHH}	OE to High-Z Output	—	20	25	ns
t _{CE1HL}	CE1 to Low-Z Output	3	—	3	ns
t _{CE1HH}	CE1 to High-Z Output	—	20	25	ns
t _{CE2HL}	CE2 to Low-Z Output	3	—	3	ns
t _{CE2HH}	CE2 to High-Z Output	—	20	25	ns
t _{PS}	CE1 or CE2 to Power-Up	0	—	0	ns
t _{PD}	CE1 or CE2 to Power-Down	—	30	60	ns

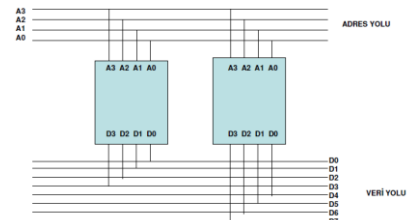
62C64 Zamanlama Verileri (Yazma)



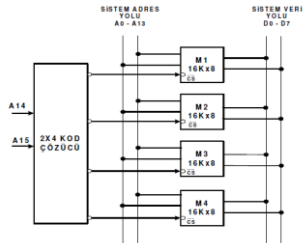
62C64 Zamanlama Verileri (Yazma)

WRITE CYCLE SWITCHING CHARACTERISTICS^(1,2) (Over Commercial Operating Range)

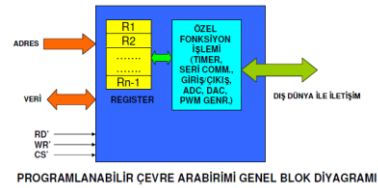
Symbol	Parameter	45 ns	70 ns	100 ns	Unit
t _{WC}	Write Cycle Time	45	70	100	ns
t _{WCE1}	CE1 to Write End	35	—	60	ns
t _{WCE2}	CE2 to Write End	35	—	60	ns
t _{WA}	Address Setup Time to Write End	35	—	60	ns
t _{WAH}	Address Hold from Write End	0	—	0	ns
t _{WA}	Address Setup Time	0	—	0	ns
t _{WEH}	WE Pulse Width	35	—	60	ns
t _{WO}	Data Setup to Write End	25	—	35	ns
t _{WOH}	Data Hold from Write End	0	—	0	ns
t _{WEHL}	WE LOW to High-Z Output	—	20	25	ns
t _{WEHH}	WE HIGH to Low-Z Output	0	—	0	ns



Hafıza Biriminin kapasitesinin genişletilmesi

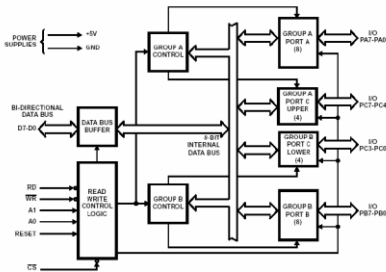


Çevre Arabirimi

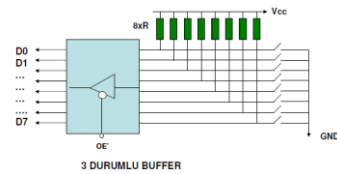


8255

Functional Diagram



Çevre Arabirimi – Sayısal I/O



BELLEK TASARIMI

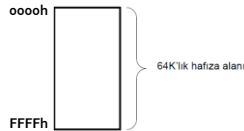
ADRESLEME TASARIMI

Temel Kavramlar

- Bellek haritasını oluşturmada önce aşağıdaki temel kavramların bilinmesine gereksinim vardır:
 - Kullanılan mikroişlemcinin adres ve veri yolu genişliği
 - İşlemcinin yürütmeye başlama adresi
 - İşlemcinin hafıza birimleriyle haberleşmede kullandığı yol kontrol sinyalleri

Bellek Haritası

- Bir mikroişlemcinin sağladığı adres bitlerinin sayısı, işlemcinin doğrudan adresleyebileceği hafıza hücrelerinin sayısını, diğer bir deyişle hafıza adres alanını (memory address space) belirtir.
- Bir işlemciye ait hafıza alanının bir şekilde gösterilmesine hafıza haritası (memory map) denir. Bu harita şekli üzerinde, mikro işlemcili sistemin kullandığı veya kullanabileceği hafıza modüllerinin sınırları gösterilir.
- Bu alan içerisinde, değişik hafıza birimlerinin yanısıra, I/O birimleri de bulunur.

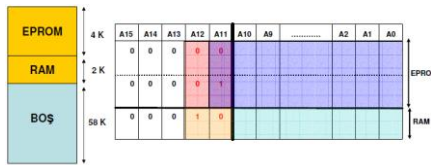


Bellek Tasarımı

- Amaç:
 - Mikro işlemci temelli bir sistem içerisinde farklı hafıza ve I/O elemanları bulunabilir. Mikro işlemci bunların tamamını yönetebilmelidir. Bellek tasarımının amacı, adres yolunu çevredeki tüm bileşenleri kapsayacak şekilde düzenlemektir.
- İşlem Adımları:
 - Kullanılacak tüm elemanlar (hafıza elemanları ve I/O) seçilir.
 - Bellek haritası tasarlanır.
 - Adres ve kontrol işaretlerinin bağlantılı olduğu mantıksal devreler (kod çözücüler + kombinasyonel mantık devreleri) tasarlanır.

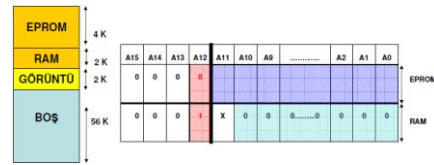
Tam Kod Çözme

- Soru:
 - Mikroişlemci A.Y.: 16-bit, V.Y.:8-bit
 - Bağlı elemanlar: 4KB EPROM + 2KB RAM
 - EPROM Başlangıç adresi: (0000h)
- Bellek Tasarımını gerçekleştiriniz.



Parçalı Kod Çözme

- Soru:
 - Mikroişlemci A.Y.: 16-bit, V.Y.:8-bit
 - Bağlı elemanlar: 4KB EPROM + 2KB RAM
 - EPROM Başlangıç adresi: (0000h)
- Bellek Tasarımını gerçekleştiriniz.



Örnek Soru

- Soru:
 - Mikroişlemci A.Y.: 16-bit, V.Y.:8-bit
 - Bağlı elemanlar: 8KB EPROM + 4KB RAM + 2KB EEPROM + 4B Saklayıcı içeren 2 adet I/O elemanı
 - EPROM Başlangıç adresi: (0000h)
- Bellek Tasarımını gerçekleştiriniz.

Örnek Soru

- 64KB adresleme yeteneğine sahip bir mikroişlemcili sistem için aşağıda verilen hafıza ve giriş/çıkış birimlerine erişim sağlayan hafıza sistem tasarımı gerçekleştirmeniz istenmektedir. Tasarım işlemi bir adet 4 girişli kod çözücü kullanarak hafıza alanını en iyi değerlendirecek şekilde gerçekleştirilecektir.
- Kullanılacak kod çözücü seçilen çıkış için "lojik 1" üretmektedir. Kullanılan hafıza ve giriş/çıkış elemanları seçimi "lojik 0" ile gerçekleştirilecektir.
- Elemanlar: 8 KB ROM (1 adet) + 8 KB EEPROM (1 adet) + 4 KB RAM (2 adet) + 4 BYTE giriş/çıkış birimi (2 adet)
 - Sistem hafıza haritasını 0000h adresinden başlayarak verilen sıra ile erişilecek şekilde belirleyiniz.
 - Belirledığınız hafıza haritası için hafıza sistem erişimi gerçekleyen mantık devresini çizin.

