

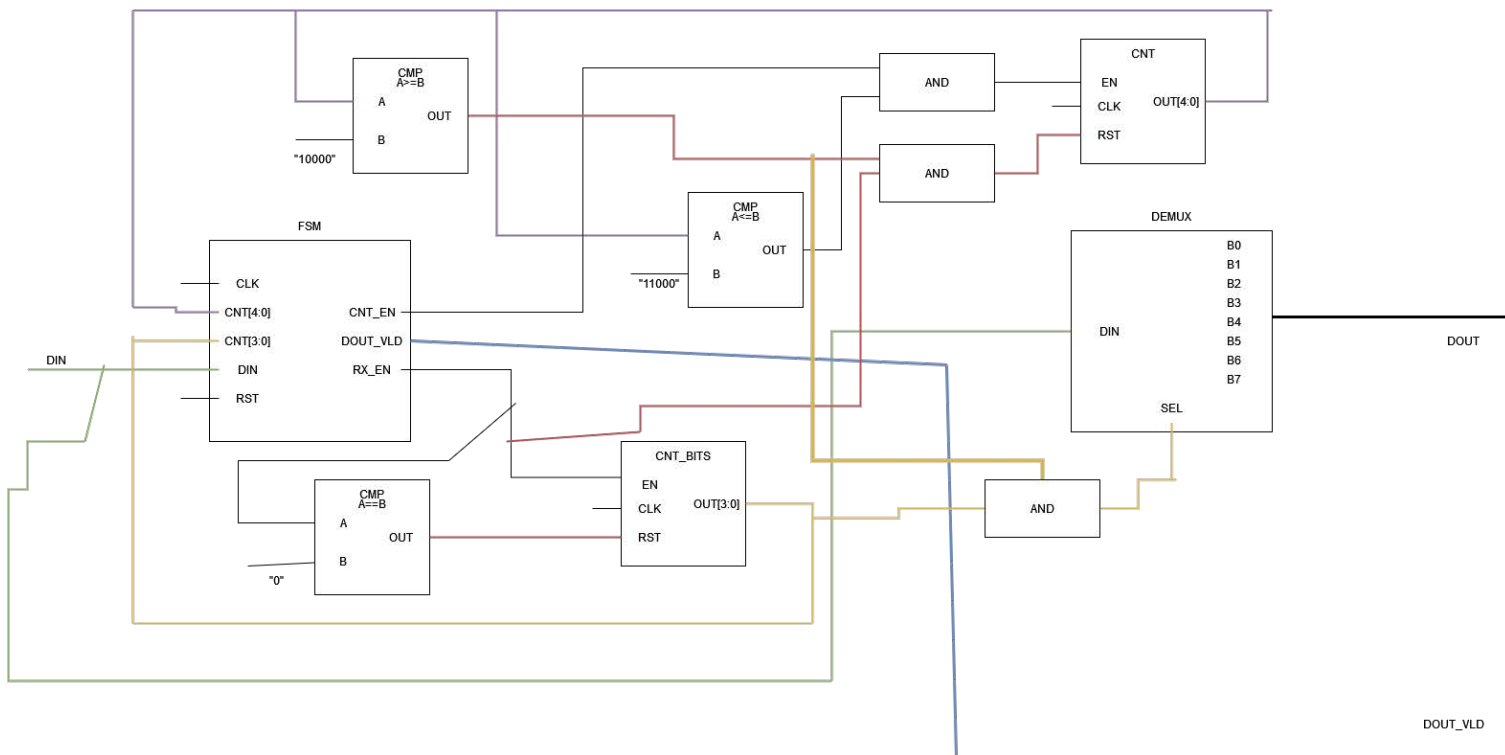
Příloha: Výstupní zpráva (Ukázka)

Jméno: Vladyslav Yeroma

Login: xyerom00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Schemata se sklada z:

- FSM
- CNT (Main Clock Tick Counter)
- CNT_BITS (Counter of Bits)
- Demultiplexor (Outputs Logic Vector [7:0])

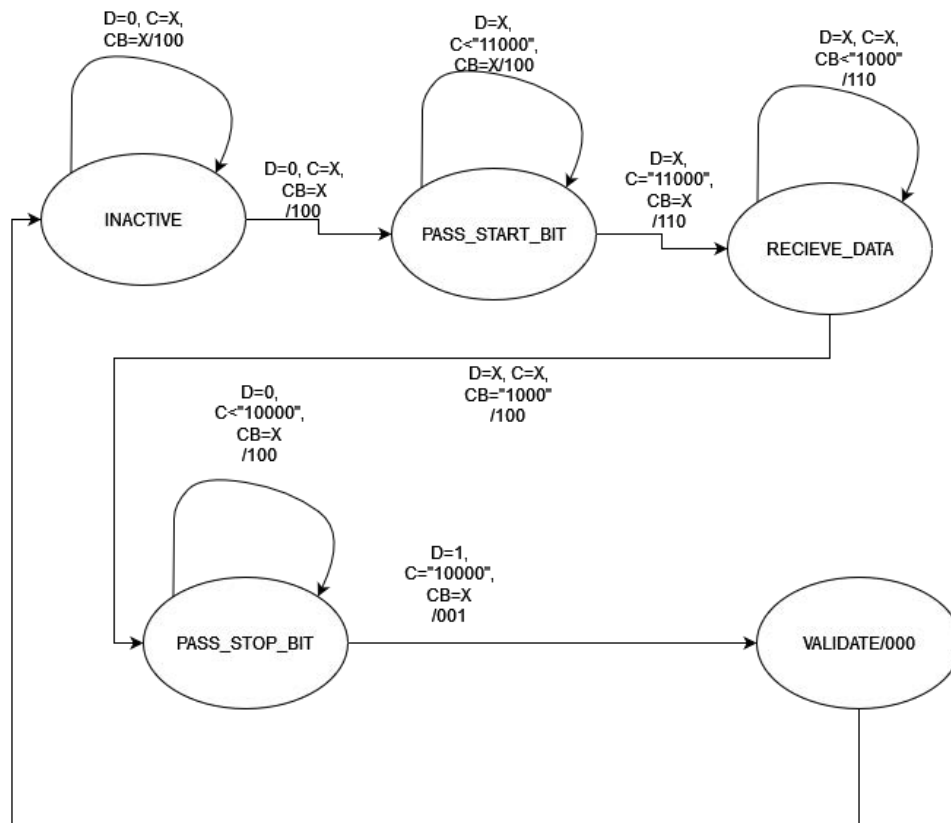
Poprvé cena na změnu DIN = "1" do DIN = "0". Pak spustíme CNT, který bude počítat do ≥ 11000 ak RX_EN = "0" (abych prošli ten Start Bit a došli k Mid Bitu 0. Bitu), a ak RX_EN = "1" bude se vynulovan pri ≥ 10000 (vynulije ne prima do 0, a do 00001, protože máme jednu if-structure a nechceme vynulovanim do same 0 a propustit ten jeden Clock Tick). Pak pri RX_EN = "1" budeme počítat CNT_BITS pro kazdy bit, který jsme prošli, a pri každé CNT = 10000 budeme poslat signál k Demultiplexoru. Na konci ak dojde CNT_BITS = "8", FSM zkontroluje ak CNT projede ostatní 16 Clock Ticks k Mid Bitu toho Stop Bitu a jestli na tom bitu DIN = "1", a posle spravny signal DOUT_VLD

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: INACTIVE, PASS_START_BIT, RECIEVE_DATA, PASS_STOP_BIT, VALIDATE_DATA
- Vstupní signály: DIN(D), CNT(C), CNT_BITS(CB)
- Mealyho výstupy: CNT_EN, RX_EN, DOUT_VLD
- Moorovy výstupy: CNT_EN, RX_EN, DOUT_VLD



Popis funkce

Vyčkává c stavu INACTIVE, při DIN = "0" přesune do PASS_START_BIT kde zapne CNT, a projde Start Bit a polovinu 0. Bitu. Pak projde k RECIEVE_DATA kde zapne Reciever Dat (CNT_BITS) a Začne předávat jich na DOUT. Ak CNT_BITS bude 8, zapne CNT_BITS a prejde na PASS_STOP_BIT, kde vyčkava jeste 16 Clock Ticks abych dostal k mid bitu Stop Bitu, a ak DIN = "1" predast DOUT_VLD = "1" a projde na stav VALIDATE, který ma uz jenom Mooreová vystup a prevede vsi vystupy FSM na 0.

Snímek obrazovky ze simulací

