

Міністерство освіти і науки України
Національний авіаційний університет
Навчально-науковий інститут комп'ютерних інформаційних технологій
Кафедра комп'ютеризованих систем управління

Лабораторна робота №5
з дисципліни «Комп'ютерна схемотехніка»
на тему «Дослідження кодоперетворювачів»

Виконав:
студент ННІКІТ СП-225
Клокун В. Д.
Перевірив:
Іскренко Ю. Ю.

Київ 2018

1 Мета роботи

Вивчення логіки роботи, принципів побудови й синтезу схем перетворювачів кодів. Визначення основних характеристик перетворювачів кодів на інтегральних мікросхемах. Ознайомлення з мікросхемами перетворювачів кодів у серіях інтегральних мікросхем.

2 Хід роботи

2.1 Дослідження схеми 4-розрядного перетворювача прямого коду у зворотній код

Записуємо систему рівнянь у вигляді, зручному для реалізації на елементах І—АБО—НІ на основі виразу $Y_{3H} = X_{3H}$:

$$Y_3 = \neg(X_{3H} \wedge X_3 \vee \neg X_{3H} \wedge \neg X_3),$$

$$Y_2 = \neg(X_{3H} \wedge X_2 \vee \neg X_{3H} \wedge \neg X_2),$$

$$Y_1 = \neg(X_{3H} \wedge X_1 \vee \neg X_{3H} \wedge \neg X_1).$$

Збираємо схему 4-розрядного (з урахуванням знаку) перетворювача прямого коду у зворотній (рис. 1), згідно з системою рівнянь на логічних елементах І—АБО—НІ та НЕ—І. Подаємо на входи перетворювача значення вхідного коду і записуємо результат перетворення (табл. 1).

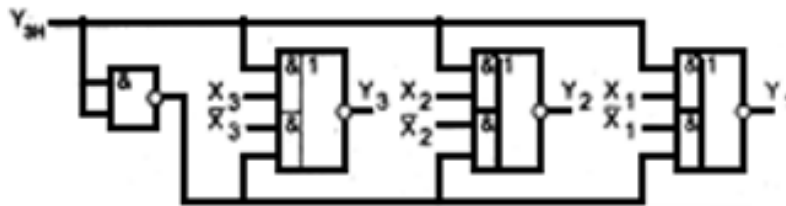


Рис. 1: Схема 4-розрядного перетворювача прямого коду у зворотній

2.2 Дослідження схеми 4-розрядного перетворювача прямого коду у додатковий код

Записуємо систему рівнянь у вигляді, зручному для реалізації на елементах І—АБО—НІ на основі виразу $Y_{3H} = X_{3H}$:

$$Y_3 = X_3 \oplus (X_2 \vee X_1)$$

$$= \neg(\neg X_3 \wedge \neg(X_2 \wedge X_{3H} \vee X_1 \wedge X_{3H})) \vee X_3 \wedge (X_2 \wedge X_{3H} \vee X_1 \wedge X_{3H}),$$

$$Y_2 = \neg(\neg X_3 \wedge \neg(X_2 \wedge X_{3H})) \vee X_3 \wedge (X_2 \wedge X_{3H} \vee X_1 \wedge X_{3H}),$$

$$Y_1 = X_1.$$

Збираємо схему 4-розрядного (з урахуванням знаку) перетворювача прямого коду у додатковий (рис. 2), згідно з системою рівнянь на логічних елементах І—АБО—НІ та НЕ—І. Подаємо на входи перетворювача значення вхідного коду і записуємо результат перетворення (табл. 1).

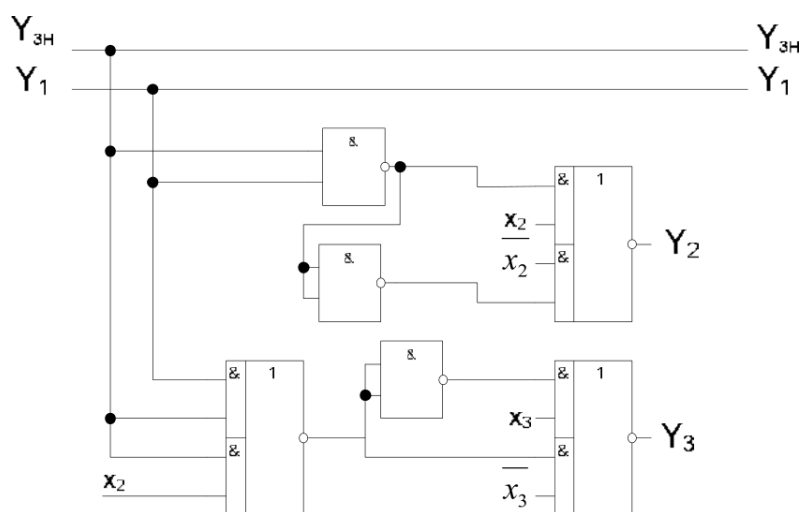


Рис. 2: Схема 4-розрядного перетворювача прямого коду у додатковий

$Y_{\text{пр}}$	$Y_{\text{об}}$	$Y_{\text{доп}}$	$Y_{\text{пр}}$	$Y_{\text{об}}$	$Y_{\text{доп}}$
0.000			1.000		
0.001			1.001		
0.010			1.010		
0.011			1.011		
0.100			1.100		
0.101			1.101		
0.110			1.110		
0.111			1.111		

Табл. 1: Результати перетворень

2.3 Дослідження схеми 4-розрядного перетворювача двійкового числа у код Грея

Записуємо систему рівнянь у вигляді, зручному для реалізації на елементах І—АБО—НІ:

$$\begin{aligned}
 I_1 &= X_1 \oplus X_2 = \neg(\neg X_1 \wedge \neg X_2 \vee X_2 \wedge X_1), \\
 I_2 &= X_2 \oplus X_3 = \neg(\neg X_2 \wedge \neg X_3 \vee X_2 \wedge X_3), \\
 I_3 &= X_3 \oplus X_4 = \neg(\neg X_3 \wedge \neg X_4 \vee X_3 \wedge X_4), \\
 I_4 &= X_4.
 \end{aligned}$$

Збираємо схему 4-розрядного перетворювача двійкового числа в код Грея на логічних елементах І—АБО—НІ (рис. 3). Подаємо на входи перетворювача значення вхідного коду і порівнюємо результати перетворення з теоретичними даними (табл. 2).

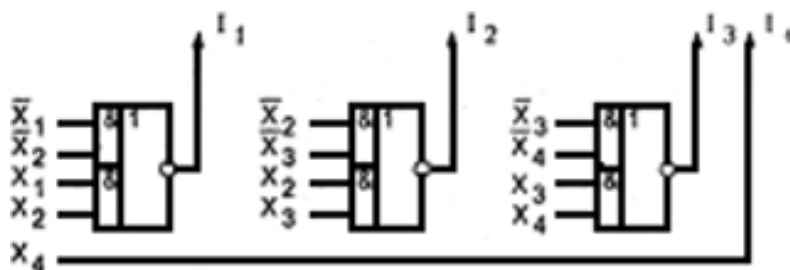


Рис. 3: Схема перетворювача двійкового числа в код Грея

X_4	X_3	X_2	X_1	I_4	I_3	I_2	I_1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

Табл. 2: Результат перетворень двійкових чисел в код Грея

2.4 Дослідження схеми 4-розрядного формувача кодів

Записуємо систему рівнянь для мікрооперації $Y_1—Y_4$ у вигляді, зручному для реалізації на логічних елементах НЕ—І за умови, що $Z_1 = Y_1 \vee Y_2$ і $Z_2 = Y_3 \vee Y_4$:

$$F_1 = \neg(\neg(Z_1 \vee Z_2 \wedge X_1)) = \neg(\neg Z_1 \wedge \neg(Z_2 \wedge X_1)),$$

$$F_2 = \neg(\neg(Z_1 \vee Z_2 \wedge X_2)) = \neg(\neg Z_1 \wedge \neg(Z_2 \wedge X_2)),$$

$$F_3 = \neg(\neg(Z_1 \vee Z_2 \wedge X_3)) = \neg(\neg Z_1 \wedge \neg(Z_2 \wedge X_3)),$$

$$F_4 = \neg(\neg(Y_1 \vee Y_3 \wedge X_4)) = \neg(\neg Y_1 \wedge \neg(Y_3 \wedge X_4)).$$

Збираємо схему формувача кодів на елементах НЕ—І (рис. 4). Подаємо на входи формувача кодів значення двійкового числа A для керуючих сигналів $Y_1—Y_4$ (сигналів мікрооперацій, табл. 3) і записуємо вихідний код.

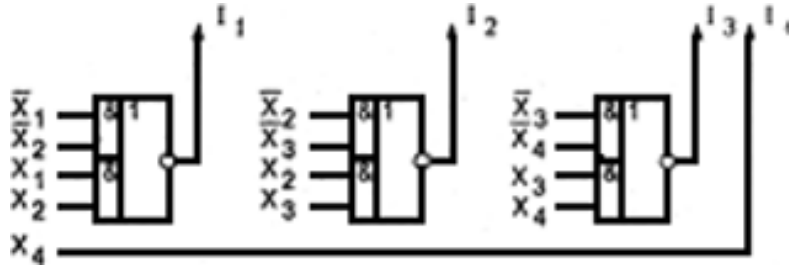


Рис. 4: Схема формувача кодів

Y_i	A	F_4	F_3	F_2	F_1
Y_1	0.010				
Y_1	1.101				
Y_2	1.111				
Y_2	0.000				
Y_3	0.010				
Y_3	1.100				
Y_4	1.101				
Y_4	1.011				

Табл. 3: Результати формування кодів

2.5 Дослідження схеми перетворювача Д-кода у зворотній код

Д-код (зважаючи Д-код, двійково-десятковий код, binary-coded decimal, BCD) — це код, в якому кожна десяткова цифра (0, 1, ..., 9) замінюється її чотирибітним двійковим еквівалентом (0000, 0001, ..., 1001). Наприклад: $729_{10} = 011100101001_{2-10}$. Особливістю Д-кодів є наявність 10 дозволених і 6 заборонених комбінацій. Поява забороненої комбінації при виконанні операцій над числами свідчить про виникнення помилки або ж про необхідність корекції результату.

Записуємо співвідношення у вигляді, зручному для реалізації на логічних елементах І—АБО—НІ та НЕ—І:

$$Y_1 = \neg X_1, \quad Y_2 = X_2, \quad Y_3 = \neg(\neg X_2 \wedge \neg X_3 \vee X_2 \wedge X_3), \quad Y_4 = \neg X_4 \wedge \neg X_3 \wedge \neg X_3.$$

Збираємо схему перетворювача Д-кода у зворотній код на елементах І—АБО—НІ та НЕ—І (рис. 5). Подаємо на входи перетворювача значення Д-кода і записуємо результати перетворення (табл. 4).

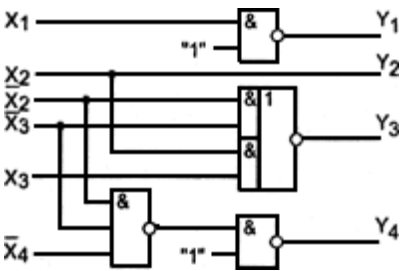


Рис. 5: Схема перетворювача Д-кода у зворотній код

X	Y ₄	Y ₃	Y ₂	Y ₁
0000				
0001				
0010				
0011				
0100				
0101				
0110				
0111				
1000				
1001				

Табл. 4: Результати перетворення Д-кода у зворотній код

3 Висновок

Виконуючи дану лабораторну роботу, ми вивчили логіку роботи, принципи побудови й синтезу схем перетворювачів кодів; визначили основні характеристики перетворювачів кодів на інтегральних мікросхемах; ознайомились з мікросхемами перетворювачів кодів у серіях інтегральних мікросхем.