

Міністерство освіти і науки України  
Національний авіаційний університет  
Навчально-науковий інститут комп'ютерних інформаційних технологій  
Кафедра комп'ютеризованих систем управління

Лабораторна робота №6  
з дисципліни «Архітектура комп'ютерів»  
на тему «Побудова блоку обробки даних»

Виконав:  
студент ННІКІТ СП-225  
Клокун В. Д.  
Перевірів:  
Зіньков Ю. Г.

Київ 2018

## 1 Мета роботи

Вивчення схемотехніки та системи мікрооперацій процесорного елементу K1804BC1, побудова блоку обробки даних на його основі та розробка мікропрограм обчислення функцій.

## 2 Завдання

При виконанні роботи ставляться такі завдання:

1. Розробити принципову схему блоку обробки даних на основі процесорного елементу BC1.
2. Розробити алгоритми та мікропрограми обчислення функцій (табл. 2.0.1), представити результати їх виконання: стани регістрів RAM, шини DO та ін.
3. Обчислити часові параметри мікрокоманд мікропрограм.
4. Підготувати дані для прикладної програми «Емулятор K1804BC1».

№	Ф-ція	Джерела операндів			Приймачі результату			Значення операндів		БОД		
		RAM[i]	D1	Q	RAM(i)	Q	DO	$x_2$	$x_1$	n	BP1	RGC
4	3	6( $X_2$ )	$x_1$		7		+	4	3	16	+	+
4	13	5( $X_2$ )		$x_1$	10		+	3	-2	16	+	+

Табл. 2.0.1: Завдання

## 3 Хід роботи

### 3.1 Процесорний елемент K1804BC1

Процесорний елемент BC1 (структурна схема на рис. 3.1.1) має 4-розрядну організацію. Його використовують для побудови операційних блоків процесорів з довільною розрядністю. Блок внутрішньої пам'яті містить в собі 2-портовий регістровий запам'ятовуючий пристрій з організацією RAM ємністю 16 4-розрядних слів та змішувач даних *SHL1*.

Вибір довільного регістра в якості джерела інформації виконують шляхом задання його адреси на входах *A* (3:0) (порт *A*) або *B* (3:0) (порт *B*). Є можливість одночасного зчитування двох слів із RAM. Зчитані дані заносять в регістри *RGA* та *RGB*. Запис даних в RAM можливий тільки за адресою *B* (3:0) під час переходу тактового сигналу *CLK* зі стану «1» в стан «0». Можна записувати інформацію в RAM як без зсуву, так і зі зсувом вправо або вліво на 1 розряд. Сигнали *SB3*, *SB0* виникають на однойменних двонаправлених виводах процесорного елемента при виконанні

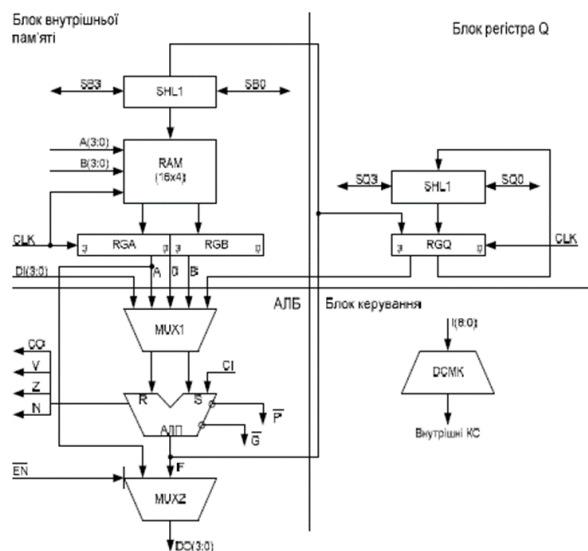


Рис. 3.1.1: Структура процесорного елемента K1804BC1

операції зсуву даних перед їх записом в RAM. Якщо зсуви на зміщувачі *SHL1* не виконуються, то вказані виводи перебувають у третьому стані.

Арифметично-логічний блок складається з мультиплексора вибору даних *MUX1*, арифметично-логічного пристрою та мультиплексора вихідних даних *MUX2*. Функції, які реалізує арифметично-логічний пристрій, визначаються мікрокодом *I* (8:0), який дешифрується в блоці керування. При цьому формуються внутрішні керуючі сигнали. Мультиплексор *MUX1* забезпечує вибір пар операндів на входах арифметично-логічного пристрою *R* та *S*. Джерелами операндів арифметично-логічного пристрою є:

1. Зовнішня шина даних *DI* (3:0).
2. Константа «0».
3. Регістр *RGQ*.
4. Регістри RAM, зчитані з каналів *A* та *B*.

Керування вибором пар операндів забезпечується полем *I* (2:0) (табл. 3.1.1).

Арифметично-логічний пристрій виконує вісім арифметичних та логічних операцій. Тип операцій в арифметично-логічному пристрої задається полем мікрокоманди *I* (5:3), а їх список визначається за визначеними правилами (табл. 3.1.2). Арифметичні операції виконують з урахуванням значення вхідного переносу *CI* за правилами доповнювального коду. При цьому формуються 4 ознаки результату:

1. *CO* — перенесення зі старшого розряду.
2. *V* — переповнення.
3. *N* — знак або вміст старшого розряду на виході арифметично-логічного пристрою.
4. *Z* — ознака нульового значення *F* на виході арифметично-логічного пристрою.

$I(2:0)$				Виходи АЛП	
12	11	10	8-а с.о.	$R$	$S$
0	0	0	C	$A$	$Q$
0	0	1	1	$A$	$Q$
0	1	0	2	0	$Q$
0	1	1	3	0	$Q$
1	0	0	4	0	$Q$
1	0	1	5	$D$	$Q$
1	1	0	6	$D$	$Q$
1	1	1	7	$D$	$Q$

Табл. 3.1.1: Джерела операндів

Крім того формуються сигнали генерації  $G$  та розповсюдження (поширення) переносу  $P$  в арифметико-логічному пристрої, які потрібні для організації прискореного переносу в багаторозрядній схемі, яка побудована із кількох процесорних елементів.

$I(5:3)$				Операція
15	14	13	8-а о.о.	
0	0	0	0	$R + S + CI$
0	0	1	1	$S - R - 1 + CI$
0	1	0	2	$R - S - 1 + CI$
0	1	1	3	$R \vee S$
1	0	0	4	$R \wedge S$
1	0	1	5	$\neg R \wedge S$
1	1	0	6	$R \oplus S$
1	1	1	7	$\neg(R \oplus S)$

Табл. 3.1.2: Операції в арифметично-логічному пристрої

Результат операції на виході арифметично-логічного пристрою задається словом  $F$  та видається в шину  $DO$ , в RAM або регістр  $RGQ$  відповідно до розрядів мікрокоду  $I(8:6)$  (табл. 3.1.3). Запис слова  $F$  в RAM здійснюється через канал  $B$  прямо ( $RAM[B] = F$ ), зсувом вправо ( $RAM[B] = R1(F)$ ) або зсувом вліво ( $RAM[B] = L1(F)$ ). В двох останніх випадках одночасно може зсуватись і вміст регістра  $RGQ$ : ( $RGQ = R1(RGQ)$  або  $RGQ = L1(RGQ)$ ).

Мультиплексор  $MUX2$  забезпечує передачу слова  $F$  з виходу арифметично-логічного пристрою або виходу  $A$  на вихідну шину  $DO(3:0)$ . Блок регістра  $Q$  складається з регістра  $RGQ$  та зміщувача  $SHL2$ . Регістр  $RGQ$  забезпечує прийом слова  $F$  ( $RGQ = F$ ) та зсув свого вмісту на один розряд вліво ( $RGQ = L1(RGQ)$ ) або вправо ( $RGQ =$

$I(8:6)$				$RAM[B]$	$RGQ$	$DO$
8	7	6	8-а о.о.			
0	0	0	0		$F$	$F$
0	0	1	1			$F$
0	1	0	2	$F$		$A$
0	1	1	3	$F$		$F$
1	0	0	4	$R1(F)$	$R1(RGQ)$	$F$
1	0	1	5	$R1(F)$		$F$
1	1	0	6	$R1(F)$	$R1(RGQ)$	$F$
1	1	1	7	$R1(F)$		$F$

Табл. 3.1.3: Приймачі результату

$L1(RGQ)$ ) за допомогою змішувача  $SHL2$ . Сигнали  $SQ3$ ,  $SQ0$  виникають на однойменних двонаправлених виводах процесорного елемента при зсуві інформації в регістрі  $RGQ$ . Якщо зсув не виконується, то вказані виводи знаходяться в третьому стані. Запис інформації в регістр  $RGQ$  виконується при переході тактового сигналу  $SCL$  зі стану «0» в «1».

Блок керування формує внутрішні керуючі сигнали шляхом декодування відповідних полів мікрокода:

$$I(8:0) = I(8:6).I(5:3).I(2:0),$$

де  $I(8:0)$  — поле вибору пари джерел операндів,  $I(8:0)$  — поле операції в арифметично-логічному пристрої,  $I(8:0)$  — поле вибору приймача результату.

Процесорний елемент BC1 (умовно-графічне позначення на рис. 3.1.2, призначення виводів у табл. 3.1.4) виконаний у пластмасовому корпусі типу 2123.40-17.

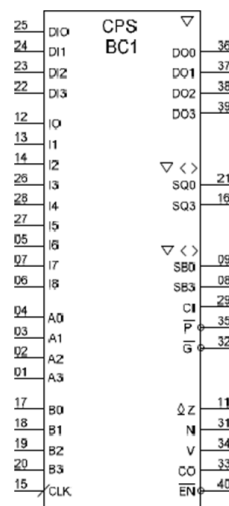


Рис. 3.1.2: Умовно-графічне позначення процесорного елемента K1804BC1

Виводи	Позначення	Призначення
1–4	<i>A3—A0</i>	Входи адреси RAM по каналу <i>A</i>
20–17	<i>B3—B0</i>	Входи адреси RAM по каналу <i>B</i>
6, 7, 5, 27, 28, 25, 14, 13, 12	<i>A4—A0</i>	Входи мікрокоду <i>I</i> (8:0)
22–26	<i>DI3—DI0</i>	Входи даних
30–36	<i>DO3—DO0</i>	Виходи даних
15	<i>CLK</i>	Тактові сигнали
21	<i>SQ0</i>	Вхід/вихід молодшого розряду зміщувача <i>SHL2</i>
16	<i>SQ3</i>	Вхід/вихід старшого розряду зміщувача <i>SHL2</i>
9	<i>SB0</i>	Вхід/вихід молодшого розряду зміщувача <i>SHL1</i>
8	<i>SB3</i>	Вхід/вихід старшого розряду зміщувача <i>SHL1</i>
29	<i>CI</i>	Вхід переносу в АЛП
32, 35	$\overline{P}, \overline{G}$	Виходи прискореного переносу
11	<i>Z</i>	Вихід ознаки нульового результату в АЛП
31	<i>N</i>	Вихід старшого розряду АЛП
34	<i>V</i>	Вихід ознаки переповнення результату
33	<i>CO</i>	Вихід переносу з АЛП
40	$\overline{EN}$	Вхід дозволу видачі даних <i>DO</i>
10	<i>U<sub>cc</sub></i>	5 V
1–4	<i>GND</i>	Загальний

Табл. 3.1.4: Виводи процесорного елемента K1804BC1

### 3.2 Побудова блоку обробки даних

Необхідна довжина розрядної сітки процесора забезпечується шляхом з'єднання кількох процесорних елементів BC1 (рис. 3.2.1) за умови, що  $n = 16$ . Шини  $A$ ,  $B$  та  $I$  підключаються паралельно при кожному процесорному елементі BC1 аналогічно лініями  $EN$  та  $CLK$ . Вихід переносу  $CO$  молодшого процесорного елемента  $DD1$  підключається до входу переносу  $CI$  процесорного елемента  $DD2$  і так далі. Послідовна передача переносу між процесорними елементами BC1 знижує швидкість процесора. Для прискорення поширення переносу використовуються інтегральна мікросхема K1804BP1. Виходи ознак  $CO$ ,  $F15$ ,  $V$ ,  $Z$  (процесорний елемент  $DD4$ ) підключаються до регістра стану  $RGC$ .

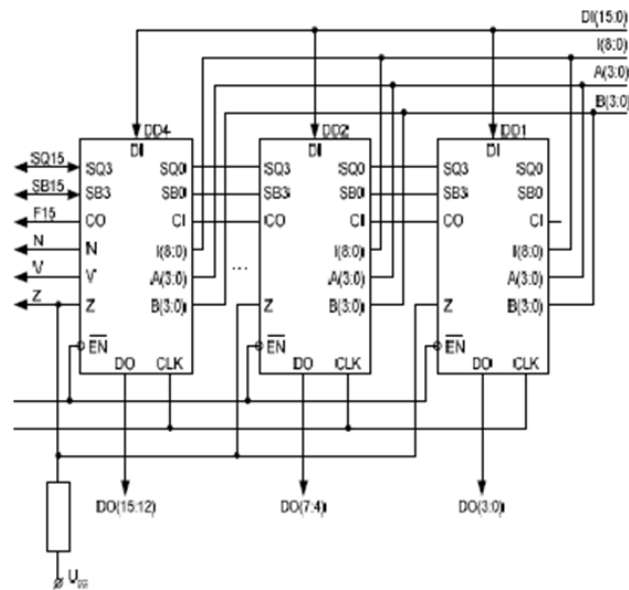


Рис. 3.2.1: Об'єднання процесорних елементів BC1 при послідовному поширенні переносу

В блок дані поступають із шини  $DI$  (15:0). Результат перетворення видається на шину даних  $DO$  (15:0). Керування 16-розрядним операційним блоком процесора відбувається за допомогою макрокоманди:

$$I(8:0).B(3:0).A(3:0).\overline{EN}.SQ15.SQ0.SB15.SB0.CI,$$

де  $I(8:0)$  — мікрокод, який керує роботою процесорного елемента,  $B(3:0)$ ,  $A(3:0)$  — адреси регістрів RAM на входах портів  $B$  та  $A$ ,  $CI$  — однобітне поле, яке визначає значення сигналу на одноіменному вході процесорного елемента.

### 3.3 Схема прискореного переносу K1804BP1

Схема прискореного переносу BP1 (умовно-графічне позначення на рис. 3.3.1, виводи у табл. 3.3.1) служить для організації ланцюга паралельного переносу в 16-

розрядних процесорах, побудованих на базі 4 процесорних елементів ВС1. Були розроблені схеми з'єднання процесорних елементів ВС1 при використанні схем прискореного переносу BP1 для  $n = 16$  (рис. 3.3.2) та  $n = 32$  (рис. 3.3.3).

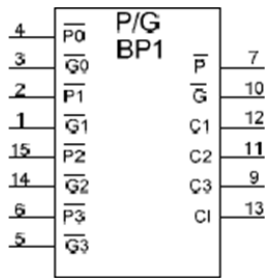


Рис. 3.3.1: Умовно-графічне позначення схеми прискореного переносу BP1

Виводи	Позначення	Призначення
4, 2, 15, 6	$\overline{P0}, \overline{P3}$	Входи розповсюдження переносу
3, 1, 14, 5	$\overline{G0}, \overline{G3}$	Входи генерації переносу
7, 10	$\overline{P}, \overline{G}$	Входи розповсюдження і генерації переносу
12, 11, 9	$C1, C2, C3$	Входи переносу молодшої, середньої та старшої груп
18	$CI$	Вхідний переніс
16	$U_{cc}$	5 V
8	$GND$	

Табл. 3.3.1: Виводи схеми прискореного переносу B1804BP1

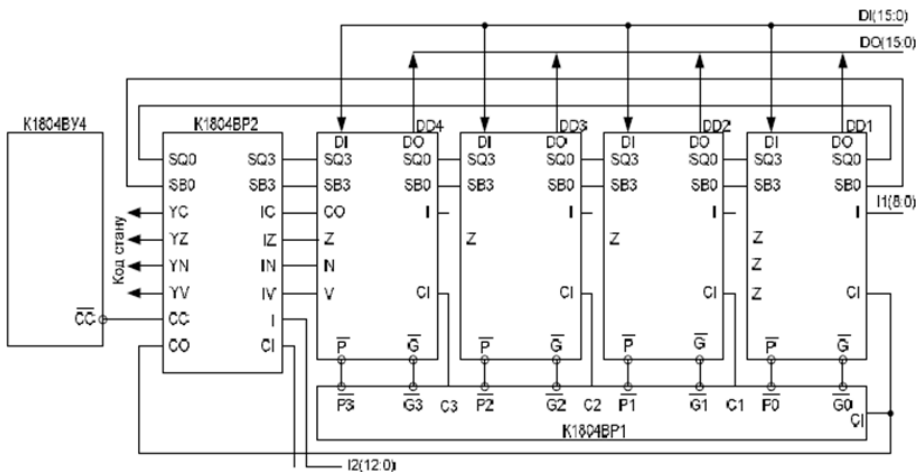


Рис. 3.3.2: Блок обробки даних з використанням схеми прискореного переносу BP1 для  $n = 16$

Для обчислення швидкодії блоку обробки даних наведемо часові характеристики мікросхем K1804BC1 та K1804BP1 (табл. 3.3.2).



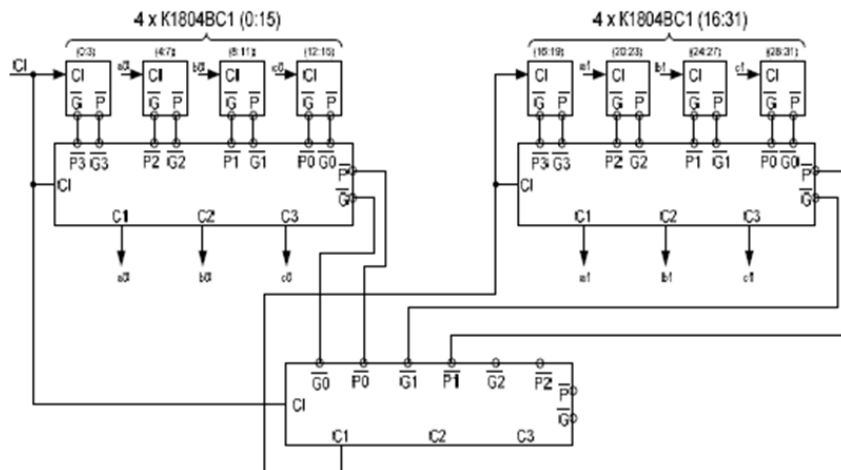


Рис. 3.3.3: Каскадне з'єднання схем прискореного переносу BP1

Звідки	Куди	Значення, нс
$A(B)$	$DO, N$	85
$A(B)$	$CO$	80
$A(B)$	$V$	90
$A(B)$	$\overline{P}, \overline{G}$	70
$A(B)$	$SB3, SB0$	100
$I$	$DO, CO, N$	80
$I$	$V, Z$	70
$I$	$SB3, SB0, SQ3, SQ0$	35
$DI$	$DO, N, CO$	50
$DI$	$SB3, SB0$	70
$DI$	$\overline{P}, \overline{G}$	40
$CI$	$DO, N$	35
$CI$	$CO$	25
$CI$	$Z, SB3, SB0$	55
Тривалість сигналу $CLK$		30

Табл. 3.3.2: Часові параметри мікросхеми K1804BC1

### 3.4 Стани регістрів

Після виконання роботи та виконання необхідних операцій перевіряємо значення регістрів (табл. 3.4.1).

Регістр	Стан
<i>R0</i>	000008
<i>R1</i>	000004
<i>R2</i>	000000
<i>R3</i>	000000
<i>R4</i>	000000
<i>R5</i>	000000
<i>R6</i>	000000
<i>R7</i>	000000
<i>R8</i>	000000
<i>R9</i>	000000
<i>R10</i>	000000
<i>R11</i>	000000
<i>R12</i>	000000
<i>R13</i>	000000
<i>R14</i>	000000
<i>R15</i>	000000
<i>DO</i>	000004
<i>RO</i>	000004
<i>CO</i>	0
<i>F15</i>	0
<i>SQ15</i>	0
<i>SB15</i>	0
<i>SQO</i>	0
<i>SBO</i>	0
<i>DO</i>	0

Табл. 3.4.1: Стан регістрів

## 4 Висновок

Під час виконання даної лабораторної роботи ми вивчили схемотехніку та систему мікрооперацій процесорного елементу K1804BC1, побудували блок обробки даних на його основі та розробили мікропрограми обчислення функцій.