

Міністерство освіти і науки України
Національний авіаційний університет
Навчально-науковий інститут комп'ютерних інформаційних технологій
Кафедра комп'ютеризованих систем управління

Лабораторна робота №4
з дисципліни «Архітектура комп'ютерів»
на тему «Проектування запам'ятовуючих пристроїв»
Варіант №4

Виконав:
студент ННІКІТ СП-225
Клокун В. Д.
Перевірив:
Зіньков Ю. Г.

Київ 2018

1 Мета роботи

Оволодіти знаннями та практичними навичками з проектування запам'ятовуючих пристроїв на базі ПЛІС типу FPGA.

2 Хід роботи

Створюємо запам'ятовуючий пристрій, який розрахований на підтримку таких параметрів:

1. FIFO.
2. Єдине тактування для зчитування та запису.
3. Додаткові сигнали заповнення, пустоти, лічильника зайнятих комірок.
4. Розрядність — 32.
5. Число комірок — 32.

Спроекуємо схему необхідного запам'ятовуючого пристрою.

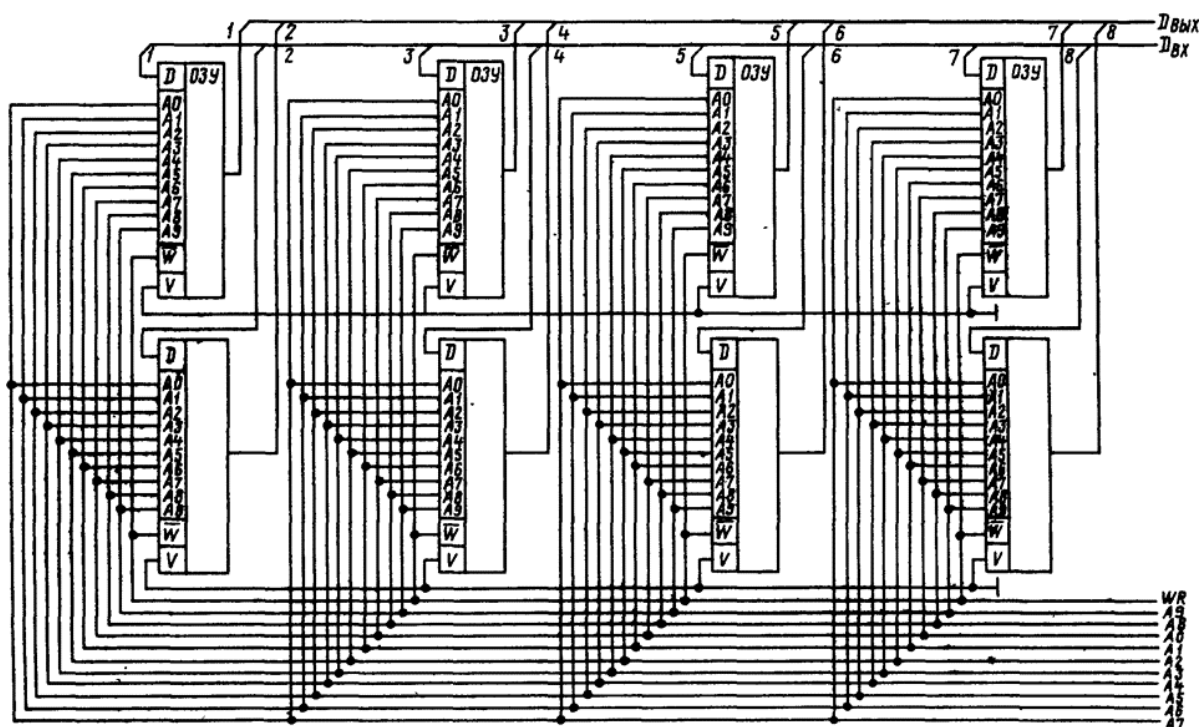


Рис. 1: Схема, під яку спроектовано пристрій

Для розуміння кожного з елементів, зображених на схемі (рис. 1) необхідно представити елемент у відповідному вигляді (рис. 2). Бачимо, що такий підхід до реалізації вимагає відповідну схему (рис. 3).

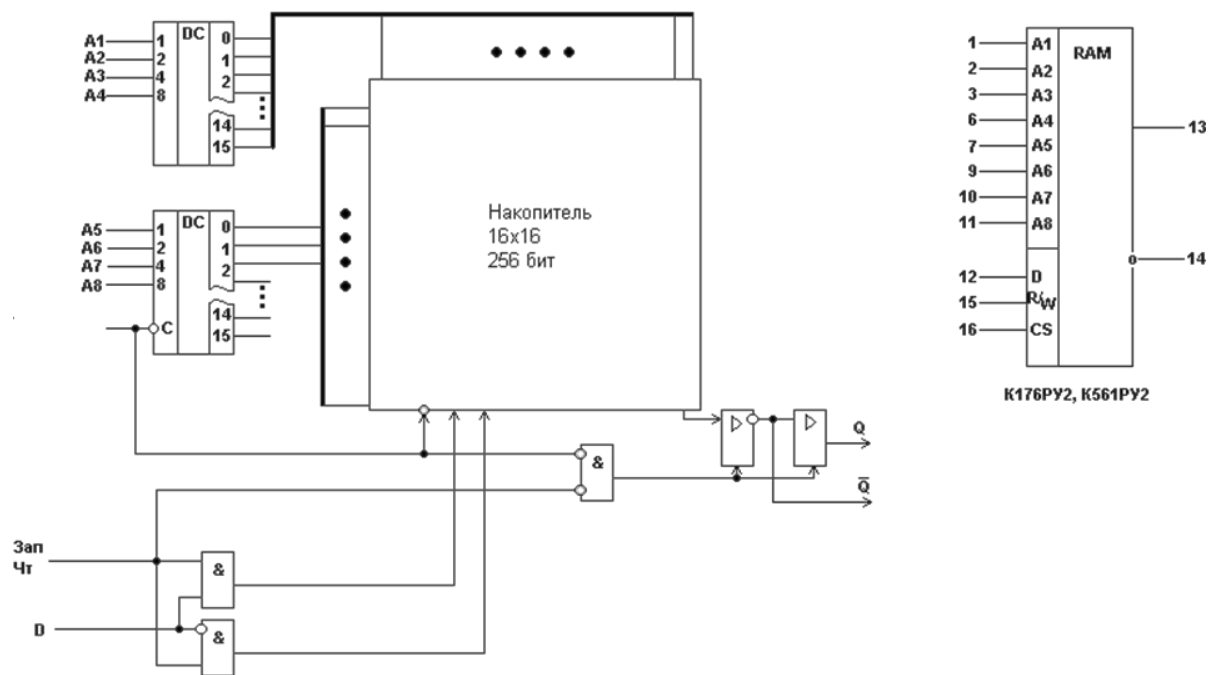


Рис. 2: Схема для покращеного розуміння

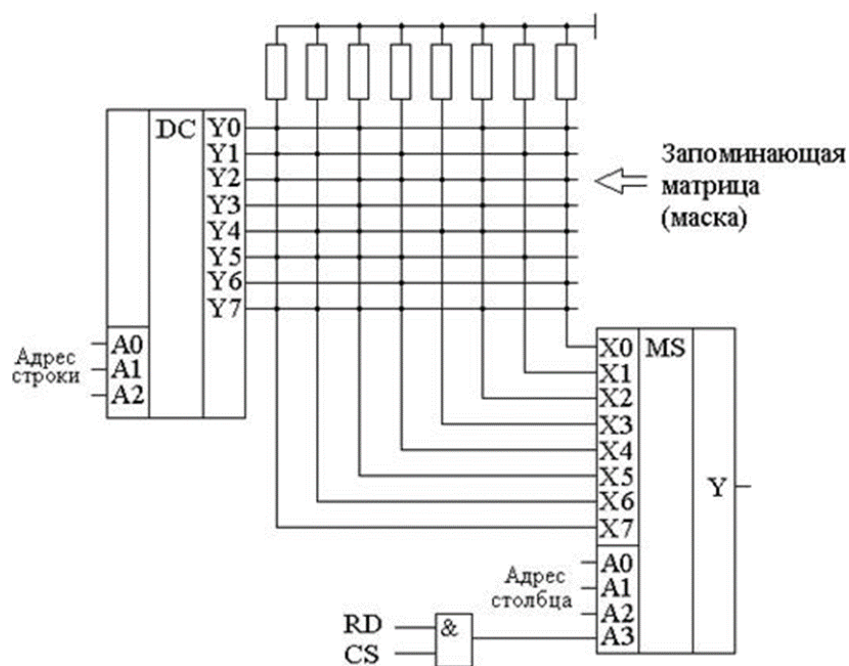


Рис. 3: Реалізація запам'ятовуючого пристрою

Після проектування пристрою необхідно перевірити правильність його роботи. Виконаємо перевірку табличним методом (табл. 1).

	1	2	3	4	5	6	7	8	9
1	1	2	3	4	5	6	7	8	9
2	2	4	6	8	10	12	14	16	18
3	3	6	9	12	15	18	21	24	27
4	4	8	12	16	20	24	28	32	36
5	5	10	15	18	25	30	35	40	45
6	6	12	18	24	30	36	42	48	54
7	7	14	21	28	35	42	49	56	63
8	8	16	24	32	40	48	56	64	72
9	9	18	27	36	45	54	63	72	81

Табл. 1: Таблиця перевірки роботи пристрою

3 Висновок

Під час виконання даної лабораторної роботи ми отримали знання та оволоділи практичними навичками проектування запам'ятовуючих пристроїв на базі ПЛІС типу FPGA.