

## **Работа №5 . Исследование регистров**

Цель работы – изучение принципов построения регистров сдвига, способов преобразования параллельного кода в последовательный и обратно, сборка схем регистров сдвига и их экспериментальное исследование.

В процессе самостоятельной подготовки к работе необходимо ознакомиться с теоретическими сведениями и подготовить по каждому пункту раздела «Задание и порядок выполнения работы» расчетные и теоретические материалы, электрические функциональные схемы исследуемых регистров сдвига. Перед началом работы предъявить преподавателю рабочие материалы для проверки и обсуждения. После выполнения работы каждый студент обязан представить преподавателю аккуратно оформленный отчет.

Продолжительность работы – 4 часа.

### **Теоретические сведения**

*Регистр* - операционный узел ЭВМ, предназначенный для выполнения микроопераций записи, хранения, преобразования и считывания слова (или части слова) данных и простейших поразрядных логических операций.

Регистры осуществляют кратковременное хранение информации в течение одного или нескольких циклов работы устройства.

Регистр представляет набор триггеров, число которых равно или кратно разрядности регистра, и комбинационных схем. Триггер служит для хранения одного разряда двоичного слова, т.е. является одноразрядным регистром. В регистрах применяются синхронные D- и DV-триггеры с динамическим и статическим управлением записью.

Комбинационные схемы обеспечивают запись и считывание информации из регистра, преобразование и сдвиг слова, хранящегося в регистре, вправо или влево на требуемое число разрядов, преобразование последовательного кода слова в параллельный и наоборот.

В регистрах можно выполнять поразрядные логические операции: логическое сложение, логическое умножение, сложение по модулю два, эквивалентность, инверсию.

*Записью* (или вводом, или приемом) называется занесение нового слова данных в регистр. Данные - это числа, команды, управляющие коды и другие упорядоченные последовательности букв двоичного алфавита. Каждая буква представляется двоичным сигналом. Частным случаем записи является операция начальной установки регистра, например, всех разрядов в нуль или в единицу.

Кратковременное хранение информации оказывается необходимым при выполнении арифметических и логических операций над словами данных, а также при согласовании скорости работы различных устройств ЭВМ.

*Считывание* (или вывод) - выдача данных из регистра и передача в другие узлы и устройства.

Основными признаками классификации регистров являются способы ввода и вывода информации из регистра, а также представление вводимой и выводимой информации.

По способу ввода и вывода информации различают следующие типы регистров:

- параллельные (или регистры памяти),
- последовательные,
- параллельно-последовательные,
- последовательно-параллельные,
- универсальные или многофункциональные.

В параллельных регистрах ввод и вывод слов данных выполняется во всех разрядах одновременно. Время ввода (вывода) слова равно времени ввода (вывода) одного разряда и равно длительности такта  $T$ . Основная функция параллельного регистра - хранение слова информации.

В последовательных регистрах все разряды слова вводятся в регистр и выводятся из него последовательно во времени один за другим. Время ввода (вывода)  $n$ -разрядного слова равно  $nT$ , где  $T$  - период следования тактирующих сигналов. Последовательные регистры называются также регистрами сдвига, или сдвигающими (сдвигowymi).

В параллельно-последовательных регистрах ввод слова осуществляется параллельным кодом, а вывод - последовательным кодом.

В последовательно-параллельных регистрах ввод слова

осуществляется последовательным кодом, а вывод - параллельным.

В универсальных регистрах реализуется несколько названных выше способов ввода и вывода информации.

По количеству линий передачи информации различают однофазные и парафазные регистры. В однофазных регистрах каждый разряд слова передается по одной линии в виде прямого значения переменной  $D_i$  или ее инверсии  $\bar{D}_i$ , в парафазных - по двум линиям прямым  $D_i$  и инверсным  $\bar{D}_i$  значениями в каждом разряде.

По используемой системе синхронизации различают одноктактные и многотактные регистры. Одноктактные регистры управляются одной последовательностью синхронизирующих сигналов, многотактные - несколькими.

По направлению передачи (сдвига) данных регистры разделяются на однонаправленные и реверсивные. В однонаправленных регистрах сдвиг данных выполняется или влево, или вправо. Сдвиг данных от старших разрядов к младшим называется правым сдвигом, а от младших к старшим - левым сдвигом.

Параллельный регистр, или регистр памяти, представляет собой набор разрядных схем, не связанных между собой. Параллельные регистры предназначены для ввода, хранения и вывода двоичных слов параллельным кодом.

В интегральной схематехнике параллельные регистры всего выполняются на синхронных D- или DV-триггерах с независимыми информационными входами и объединенными тактовыми входами, а также объединенными входами начальной установки. Параллельные регистры с однофазным входом на синхронных D-триггерах со статическим и динамическим управлением записью показаны на рис. 3, а, б соответственно. Прием слова осуществляется за один такт.

Типичными примерами параллельных регистров с тремя состояниями выхода являются регистры микросхем ИР22 и ИР23, которые имеются как в сериях ИМС ТТЛШ, так и КМОП - логики (например микросхемы ТТЛШ КР1533ИР22, КР1533 ИР23, КМОП-логики КР1554 ИР22, КР1554 ИР23). Регистры ИР22 и ИР23- восьмиразрядные с тремя состояниями выходов. Третье состояние выхода реализуется логическими элементами (ЛЭ) с

тремя состояниями выхода, входы которых в каждом разряде соединены с выходами триггеров регистра. На объединенные входы EZ ЛЭ подается управляющий сигнал EZ (или OE), разрешающий или запрещающий выходы регистра. Регистры ИР22 построены на синхронных D-триггерах со статическим управлением записью, т.е. прием информации в регистр выполняется при  $C=1$ , а фиксация входного кода при  $C=0$ , т.е. регистр является прозрачным при  $C=1$  и  $EN=0$ . Регистры ИР22 построены на D-триггерах с динамическим управлением записью. Прием информации в регистр выполняется перепадом 0/1 сигнала C. Такой регистр является непрозрачным.

Быстродействие регистров памяти оценивается временем задержки распространения сигнала в трактах вход C - выход  $Q_i$ , вход R - выход Q, вход EN - выход  $Q_i$ .

#### Регистры сдвига

Регистры сдвига представляют собой набор разрядных схем, содержащих триггеры, связанные между собой непосредственно или через комбинационные схемы.

Регистры сдвига выполняют сдвиг двоичного слова вправо или влево по регистру в зависимости от управляющих сигналов, преобразование последовательного кода слова в параллельный и параллельного в последовательный. Для этого каждый разряд регистра должен принимать информацию с входной линии или из одного из разрядов, хранить ее и передавать хранящуюся информацию в другие разряды регистра или на выходную линию.

Регистры сдвига с однофазной синхронизацией строятся на синхронных D-триггерах с динамическим управлением записью. Функциональная схема 4-разрядного регистра сдвига вправо приведена на рис. 1.

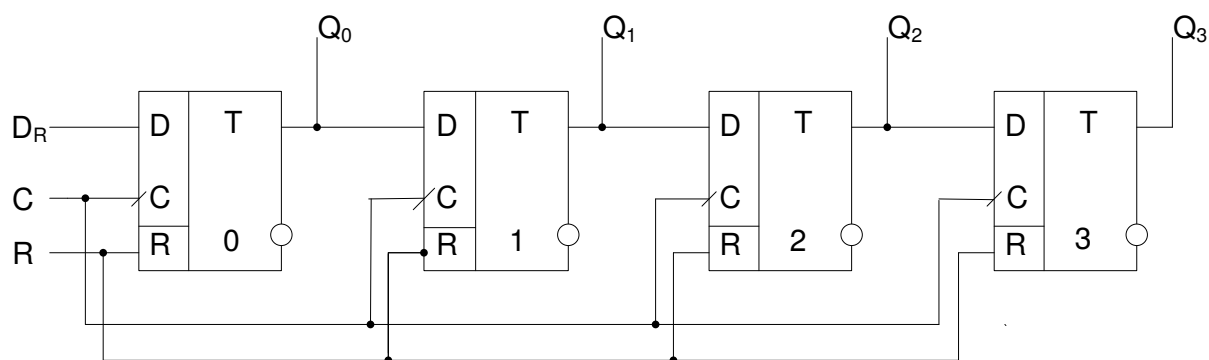


Рис. 1

Входные данные  $D_R$  в последовательном коде поступают на вход  $D$  триггера нулевого разряда регистра сдвига. Для передачи информационных сигналов из одного разряда в другой при сдвиге вправо выход  $Q_i$  триггера  $i$ -го разряда регистра соединен с входом  $D_{i+1}$  триггера  $(i+1)$ -го разряда, т.е.  $D_{i+1} = Q_i$  для всех разрядов от 0 до  $n-2$ . Каждым тактовым сигналом  $C$ , поступающим на входы  $C$  всех триггеров регистра, происходит перезапись (сдвиг) содержимого каждого разряда в соседний разряд. Временная диаграмма (рис. 2) поясняет процесс передачи информации в регистре сдвига. В моменты времени  $t_0$  и  $t_1$  показано, как сдвигаются биты информации из одного разряда в другой.

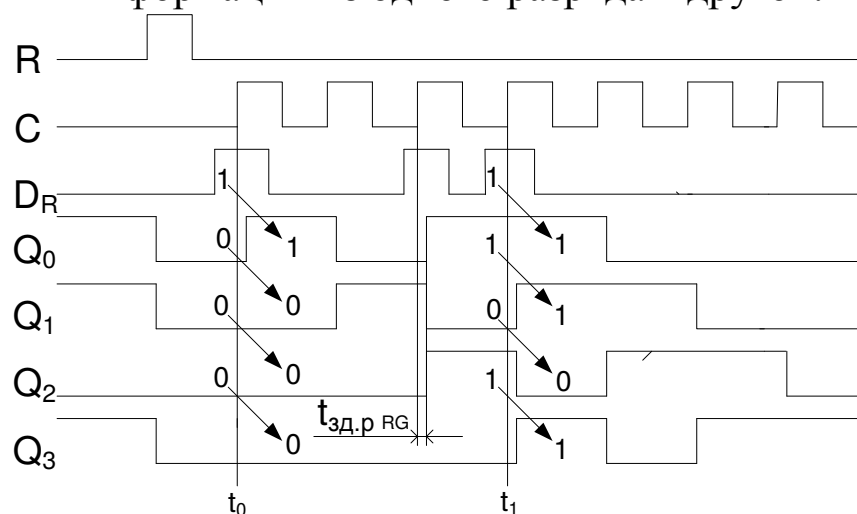


Рис. 2

Время задержки распространения сигнала в регистре сдвига от входа  $C$  до любого выхода  $Q$  равна времени задержки распространения сигнала одного триггера от входа  $C$  до выхода  $Q$ .

В регистре сдвига влево выход  $Q_i$  триггера  $i$ -го разряда регистра соединен с входом  $D_{i-1}$  триггера  $(i-1)$ -го разряда, т.е.  $D_{i-1} = Q_i$  для всех разрядов от 0 до  $n-2$ .

В реверсивных регистрах сдвига выполняется сдвиг информации как вправо (от нулевого разряда к  $(n-1)$ -му), так и влево (от  $(n-1)$ -го к нулевому).

Универсальные регистры сдвига выполняют также и другие микрооперации, например, параллельного ввода данных, хранения и др. Режим работы регистра обычно задается управляющим кодом, поступающим на входы выбора режима. Сигналы выбора режима коммутируют цепи сдвига влево и вправо, параллельного ввода в

соответствии с выполняемой микрооперацией. При этом регистр может иметь последовательный и параллельный ввод и вывод информации.

Синтез универсального регистра, как регулярной структуры, сводится к выбору типа триггера и построению комбинационной схемы, выполняющей передачу и прием информации в триггер данного разряда.

На рис. 3 приведена логическая схема универсального 8-разрядного регистра, состоящего из двух интегральных схем (ИС) 74LS194 (отечественный аналог К555ИР11).

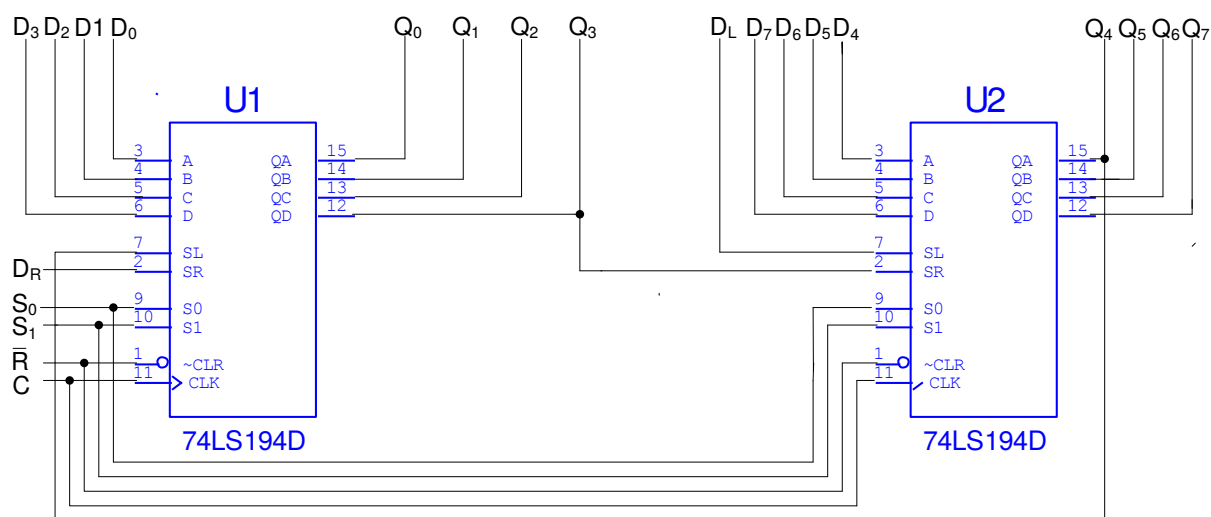


Рис. 3

На схеме D<sub>R</sub> (SR) и D<sub>L</sub> (SL) – входы ввода данных в регистр последовательным кодом при сдвиге вправо и влево соответственно, S<sub>1</sub> и S<sub>0</sub> – управляющие сигналы выбора режима, D<sub>0</sub>-D<sub>7</sub> – входные данные для параллельной загрузки регистра, Q<sub>0</sub>-Q<sub>7</sub> – выходные данные регистра в параллельном коде. В табл.1 приведено кодирование режимов регистра сдвига управляющим словом S<sub>1</sub>S<sub>0</sub>.

Сдвиг и параллельный ввод выполняются синхронно тактовыми сигналами 0/1, поступающими на входы C D-триггеров регистра. В режиме хранения на входы C также поступают синхросигналы.

Таблица 1

S1	S0	Режим
0	0	Хранение
0	1	Сдвиг вправо
1	0	Сдвиг влево
1	1	Параллельный ввод данных ввод

Установка в 0 (очистка или обнуление регистра) может рассматриваться независимо от других микроопераций. Регистр является полностью программно-управляемым. Рис. 3 поясняет соединения ИС регистров при наращивании разрядности универсального регистра.

### **Задание и порядок выполнения работы**

#### **1. Исследование регистра сдвига:**

- составить и собрать схему пятиразрядного регистра сдвига на синхронных D-триггерах с динамическим управлением записью, организовав сначала соединения триггеров для сдвига информации вправо;

- соединить прямой выход пятого разряда Q (нумерация слева направо) с входом D триггера первого разряда регистра (циклический режим);

- проверить работу регистров сдвига влево в статическом и динамическом режимах;

- повторить ознакомление с регистром сдвига, соединив инверсный выход  $\overline{Q}$  пятого разряда с входом D триггера первого разряда.

#### **2. Исследование универсального регистра на ИС К555ИР11 (74LS194):**

- собрать схему 8-разрядного регистра сдвига (рис. 3);

- провести исследование режимов работы универсального регистра в статическом и динамическом режимах.

Примечание: начальный код, который следует ввести в регистры, задается преподавателем.

3. Определить по временным диаграммам параметры быстроедействия от входа С до выходов регистров и максимальную частоту сигналов сдвига.

4. Составить отчет.

### **Требования к отчету**

Отчет должен содержать электрическую функциональную схему регистров сдвига, временные диаграммы сигналов регистров сдвига с указанием параметров управляющих сигналов, расчетные и экспериментальные данные для оценки быстроедействия регистра.

### **Контрольные вопросы**

1. Что называется регистром? Какие функции выполняют регистры?
2. Как классифицируются регистры по способу ввода-вывода информации?
3. Как работает параллельный регистр с однофазным и парафазным приемом информации?
4. Какие типы триггеров применяются в регистрах сдвига?
5. Как работает регистр сдвига, выполненный на триггерах с двухступенчатым запоминанием информации? Как работает регистр сдвига на триггерах с динамическим управлением записью?
6. Объясните работу универсального регистра сдвига.

## **Работа №6. Исследование асинхронных счетчиков**