

---

**GDDAQ**  
发行版本 *beta*

Hongyi Wu(吴鸿毅)

2024 年 09 月 08 日



---

## Contents:

---

<b>1 简介</b>	<b>3</b>
1.1 版本	3
1.2 关于	3
<b>2 程序安装</b>	<b>5</b>
2.1 软件安装步骤	6
2.2 LINUX 系统中每个模块使用注册	7
<b>3 固件</b>	<b>9</b>
3.1 最新固件	9
3.2 固件更新	9
<b>4 用户指南</b>	<b>11</b>
<b>5 时间同步和采集</b>	<b>13</b>
5.1 时钟源设置	13
5.2 同步采集	16
5.3 SYNC-CLKIN	16
5.4 SIN-GPIO	17
5.5 SIN-TRGOUT	17
<b>6 图形交互界面</b>	<b>19</b>
6.1 配置文件	19
6.2 登陆界面	20
6.3 主控制界面	22
6.4 网页在线监视	28
<b>7 SCOPE 固件</b>	<b>29</b>
7.1 基本参数配置	30
7.1.1 输入信号	30
7.1.2 触发	32
7.1.3 数据记录	34
7.1.4 scope	35
7.1.5 诊断	37
7.2 逻辑参数配置	39
7.2.1 运行	39
7.2.2 模块前面板	41
7.2.3 反符合	42
7.2.4 ITL 逻辑	43
7.2.5 延迟展宽	44
<b>8 PHA 固件</b>	<b>45</b>

8.1	基本参数配置 . . . . .	46
8.1.1	输入信号 . . . . .	46
8.1.2	触发 . . . . .	48
8.1.3	波形 . . . . .	51
8.1.4	数据记录 . . . . .	54
8.1.5	PHA 参数 . . . . .	56
8.1.6	诊断 . . . . .	60
8.2	逻辑参数配置 . . . . .	62
8.2.1	运行 . . . . .	62
8.2.2	模块前面板 . . . . .	63
8.2.3	反符合 . . . . .	64
8.2.4	ITL 逻辑 . . . . .	65
8.2.5	延迟展宽 . . . . .	66
<b>9</b>	<b>PSD 固件</b>	<b>67</b>
9.1	基本参数配置 . . . . .	68
9.1.1	输入信号 . . . . .	68
9.1.2	触发 . . . . .	70
9.1.3	波形 . . . . .	73
9.1.4	数据记录 . . . . .	75
9.1.5	PSD 时间参数 . . . . .	77
9.1.6	PSD 能量参数 . . . . .	82
9.1.7	诊断 . . . . .	86
9.2	逻辑参数配置 . . . . .	88
9.2.1	运行 . . . . .	88
9.2.2	模块前面板 . . . . .	89
9.2.3	反符合 . . . . .	90
9.2.4	ITL 逻辑 . . . . .	91
9.2.5	延迟展宽 . . . . .	92
<b>10</b>	<b>ZLE 固件</b>	<b>93</b>
10.1	基本参数配置 . . . . .	94
10.1.1	输入信号 . . . . .	94
10.1.2	触发 . . . . .	96
10.1.3	数据记录 . . . . .	97
10.1.4	ZLE 参数 . . . . .	98
10.1.5	诊断 . . . . .	100
10.2	逻辑参数配置 . . . . .	102
10.2.1	运行 . . . . .	102
10.2.2	模块前面板 . . . . .	103
10.2.3	反符合 . . . . .	104
10.2.4	ITL 逻辑 . . . . .	105
10.2.5	延迟展宽 . . . . .	106
<b>11</b>	<b>开放 FPGA</b>	<b>107</b>
<b>12</b>	<b>应用案例</b>	<b>109</b>
<b>13</b>	<b>数据分析</b>	<b>111</b>
<b>14</b>	<b>数据解码</b>	<b>113</b>
<b>15</b>	<b>事件组装</b>	<b>115</b>
<b>16</b>	<b>采购推荐</b>	<b>117</b>
16.1	逻辑模块 . . . . .	119
<b>17</b>	<b>实验调试</b>	<b>121</b>
17.1	获取方案设计 . . . . .	121

Welcome to GDDAQ's guides.

---



# CHAPTER 1

---

## 简介

---



### 1.1 版本

- **GUI Qt:** 目前处于版本快速迭代阶段，欢迎大家下载使用

程序下载请访问: [PKUCAENDAQ](#)

网页版说明书请访问: 简体中文/[English](#)

- 对本获取程序有任何的意见及建议 (功能添加及改进)，欢迎给吴鸿毅 ([wuhongyi@qq.com](mailto:wuhongyi@qq.com) / [wuhongyi@pku.edu.cn](mailto:wuhongyi@pku.edu.cn)) 发邮件。

### 1.2 关于

本说明书仅适用于 CAEN 的第二代数字化采集卡 2745/2740/2730 系列采集卡。通用逻辑的实现需要 2495 可编程逻辑模块。

技术指导:

- Zhihuan Li 李智焕

软件主要开发者:

- 2021 - now

– Hongyi Wu 吴鸿毅 ([wuhongyi@qq.com](mailto:wuhongyi@qq.com) / [wuhongyi@pku.edu.cn](mailto:wuhongyi@pku.edu.cn))



# CHAPTER 2

---

## 程序安装

---

本程序安装要求依赖 boost、OpenSSL、Qt5、ROOT6 等第三方库。以下版本经过测试。

- **OS**

- Ubuntu 20.04/22.04/24.04
- Fedora 40
- Rocky 9

- **boost >= 1.67**

- 1.71.0
- 1.74.0
- 1.75.0
- 1.83.0

- **OpenSSL**

- 1.1.1
- 3.0.2
- 3.0.7
- 3.0.13
- 3.2.2

- **Qt 5**

- 5.12.8
- 5.15.3
- 5.15.9
- 5.15.13
- 5.15.17

- **ROOT 6**

- 6.24.08 some bug

- 6.26.16
- 6.30.06 some bug
- 6.32.04 some bug

本程序测试过的系统包含 Ubuntu20.04/22.04/24.04、Fedora40、Rocky9。支持各种 LINUX 操作系统编译。如果您的操作系统编译不通过请联系吴鸿毅。

```
# Ubuntu20.04 依赖安装
sudo apt -y install libboost-dev libboost-all-dev libssl-dev openssl qt5-default_
↳qtcreator libqt5charts5-dev
# Ubuntu22.04 依赖安装
sudo apt -y install libboost-dev libboost-all-dev libssl-dev openssl libqt5charts5-
↳dev
# Ubuntu24.04 依赖安装
sudo apt -y install libboost-dev libboost-all-dev libssl-dev openssl libqt5charts5-
↳dev
# Fedora 40 依赖安装
sudo dnf -y install redhat-lsb-core boost boost-devel openssl openssl-devel qt5-
↳qtcharts qt5-qtcharts-devel qt5-qtbase qt5-qtbase-devel
# Rocky 9 依赖安装
sudo dnf -y install boost boost-devel openssl openssl-devel qt5-qtcharts qt5-
↳qtcharts-devel qt5-qtbase qt5-qtbase-devel
# ROOT 6 推荐 6.26.16
```

## 2.1 软件安装步骤

- 删除个人目录下的老版本 PKUCAENDAQ 文件夹
- 将本程序包解压缩到个人目录中 (\$HOME)
- 编译安装 driver 文件夹内驱动

```
cd driver
tar -zxvf CAENDGTZ-USB-Drv-1.2.tgz
cd CAENDGTZ-USB-Drv-1.2/
sudo ./install.sh

cd ..
tar -zxvf caen_felib-v1.3.1.tar.gz
cd caen_felib-v1.3.1/
./configure --disable-assert
make
sudo make install
sudo ldconfig

cd ..
tar -zxvf caen_dig2-v1.6.1.tar.gz
cd caen_dig2-v1.6.1/
./configure --disable-assert
make
sudo make install
sudo ldconfig
```

- 编译 GUI 软件

```
cd GUI
chmod +x makefile.sh.x
./makefile.sh.x
# 等待编译结束，编译通过之后，文件夹内将生成可执行文件 gddaq
# 检查是否生成可执行文件 gddaq，如有则编译成功。如果没有，请联系吴鸿毅。
```

## 2.2 LINUX 系统中每个模块使用注册

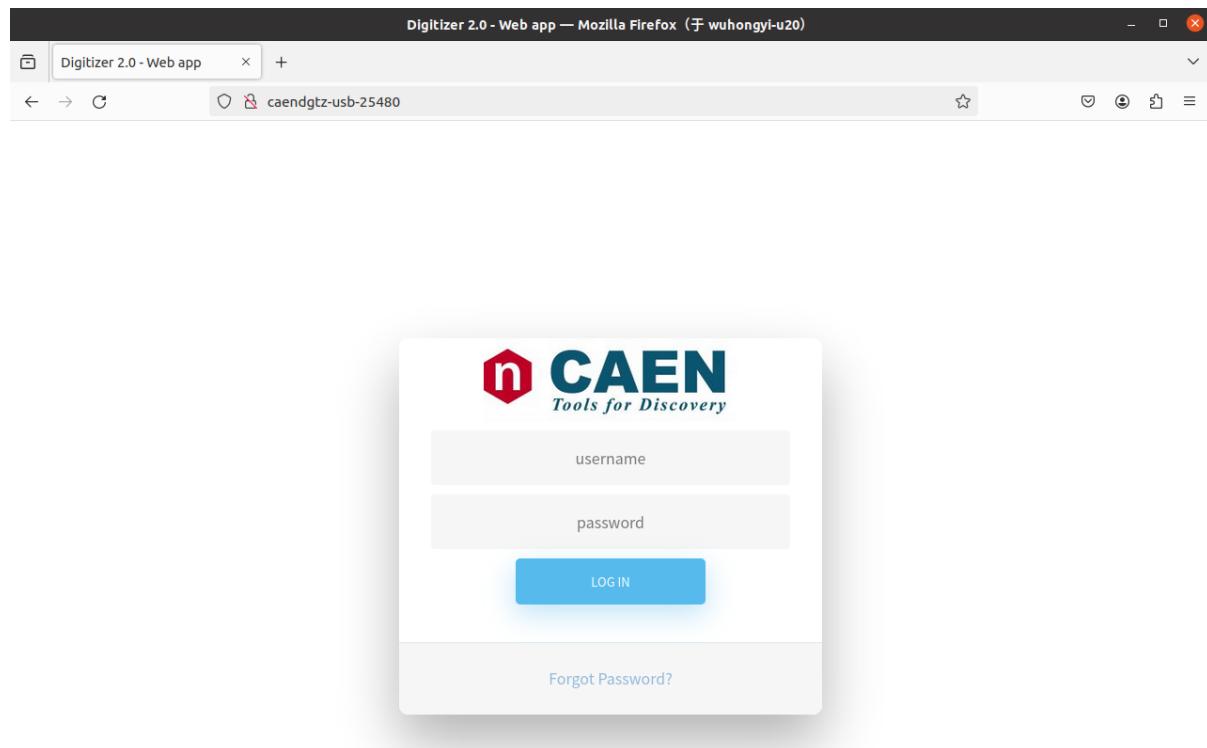
由于某些 Linux 发行版无法自动检索数字化仪 USB 名称，因此第一次使用该模块时，需要先进行注册操作。模块注册需要逐个模块进行。即在进行注册操作时，仅能有一个模块通过 USB 连接到 LINUX 系统。

将 USB3.0 线缆 type-C 端连接到模块，另一端连接到电脑。然后在浏览器中输入 CAENDGTZ-USB-{PIDNUMBER}，这里 {PIDNUMBER} 替换为使用的模块的 PID 码，例如：CAENDGTZ-USB-25480。看是否能访问，如果不能访问，说明还未对该模块进行驱动注册。

在 USB 驱动安装包内，例如 CAENDGTZ-USB-Drv-1.2 里面，有驱动注册脚本文件 regPID.sh，通过以下命令运行。执行之后会看到注册成功的提示。

```
sudo ./regPID.sh
```

之后，再通过网页访问 CAENDGTZ-USB-{PIDNUMBER}，即可看到以下登陆页面，默认用户名、密码均为 admin。



登陆之后界面如下所示，左侧菜单栏中，可以进行网络设置。如果想通过网线进行数据获取，则通过该页面进行 IP 设置。根据实验室网络情况，选择 DHCP 自动分配 IP 或者 Manual 手动配置 IP。进行 IP 设置之后，在浏览器中输入模块的 IP，则也可以访问该设置页面。

The screenshot shows the Digitizer 2.0 Home page in Mozilla Firefox. The title bar reads "Digitizer 2.0 - Home — Mozilla Firefox (于 wuhongyi-u20)". The main content area is divided into three sections: "Errors flags", "Board information", and "Hardware monitor".

**Errors flags:**

- Power Status (Green)
- Board Init (Green)
- SI5341 PLL Lock (Green)
- SI5395 PLL Lock (Green)
- LMK04832 PLL Lock (Green)
- JESD204B Lock (Green)
- DDR4 PL Bank0 Calibration (Green)
- DDR4 PL Bank1 Calibration (Green)
- DDR4 PS Calibration (Green)
- FPGA Configuration (Green)
- BIC Check (Green)
- ADC Temp (Green)
- Air Outlet Temp (Green)
- FPGA Temp (Green)
- DC/DC Temp (Green)
- Clock In (Green)
- ADC Shutdown (Green)

**Board information:**

- Model name: DT2745B
- Firmware version: 2022092904
- Firmware type: DPP\_PSD
- Bitstream version: 0.1.27
- PID: 25480
- License: Not Licensed
- Trial time left: 02:16
- BIOS: 2.1
- System: 2022090600
- LAN Link up (Green)
- USB Link up (Green)

**Hardware monitor:**

- Temp Sens Air In: 31.2 °C
- Temp Sens Air Out: 44.4 °C
- Temp Sens Core: 69.2 °C
- Temp Sens First ADC: 40.3 °C
- Temp Sens Last ADC: 54.1 °C
- Temp Sens DC/DC: 43.9 °C
- V In Sens DC/DC: 5.039 V
- V Out Sens DC/DC: 0.725 V
- I Out Sens DC/DC: 7.484 A
- Speed Sens Fan 1: 3330 rpm
- Speed Sens Fan 2: 3300 rpm

**Left sidebar (Menu):**

- Dashboard (selected)
- Board ID card
- Network settings
- User management
- Firmware
- Clock settings
- License

**Bottom left sidebar:**

- Mon, 17 Dec 2103  
05:21:34 GMT
- Version 1.1.7  
©2021-2024 CAEN SpA

# CHAPTER 3

---

## 固件

---

### 3.1 最新固件

- 2745
  - V2745-scope-1G-2024051505.cup
  - V2745-dpp-pha-1G-2023112703.cup
  - V2745-dpp-psd-1G-2023091901.cup
  - V2745-dpp-zle-1G-2023091902.cup
- 2740
  - V2740-scope-1G-2024051505.cup
  - V2740-dpp-pha-1G-2023112703.cup
  - V2740-dpp-psd-1G-2023091901.cup
  - V2740-dpp-zle-1G-2023091902.cup
- 2730
  - V2730-scope-1G-2024060704.cup
  - V2730-dpp-psd-1G-short-term-branch-fix-cfd-133650.cup

### 3.2 固件更新

通过 USB (CAENDGTZ-USB-{PIDNUMBER}) 或者 IP 方式访问模块配置页面，在左侧菜单栏有个 Fireware，点击进入该页面，如下：

The screenshot shows the 'Firmware' section of the GDDAQ web interface. On the left is a sidebar with various menu items: Dashboard, Board ID card, Network settings, User management, Time/Date settings, Parameters (BETA), Firmware (selected), Clock settings, and License. Below the sidebar, the date and time are listed as '2024/2/6 GMT+1 14:29:01' and the version as 'Version 1.2.0 ©2021-2024 CAEN SpA'. The main content area is titled 'Firmware' and contains a table of available firmware versions:

Version	Type	Action Buttons
2023112703	ETH IG	Current, Default, More
DPP-PHA		More
2023091902	ETH IG	More
DPP-ZLE		More
2023091901	ETH IG	More
DPP-PSD		More
2023091900	ETH IG	More
Scope		More
2022052302	ETH IG	Factory, More
Factory firmware Scope		More

A green progress bar at the top indicates 'Storage Space Usage: 11%'. A blue button labeled 'Upload new firmware...' is located above the table.

检查该页面的 Scope/PHA/PSD/ZLE 固件版本与获取程序包中，firmware 文件夹内的是否一致，如果不一致，通过“Upload new firmware”上传新固件。网页中每个固件右端均有一个蓝色下三角按钮，通过点击该按钮，可以进行当前使用的固件进行切换，设置开机默认加载的固件等。另外，及时删除老版本的固件。

## CHAPTER 4

---

用户指南

---



# CHAPTER 5

---

## 时间同步和采集

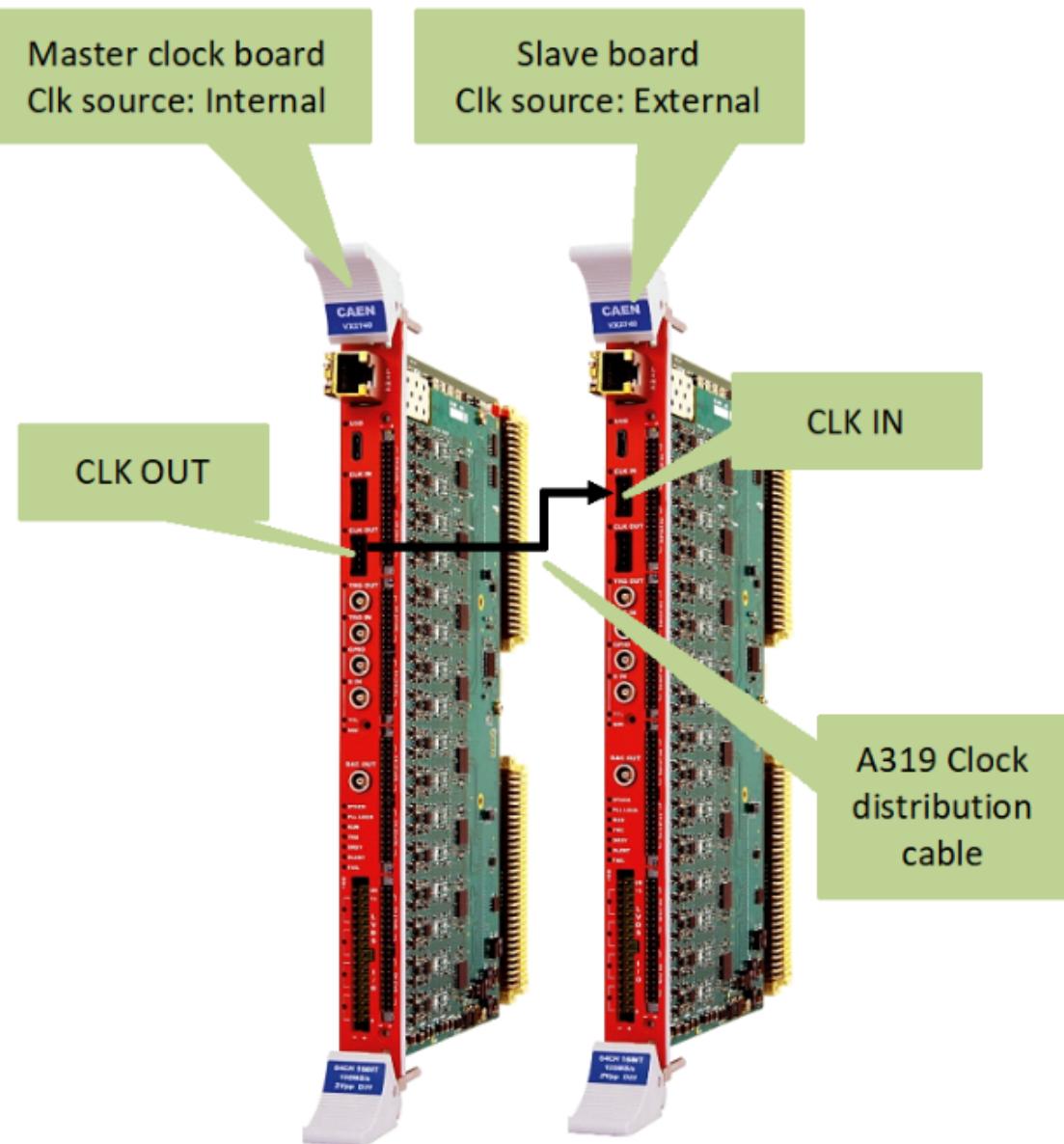
---

在多模块的采集系统中，一个最基本的要求是所有模块同步采集。其要求所有模块共用一个时钟源，然后同时开始和结束数据采集。

### 5.1 时钟源设置

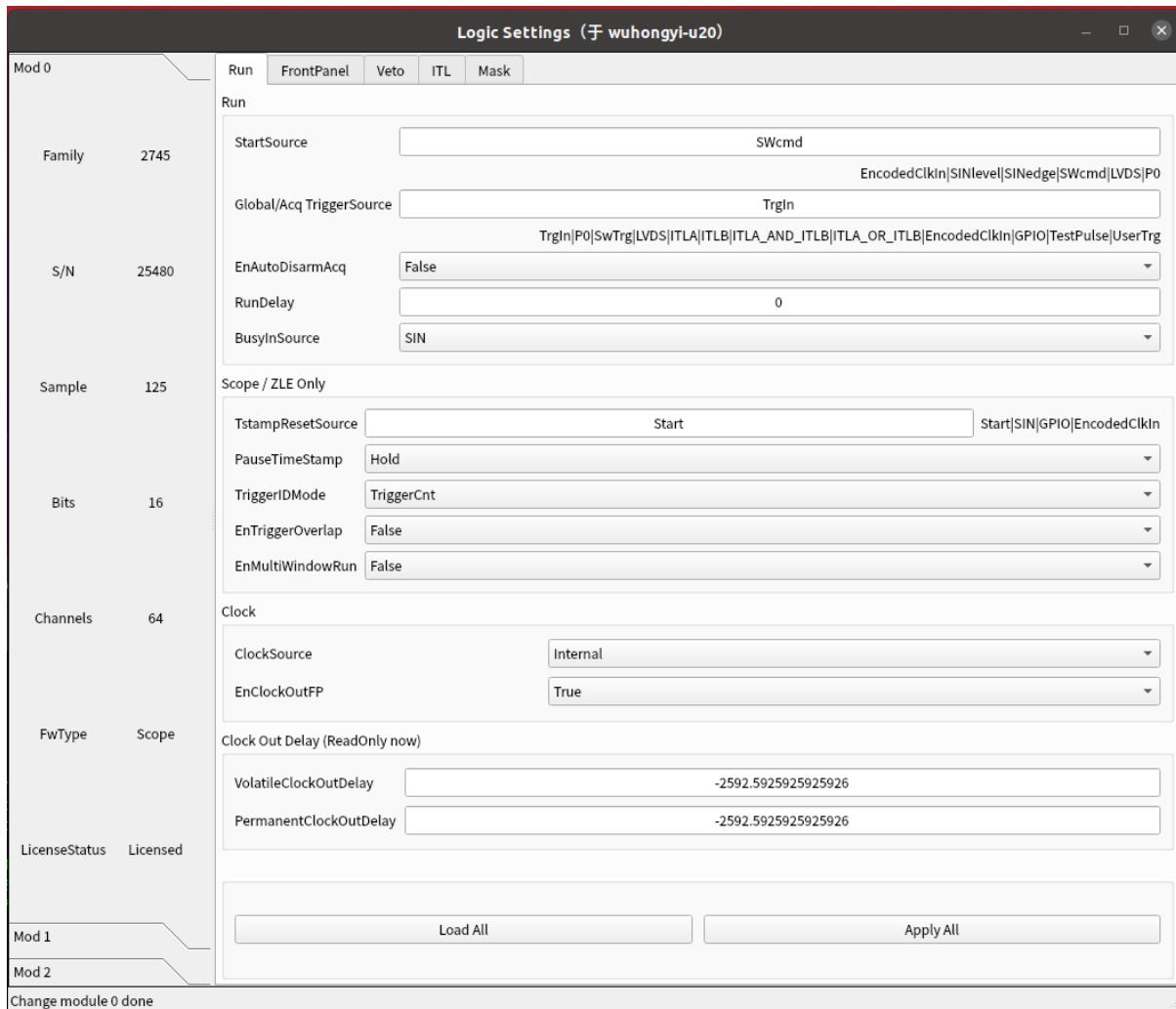
CAEN 的时钟可通过前面板的 A319 线缆串列，也可通过机箱背板来共享时钟（开发中）。

下图为典型的时钟同步配置图，通过 A319，前一个的 CLK OUT 连接到后一个的 CLK IN。

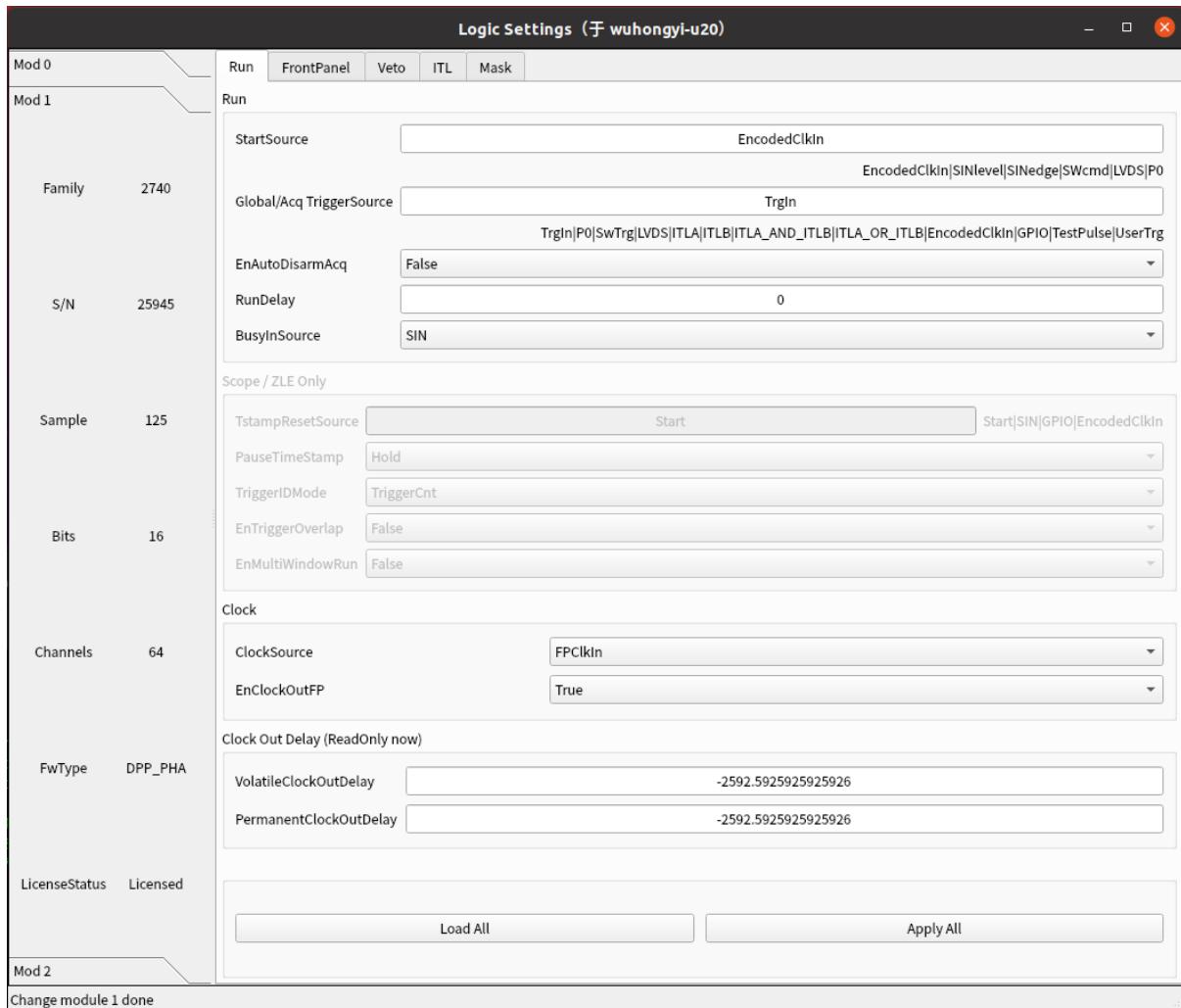


链接时钟同步线缆之后，还需要依次对每个模块设置时钟源：

对于主模块，需要设置 ClockSource 为 Internal，设置 EnClockOutFP 为 True，如下图所示：



对于所有的从模块，需要 ClockSource 为 FPclkIn，设置 EnClockOutFP 为 True，如下图所示：



以上设置为将主模块的内部时钟通过前面板输出，从模块依次接收前一个模块通过前面板传输来的时钟信号。

## 5.2 同步采集

对于一个同步的系统，通常主模块设置为用来控制获取的开始、结束，其它从模块也需要进行相应的一些设置。通过前面板来控制获取的开始和结束，常用有以下三种方式：SYNC-CLKIN、SIN-GPIO、SIN-TRGOUT。其中 SYNC-CLKIN 是最广泛被使用的，因其包含在前面板的时钟同步线内，而另外两种则需要占用前面板上的 SIN/GPIO/TRGOUT LEMO 端口，常用于与其它获取系统的同步采集。

## 5.3 SYNC-CLKIN

主模块需要将 StartSource 设置为 SWcmd，将 SyncOutMode 设置为 Run。所有从模块将 StartSource 设置为 EncodedClkIn，将 SyncOutMode 设置为 SyncIn。

## 5.4 SIN-GPIO

主模块需要将 StartSource 设置为 SWcmd，将 GPIOMode 设置为 Run。所有从模块将 StartSource 设置为 SINlevel，将 GPIOMode 设置为 SIN。

## 5.5 SIN-TRGOUT

将主模块的 TRGOUT 连接到第一个从模块的 SIN，依次类推。

主模块需要将 StartSource 设置为 SWcmd，将 TrgOutMode 设置为 Run。所有从模块将 StartSource 设置为 SINlevel，将 TrgOutMode 设置为 Run。



# CHAPTER 6

## 图形交互界面

### 6.1 配置文件

配置文件放置于 **pars** 文件夹内，  
json 格式文件，主要包含模块的 PID 或者 IP 等信息。

```
{  
  "modules": 3,  
  "connecttype": "eth",  
  "pid": [25480, 25945, 24946],  
  "ip": ["162.105.54.162", "162.105.54.187", "162.105.54.90"],  
  
  "par": "setting.json",  
  
  "userpars": "../pars/init.txt"  
}
```

其中，参数 **modules** 为系统使用数据采集卡数量，参数 **connecttype** 为采集卡与获取电脑的连接方式，可填写“usb”或者“eth”。使用 **usb** 读取，单个模块上限为 280 MB/s，使用网络读取，目前使用的 1G 网络，单个模块的上限为 110 MB/s。如果采用 **USB** 方式读取，则参数 **pid** 生效，依次为系统每个模块的 PID。如果采用网络读取，则参数 **ip** 生效，依次为系统每个模块 IPV4 的 IP。

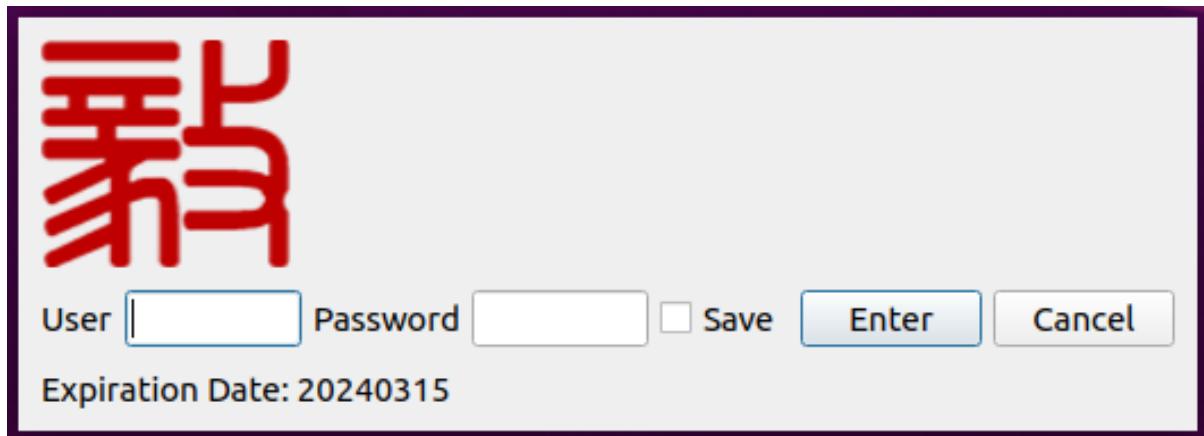
获取参数文件。

进入 GUI 目录，执行以下命令即可弹出主控制界面

```
./gddaq  
# 如果出现以下错误，设置以下环境变量  
# ./gddaq: error while loading shared libraries: libCAEN_FELib.so.0: cannot open  
#       shared object file: No such file or directory  
# export LD_LIBRARY_PATH=/usr/local/lib:$LD_LIBRARY_PATH
```

## 6.2 登陆界面

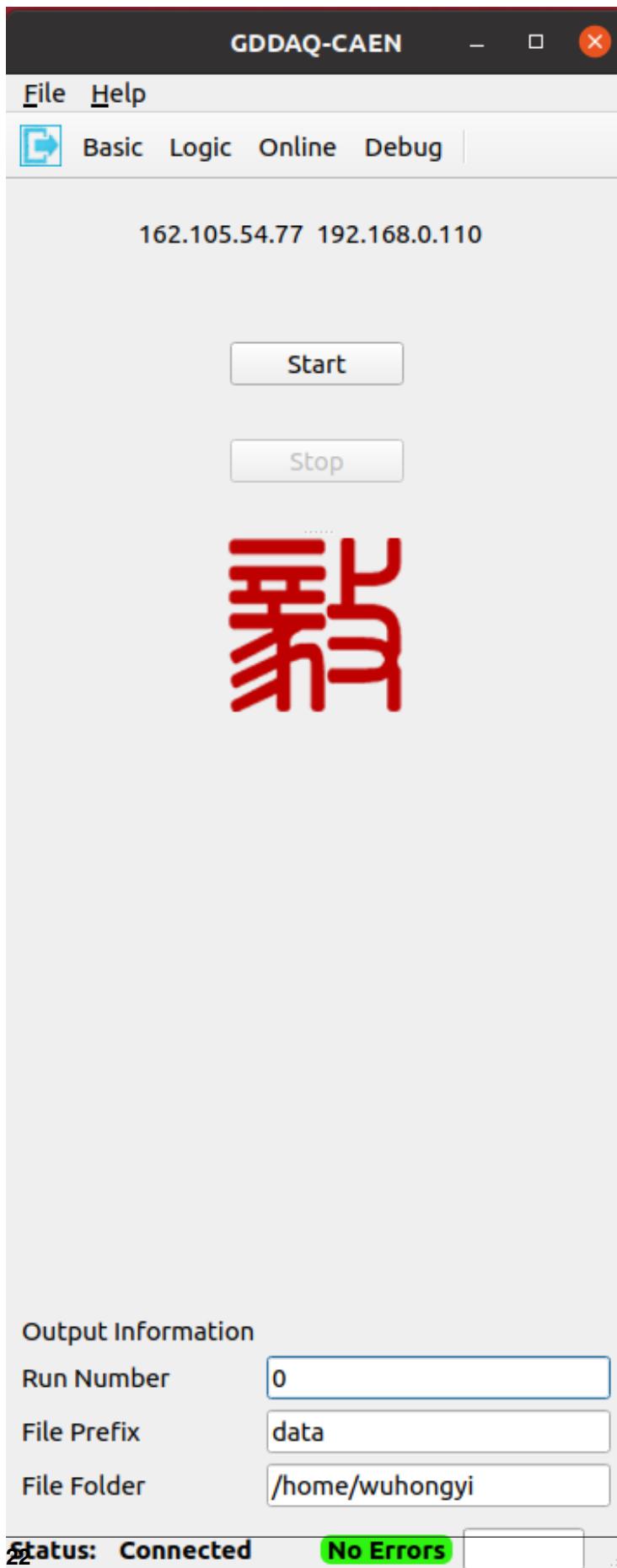
为了实现不同登陆账号不同操作权限。  
降低实验值班人员的操作权限，目前暂未实现。。。



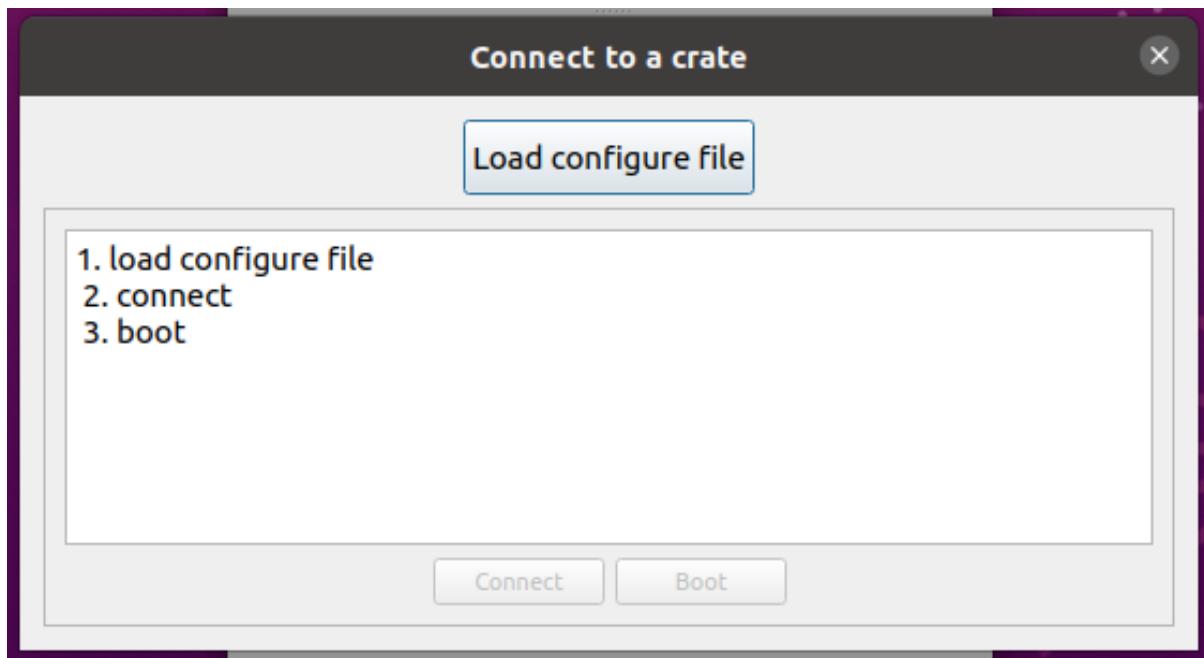
输入用户名 (admin)、密码 (admin) 后，弹出主控制界面。



### 6.3 主控制界面

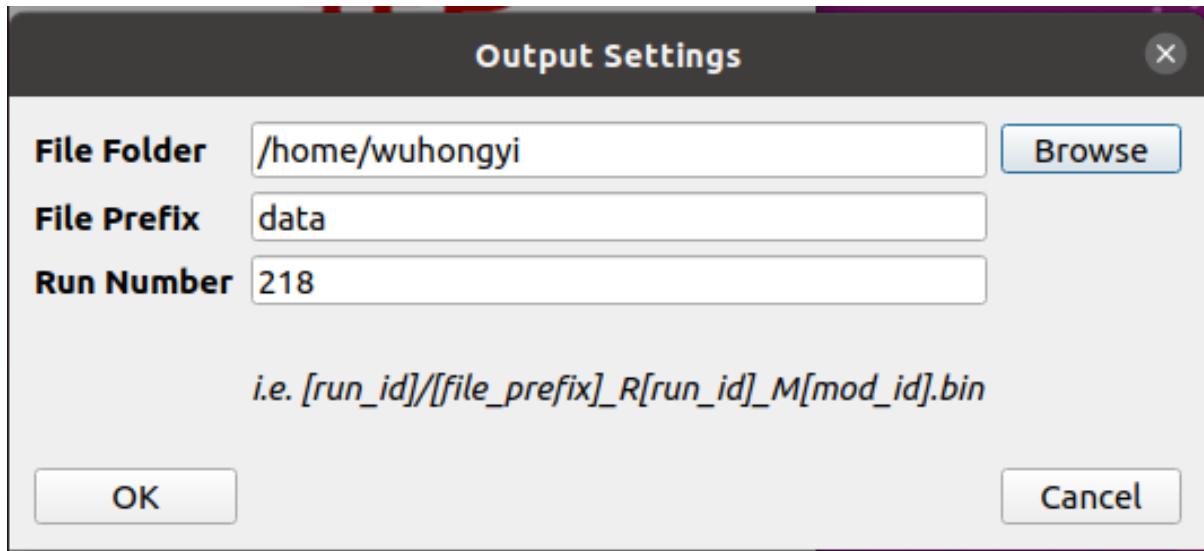


主界面左上角 File 下拉选择 “connect to device”，弹出如下界面中，点击文件选择框，选择提前配置好的参数文件。

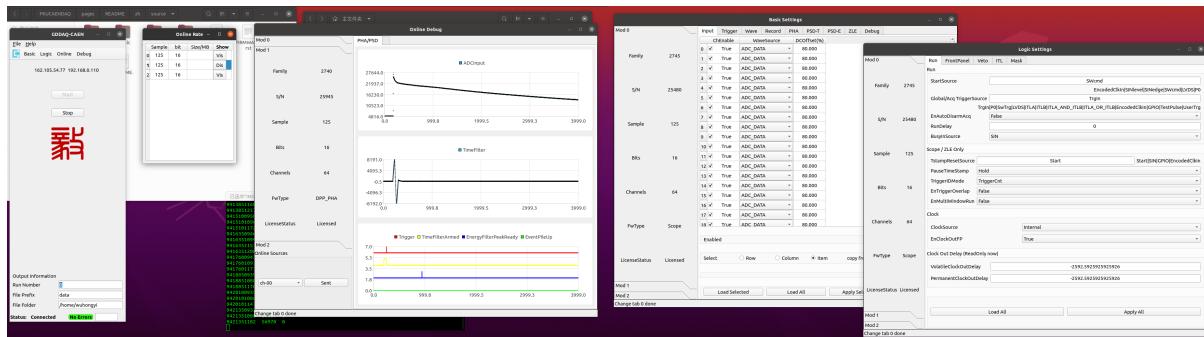


当配置文件加载后，会在对话框中间显示配置主要配置信息，PID 或者 IP 信息。然后点击“connect”，之后再点击“boot”，走完进度条之后，该弹出界面自动关闭。所有配置文件中的模块均完成初始化。

主界面左上角 File 下拉选择 “Output Configure”，弹出如下界面。本界面用于设置输出数据的文件夹，文件名称以及运行编号。按 OK 按钮关闭界面。以上信息只能在本界面进行修改，获取主界面显示该信息。



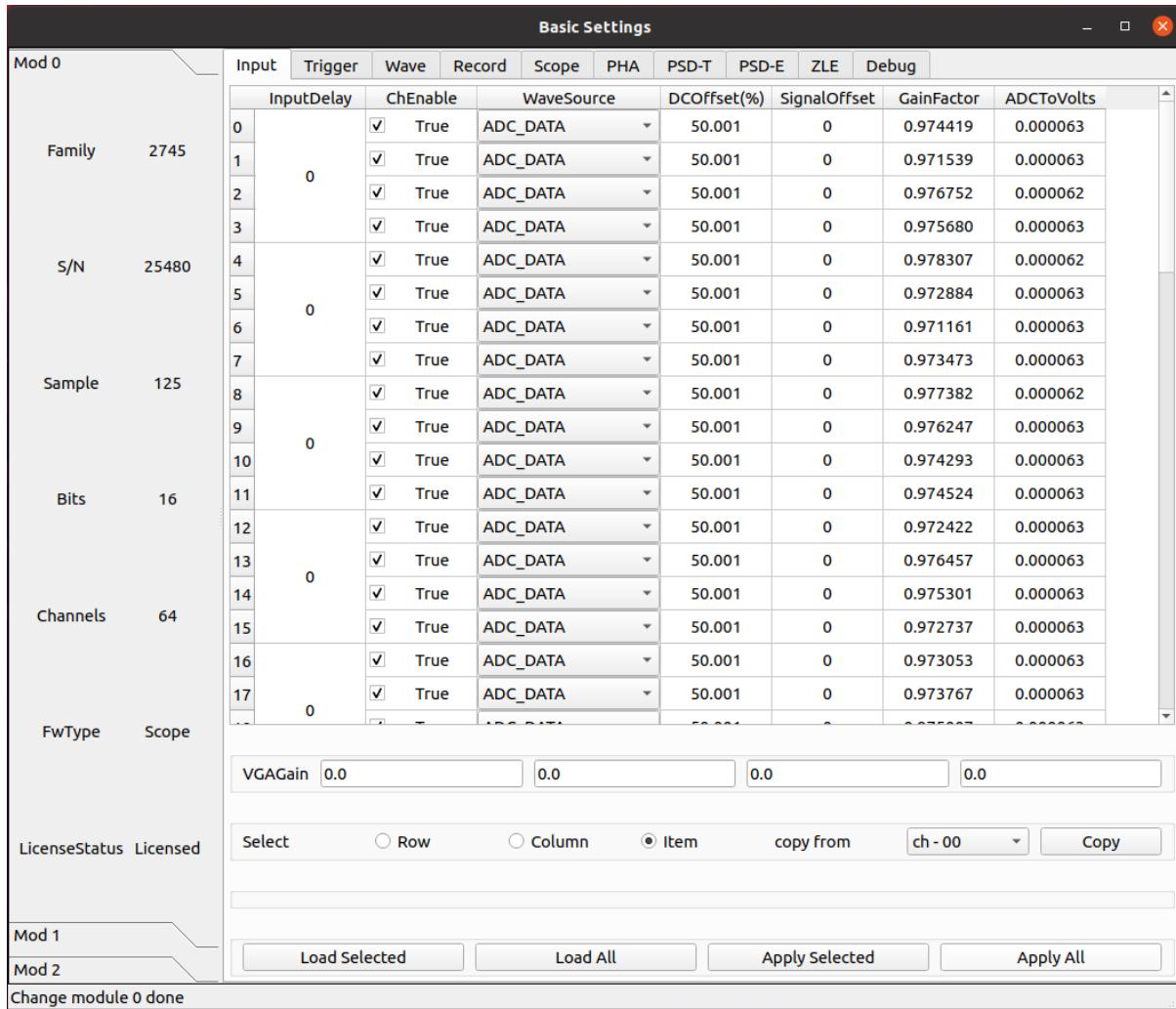
完成系统初始化之后，主控制界面上方的 Basic、Logic、Online、Debug 四个按钮将会浮起，积极即可弹出相应的子界面，再点击即可隐藏。



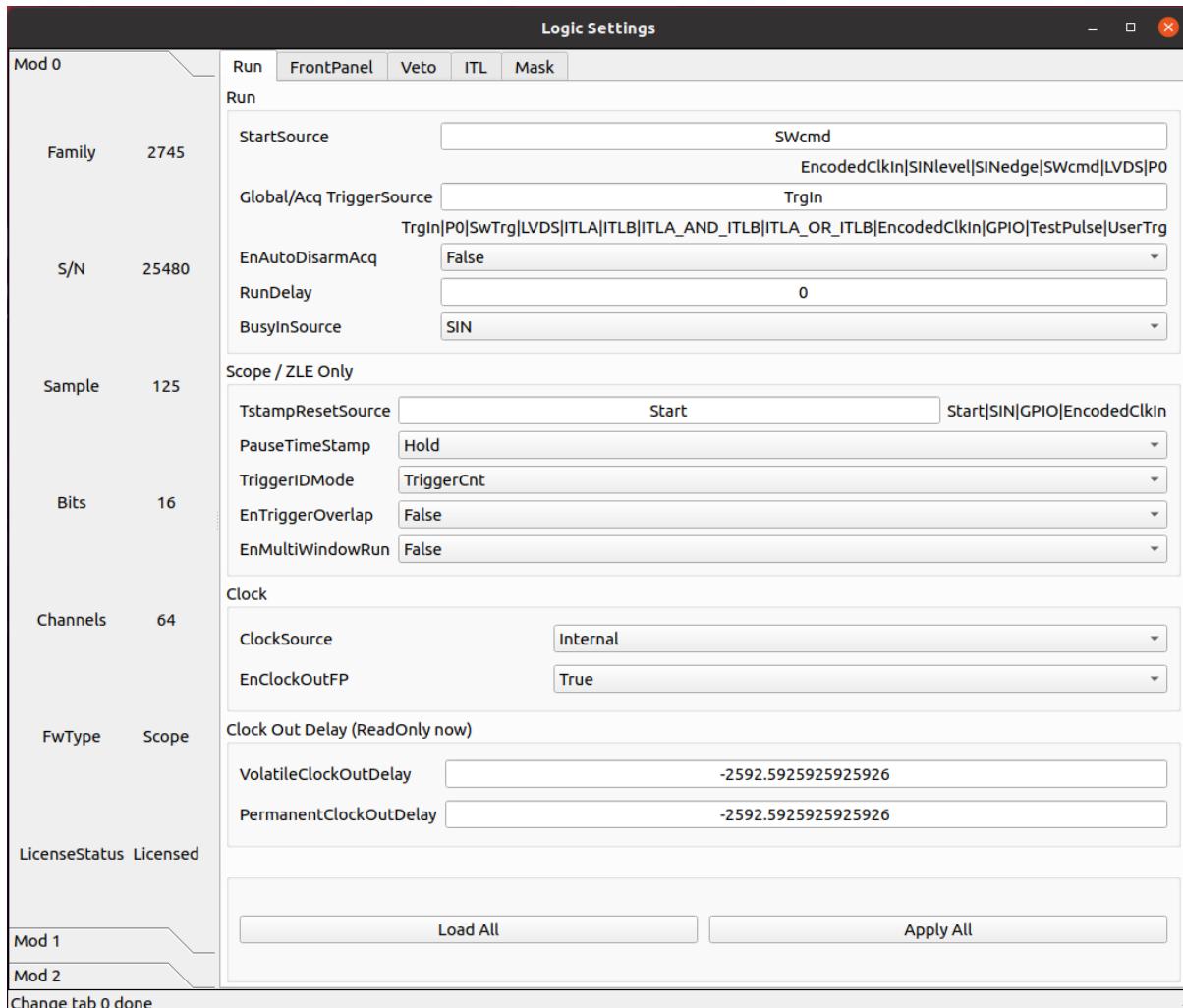
在弹出的 Basic、Logic、Debug 子界面，当系统为多个模块时通过点击左侧的“Mod 0”、“Mod 1”、“Mod 2”等切换标签进行采集模块的切换，切换时会自动读取右边页面中的信息。每个子界面上方有多个标签页，点击该标签即可切换到相应参数配置页面。

由于本程序能够自适应不同的固件，在同一个参数设置标签页，不同的固件中会显示不同的可设置参数。

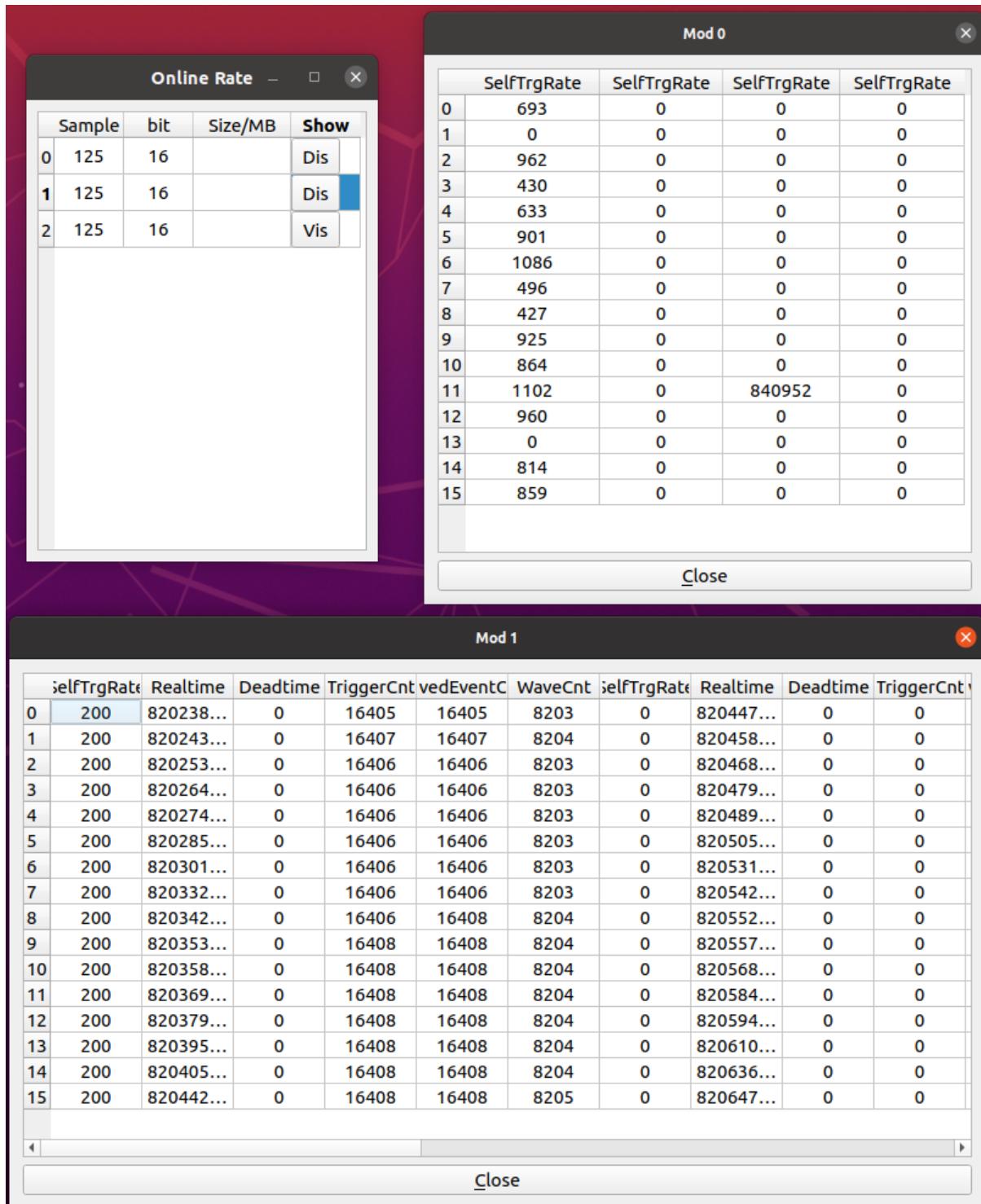
## 基础参数设置



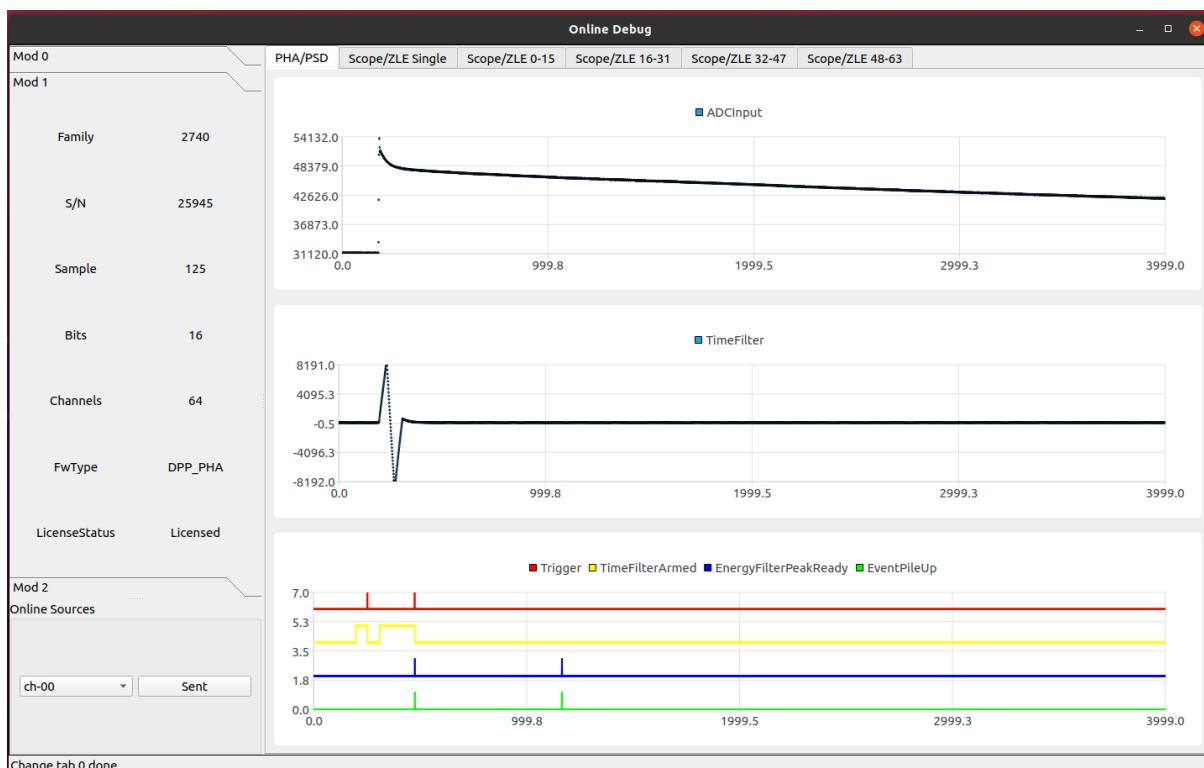
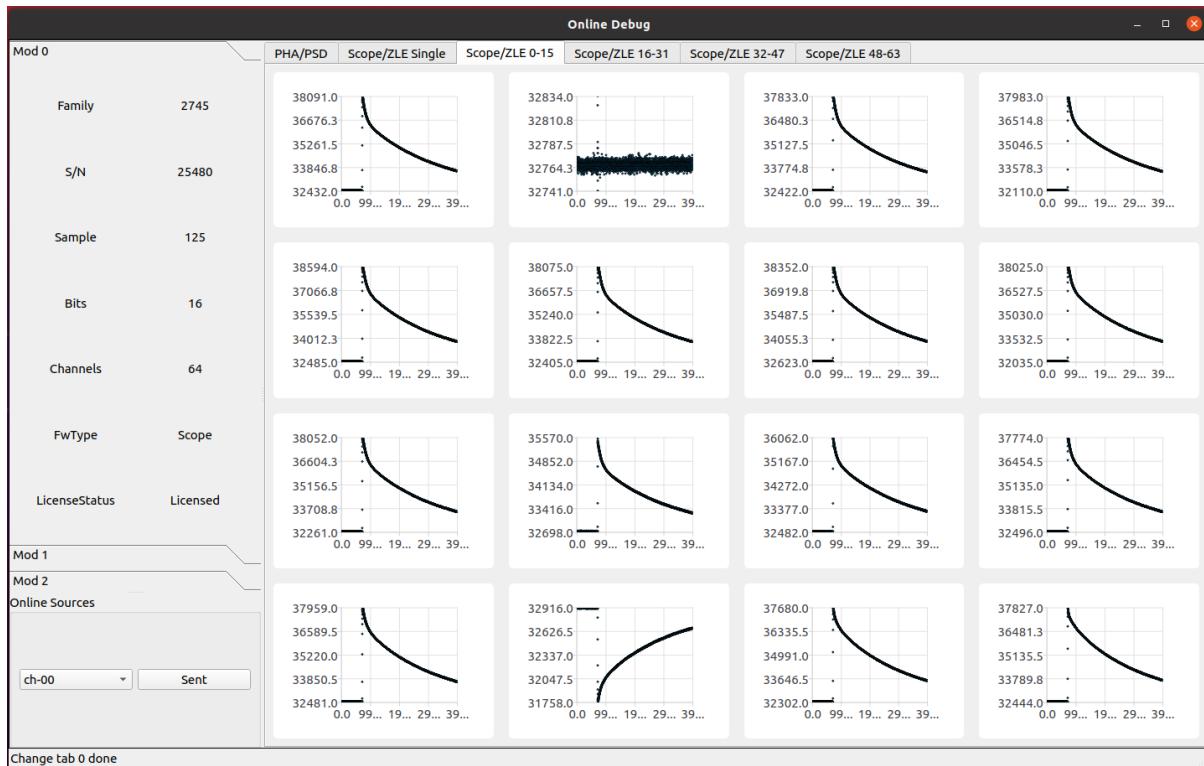
## 逻辑参数设置



实时计数率监视



波形监视与调试



## 6.4 网页在线监视

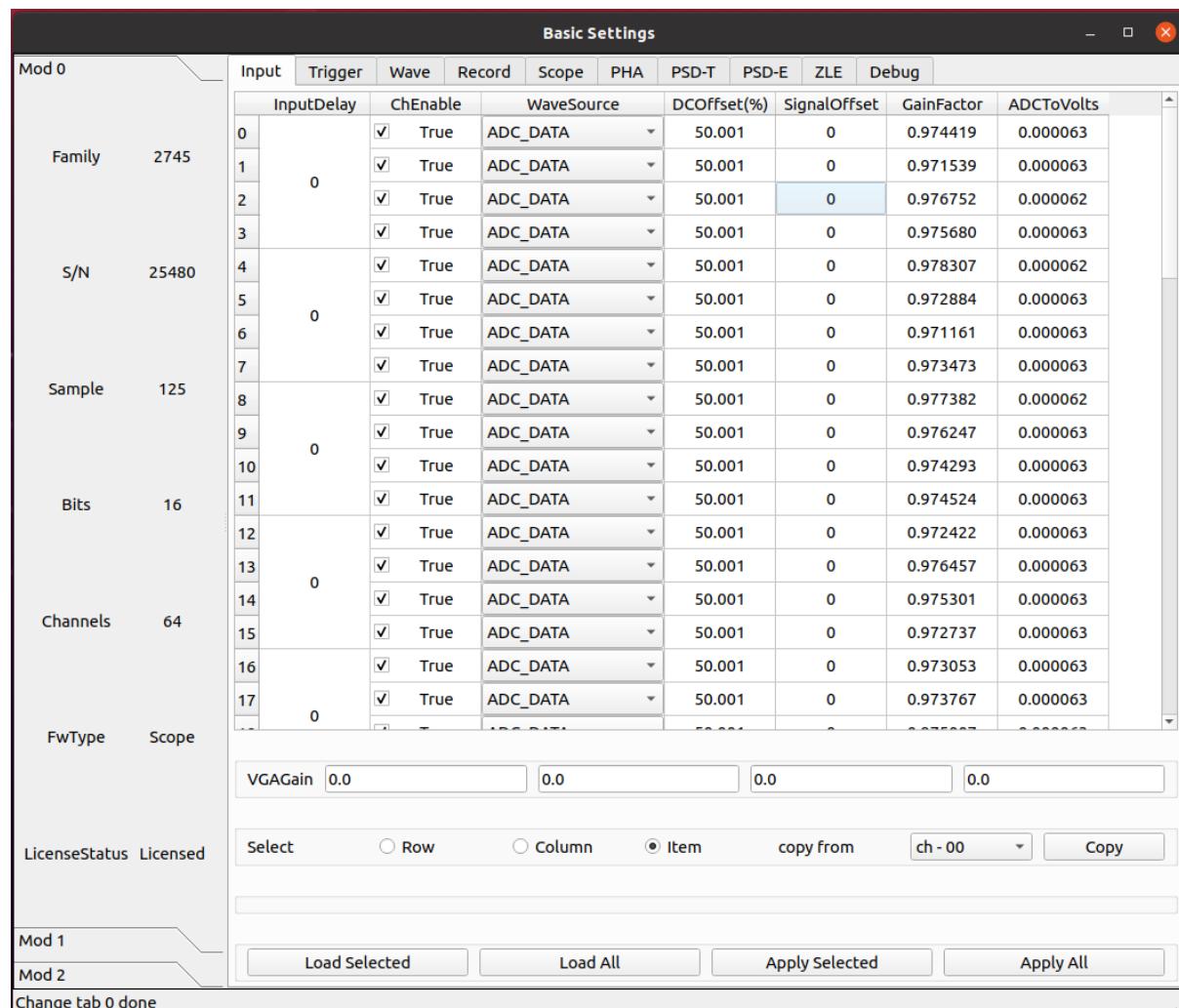
GUI 程序占用端口 8765 进行在线显示，用户可通过 ip:8765 进行访问，本地可使用 127.0.0.1:8765 访问。访问在线监视需要登陆，共设置 admin 和 guest 两个用户。admin 的密码为 admin，该账号获得所有访问权限，可以随时进行谱的清除等操作。guest 没有密码，只能查看在线监视信息。



## SCOPE 固件

## 7.1 基本参数配置

### 7.1.1 输入信号



## 参数 InputDelay

设置输入延迟，单位为采样点。

该值设置每 4 个通道共用一个相同配置。

## 参数 ChEnable

独立设定每个通道是否开启使用。如果通道不启用，它不提供任何数据，同时它的自触发也关闭。

## 参数 WaveSource

在正常模式下，采集的波形来源于模拟输入的 A/D 转换产生的 ADC 采样序列。出于测试目的，可以用内部数据生成器替换 ADC 数据。

- **ADC\_DATA**
  - Data from the ADC (normal operating mode)
- **ADC\_TEST\_TOGGLE**
  - Toggle between 0x5555 and 0xAAAA (test mode)
- **ADC\_TEST\_RAMP**
  - 16-bit ramp pattern (test mode)
- **ADC\_TEST\_SIN**
  - 8-point sine wave test pattern
- **ADC\_TEST\_PRBS**
  - 16-bit PRBS generated by a 23-bit PRBS pattern generator (test mode)
- **Ramp**
  - Data from a ramp generator. It is actually a 16-bit field, where the 6 most significant bits identify the channel and the 10 less significant bits are the samples of a ramp from 0x000 up to 0x3FF (i.e. 0 to 1023). It is so a 10-bit ramp with offset given by “channel\*1024”. For channel 0, it is a counter from 0 to 1023; for channel 1, it is a counter from 1024 to 2047, and so on
- **IPE**
  - Not implemented
- **SquareWave**
  - Internally generated programmable square wave

## 参数 DCOffset

对于每个通道，将恒定的 DC 偏移（由 16 位 DAC 控制）添加到模拟输入，以在 ADC 的动态范围内调整信号基线的位置（即模拟输入的“零伏”）。

由于部件的公差，有必要校准偏移 DAC。校准是通过工厂测试完成的，通常不需要重新校准。然而，可以执行新的校准。校准参数存储在板的闪存中，并在通电时加载。每次写入或读取 DCoffset 参数时，内部逻辑会自动应用这些参数。

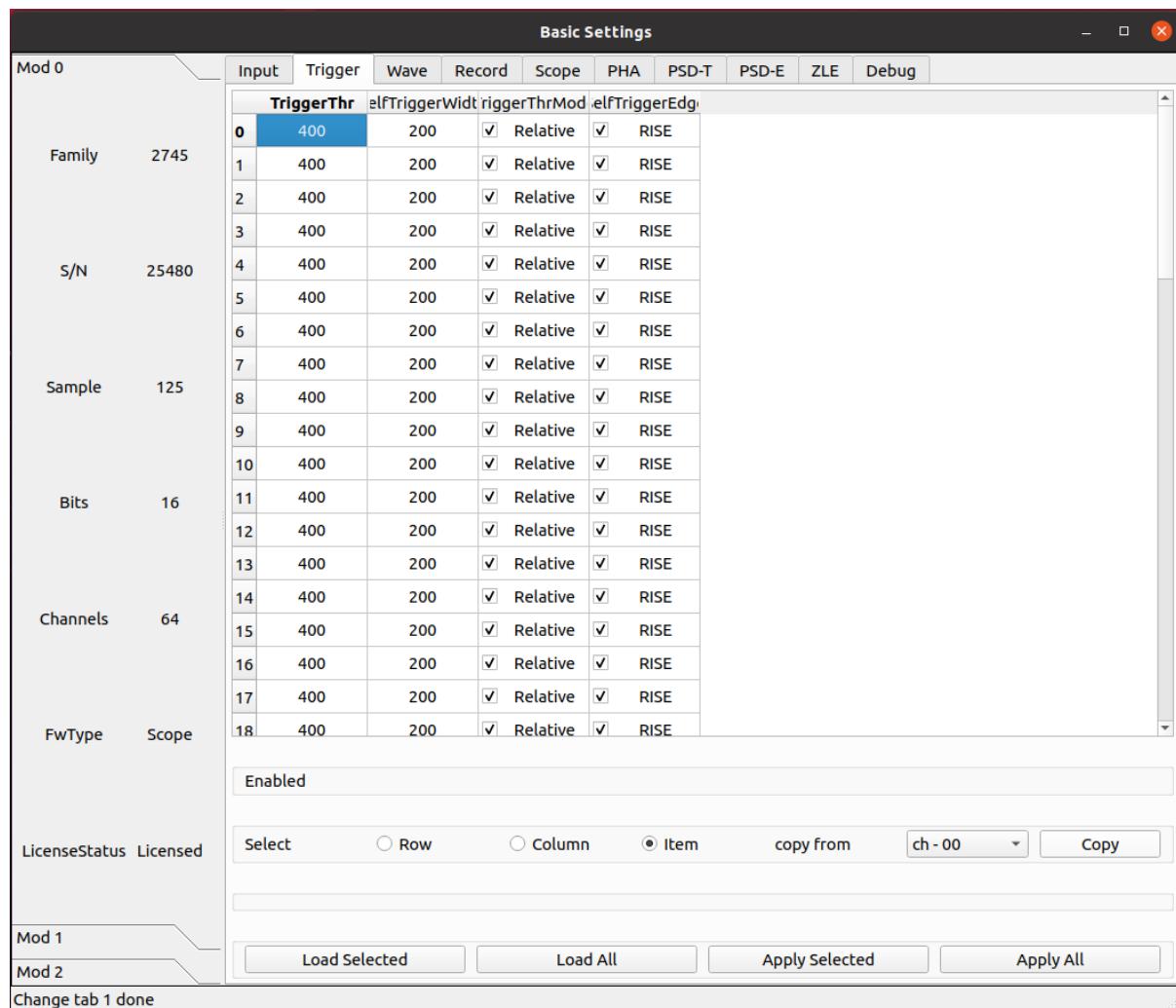
DCoffset 参数为数字，单位为满刻度的百分比。当 DCoffset 为 0 时，输入信号的基线处于 ADC 0。当 DCoffset 为 100 时，输入信号的基线处于 ADC \$2^{NBIT}-1\$。

## 参数 VGAGain

2745 特有。

以 0.5 dB 为步长设置可变增益放大器（VGA）的增益。参数设置每 16 个通道为一组，64 通道分为 4 组。最小可设置为 0，最大为 40。

### 7.1.2 触发



## 参数 TriggerThr

数字化模块的每个通道都有一个数字前沿甄别器，该甄别器具有可编程阈值，能够对输入脉冲进行自触发，并产生一个自触发信号（或过阈值信号），馈送道内部触发逻辑或输出端口。

此参数设置触发阈值。典型地，该值是相对于信号的基线的，并且阈值是 17 位带符号的整数；在这种情况下，当 DCoffset 参数改变时，阈值自动跟随基线。有时，设置阈值的绝对值是更好的策略，该阈值相对于 ADC 道址的范围；在这种情况下，阈值是无符号的整数。

## 参数 SelfTriggerWidth

产生自触发信号的数字前沿甄别器的输出可以在“线性”模式下使用，这意味着它会持续信号保持在阈值以上（或以下）的时间，从而充当“过阈值”信号，或者可以通过可编程门产生器，使其成为固定宽度的脉冲。门产生器是不可再触发的单稳态，当超过阈值时变高，在编程时间后变低。该参数定义了过阈值的固定宽度脉冲。

## 参数 TriggerThrMode

定义触发阈值是相对于基线还是绝对阈值。

- **Relative**

- The threshold is relative to the baseline and automatically follows it when the DCOffset parameter is changed.

- **Absolute**

- The threshold is absolute, referred to the ADC input range. It does not follow the DCOffset setting.

## 参数 SelfTriggerEdge

定义自触发必须在阈值上升或下降时产生。同样地，当信号高于或低于阈值时，过阈值信号将为 TRUE。

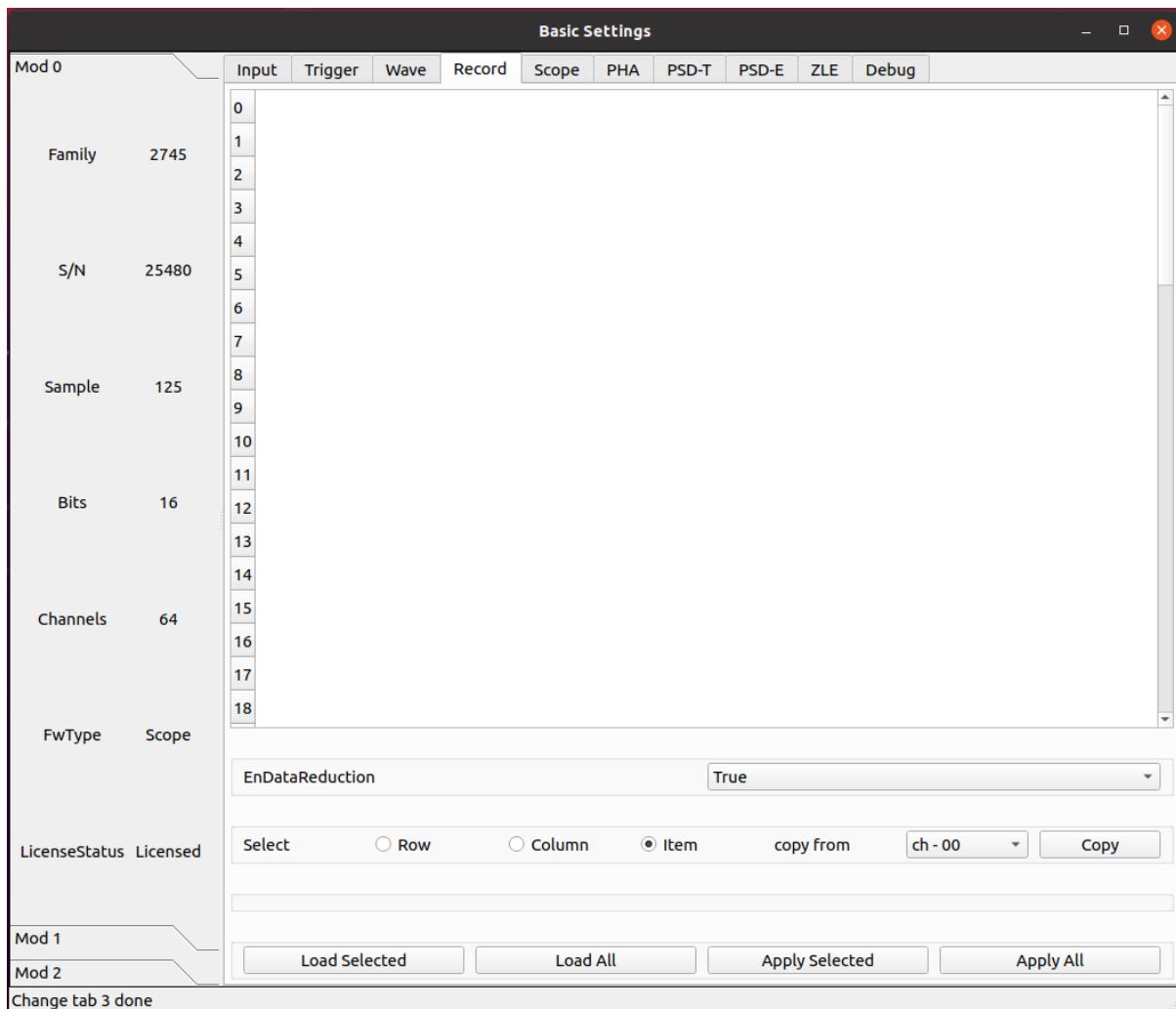
- **RISE**

- The trigger occurs on the rising crossing of the threshold and the OverThr is true when the signal is above the threshold

- **FALL**

- The trigger occurs on the falling crossing of the threshold and the OverThr is true when the signal is below the threshold

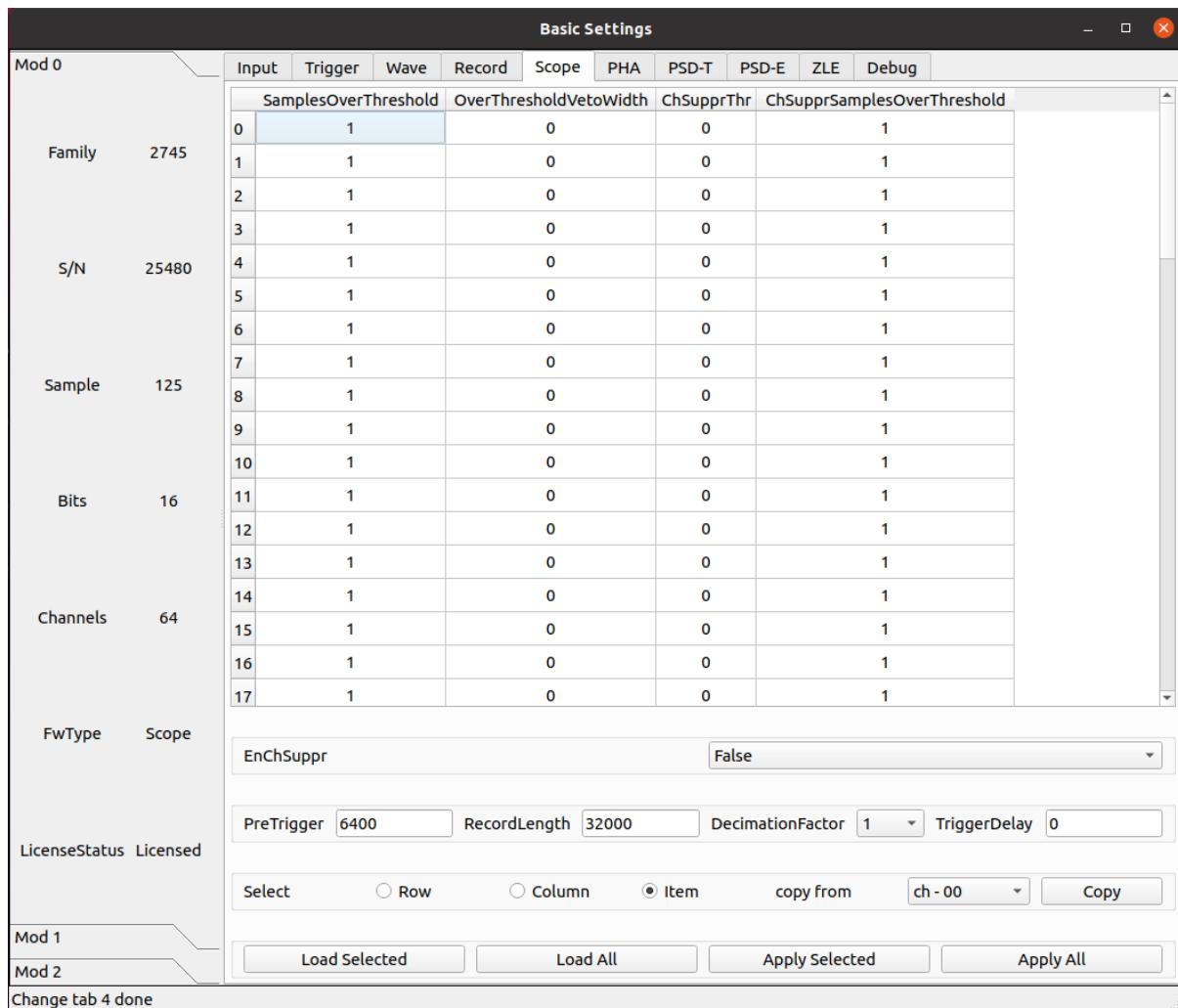
### 7.1.3 数据记录



参数 EnDataReduction

参数 xxx

### 7.1.4 scope



#### 参数 SamplesOverThreshold

超过阈值的样点数。

#### 参数 OverThresholdVetoWidth

Veto width to discard triggers when crossing the threshold in the opposite direction to the trigger one

#### 参数 ChSupprThr

通道零抑制阈值。与 TriggerThr 共享的配置参数 TriggerThrMode 和 SelfTriggerEdge。

单位为整数，ADC 道址。

### 参数 ChSupperSamplesOverThreshold

通道零抑制超过阈值的采样点数。

### 参数 EnChSupper

启用通道零抑制。

- **True**
  - Channel zero-suppression is enabled
- **False**
  - Channel zero-suppression is disabled

### 参数 PreTrigger

触发在波形中的位置之前的时间（即预触发窗口的大小）。波形的实际大小将自动四舍五入到最接近的允许值。通过读回参数可以得到确切的数值。

单位为时间， ns

### 参数 RecordLength

波形大小（即采集窗口的大小）。波形的实际大小将自动四舍五入到最接近的允许值。通过读回参数可以得到确切的数值。记录时间长度取决于降频设置。

单位为时间， ns

### 参数 DecimationFactor

设置应用于模块标称采样频率的抽取因子。如果启用，则参数 RecordLength、PreTrigger 和 TriggerDelay 按照标称采样计算采样点数，实际两个采样点的间隔为抽取因子设置的时间间隔。

- **1**
  - Decimation disabled (default)
- **2**
  - Sampling Frequency / 2
- **4**
  - Sampling Frequency / 4
- **8**
  - Sampling Frequency / 8
- **16**
  - Sampling Frequency / 16
- **32**
  - Sampling Frequency / 32
- **64**
  - Sampling Frequency / 64
- **128**
  - Sampling Frequency / 128

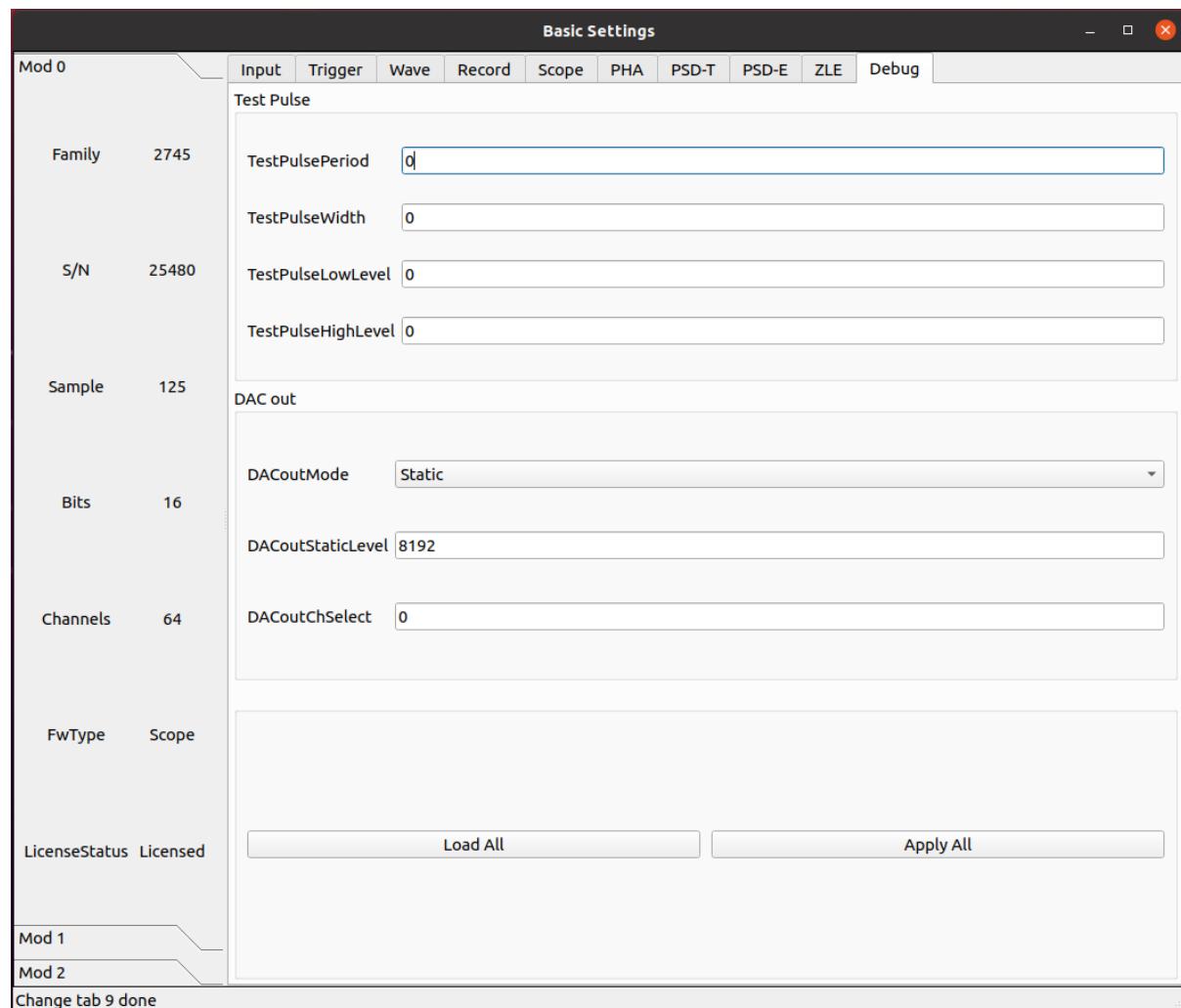
- 256
  - Sampling Frequency / 256
- 512
  - Sampling Frequency / 512
- 1024
  - Sampling Frequency / 1024

### 参数 TriggerDelay

表示添加到采集触发器延迟的时间。此参数可用于获取在触发位置之后开始的窗口。

单位为时间, ns

#### 7.1.5 诊断



**参数 TestPulsePeriod**

测试脉冲是一种可编程方波，可用作内部周期性触发器（主要用于测试目的）或在 TRGOUT 和 GPIO 输出上生成逻辑测试脉冲（TTL 或 NIM）。此参数设置测试脉冲的周期。

单位为时间， ns

**参数 TestPulseWidth**

测试脉冲的宽度（信号保持高电平的时间）。

单位为时间， ns

**参数 TestPulseLowLevel**

以 ADC 道址表示的测试脉冲低电平

**参数 TestPulseHighLevel**

以 ADC 道址表示的测试脉冲高电平

**参数 DACoutMode**

选择要在前面板 DAC LEMO 口输出发送的信号类型。

- **Static**
  - DAC output stays at a fixed level, given by the DACoutStaticLevel parameter
- **Ramp**
  - The DAC output is driven by a 14-bit counter
- **Sin5MHz**
  - The DAC output is a sine wave at 5 MHz with fixed amplitude
- **Square**
  - Square wave with period and width set by TestPulsePeriod and TestPulseWidth and amplitude between TestPulseLowLevel and TestPulseHighLevel.
- **IPE**
  - Not implemented
- **ChInput**
  - The DAC reproduces the input signal received by one input channel, selected by the DACoutChSelect parameter
- **MemOccupancy**
  - Level of the memory occupancy (not yet implemented)
- **ChSum**
  - The DAC reproduces the “analog” sum of all the digitizer inputs (not yet implemented)
- **OverThrSum**
  - The DAC output is proportional to the number of channels that are currently above the threshold

## 参数 DACoutStaticLevel

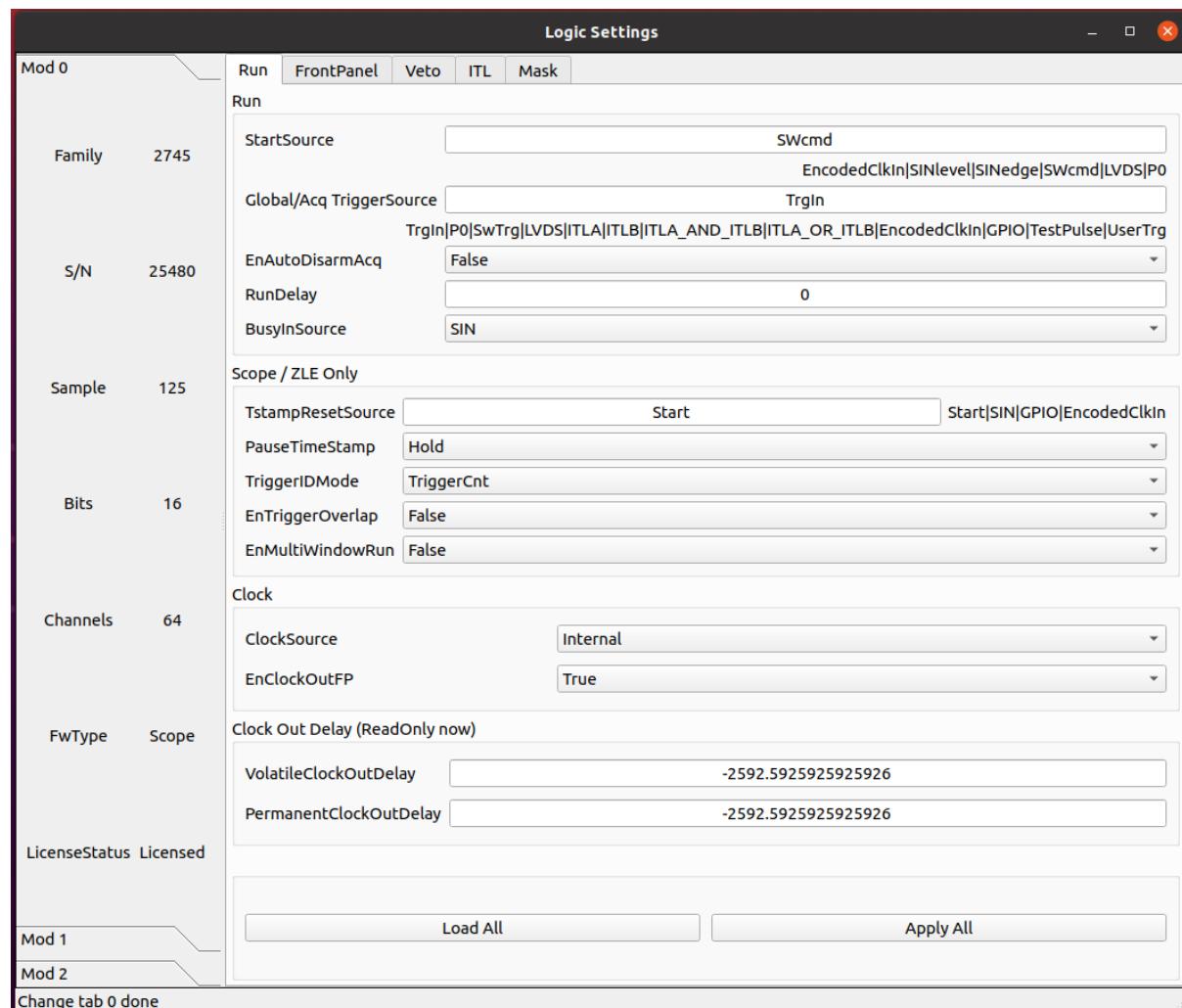
当 DACoutMode = Static 时，此参数设置 DAC 输出的 14 位电平。

## 参数 DACoutChSelect

当 DACoutMode = ChInput 时，DAC 输出由该参数选择的通道的输入信号。

## 7.2 逻辑参数配置

### 7.2.1 运行



参数 StartSource

参数 AcqTriggerSource

参数 EnAutoDisarmAcq

参数 RunDelay

参数 BusyInSource

参数 TstampResetSource

参数 PauseTimeStamp

参数 TriggerIDMode

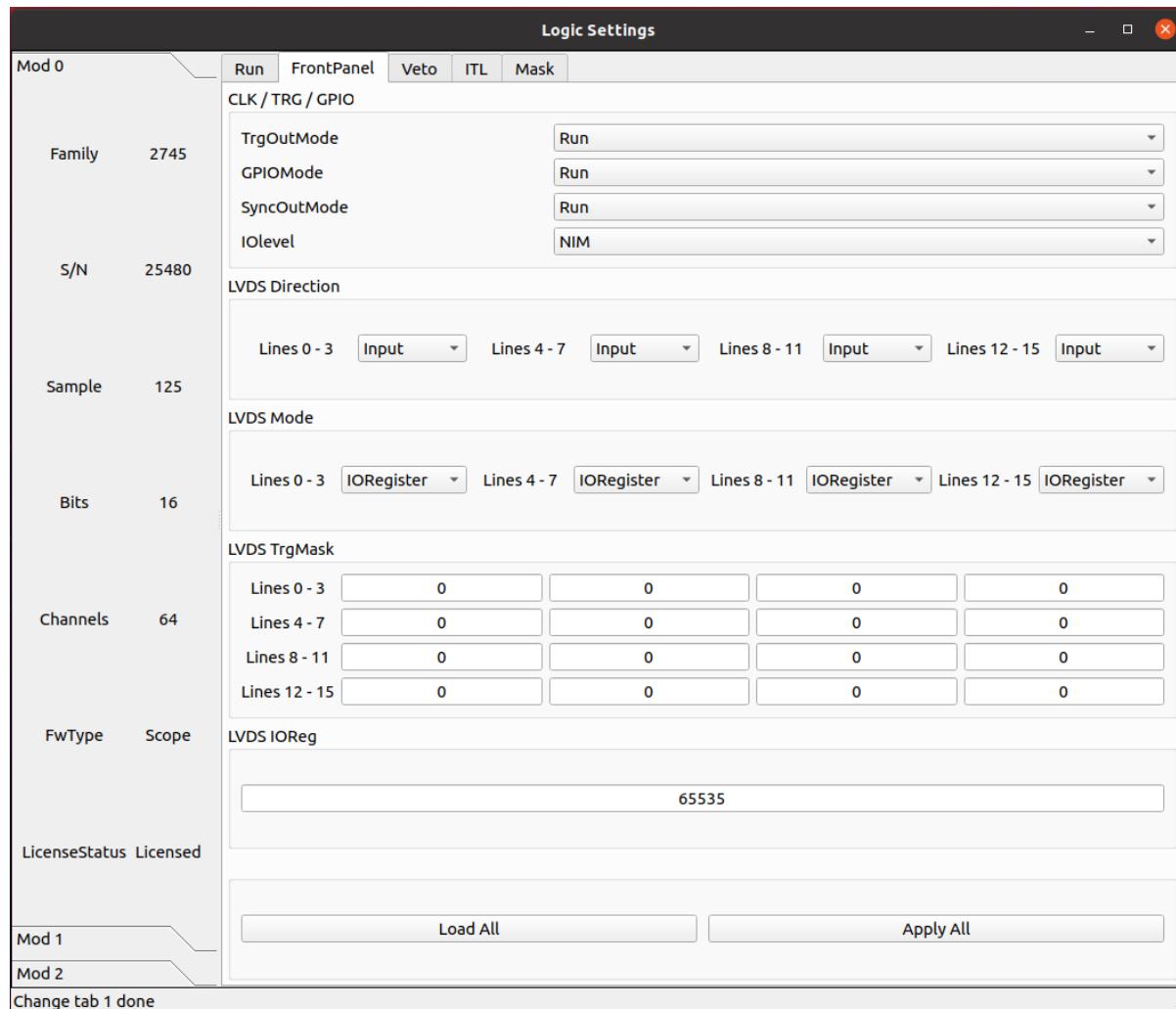
参数 EnTriggerOverlap

参数 EnMultiWindowRun

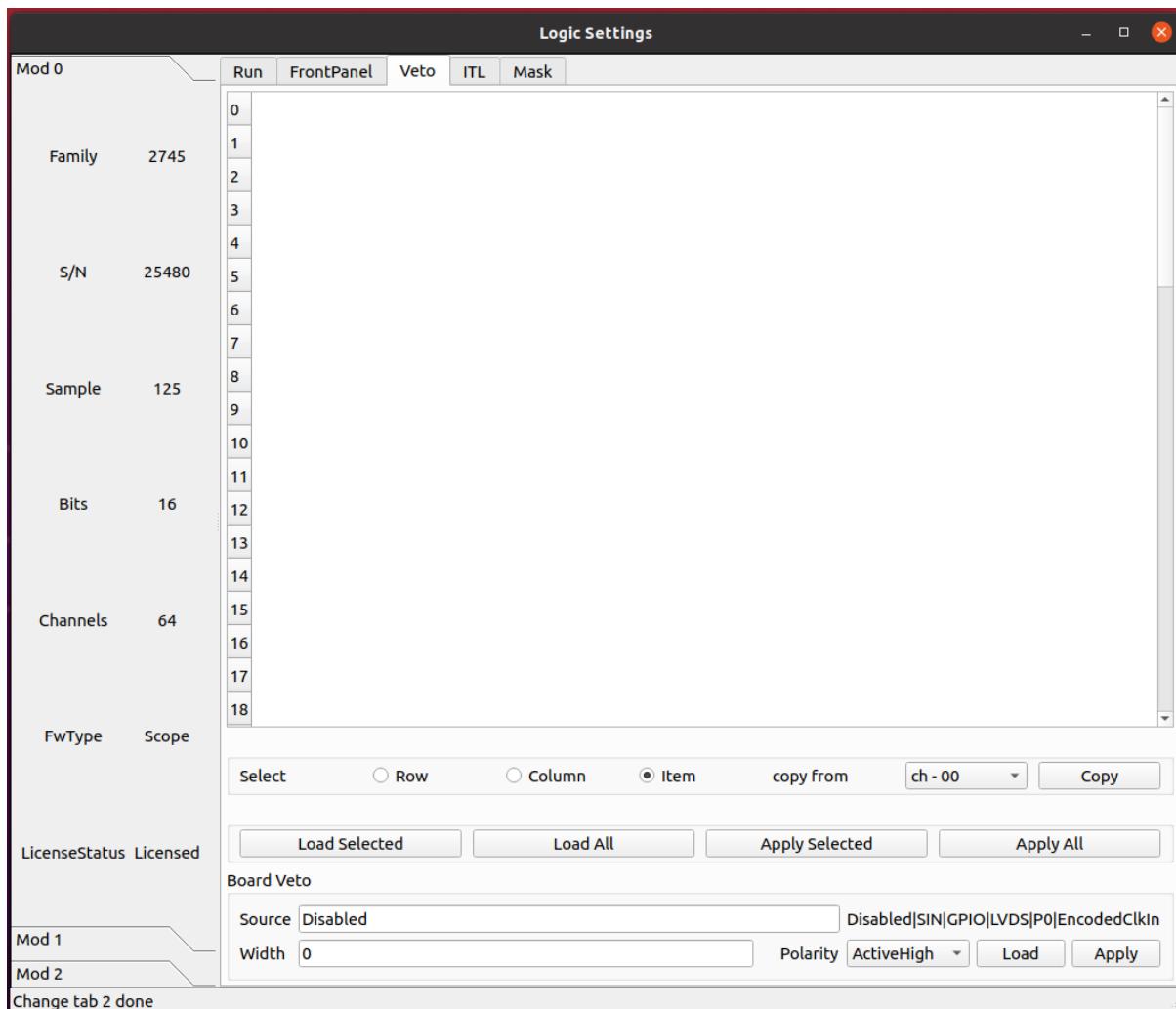
参数 ClockSource

## 参数 EnClockOutFP

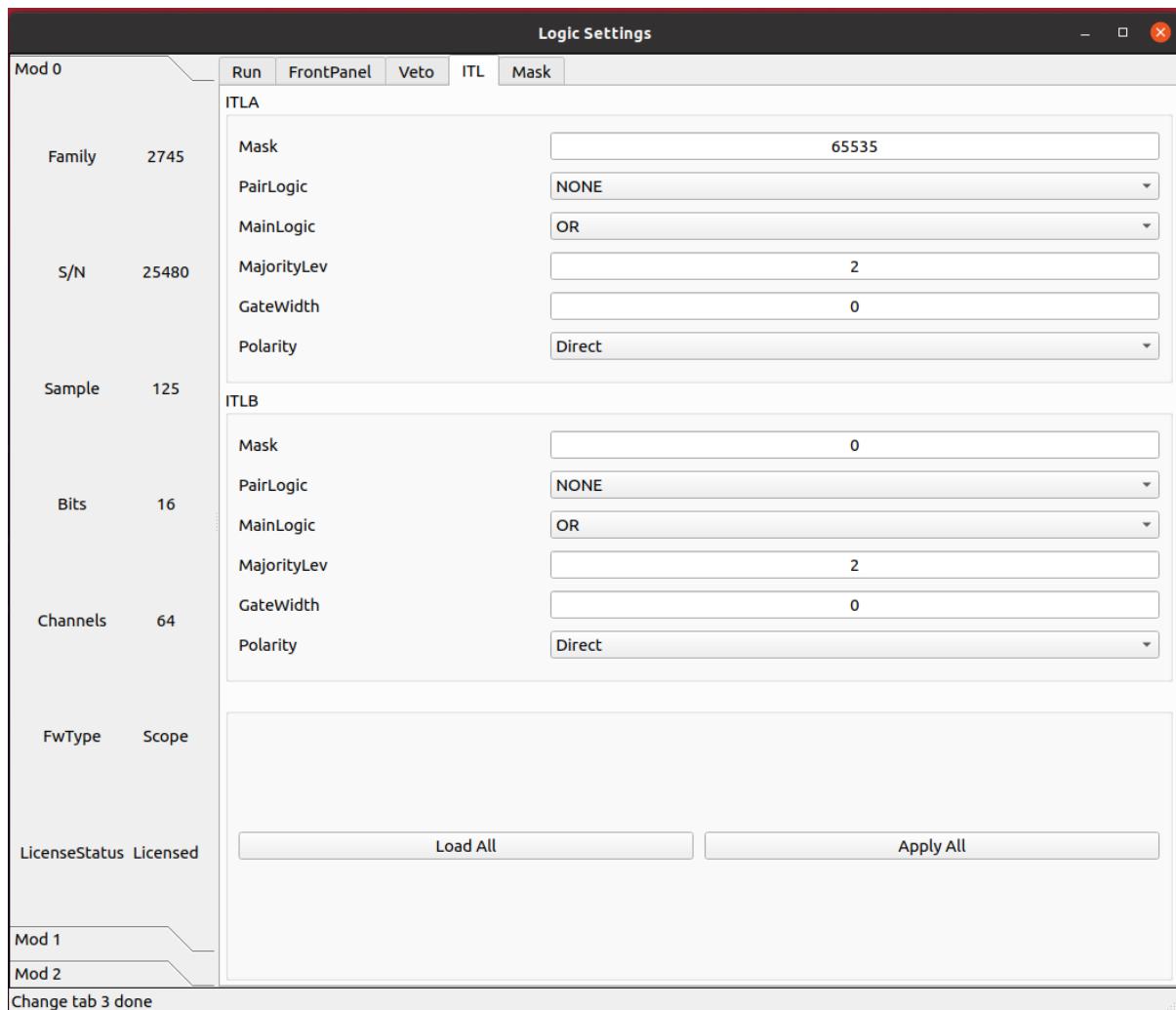
### 7.2.2 模块前面板



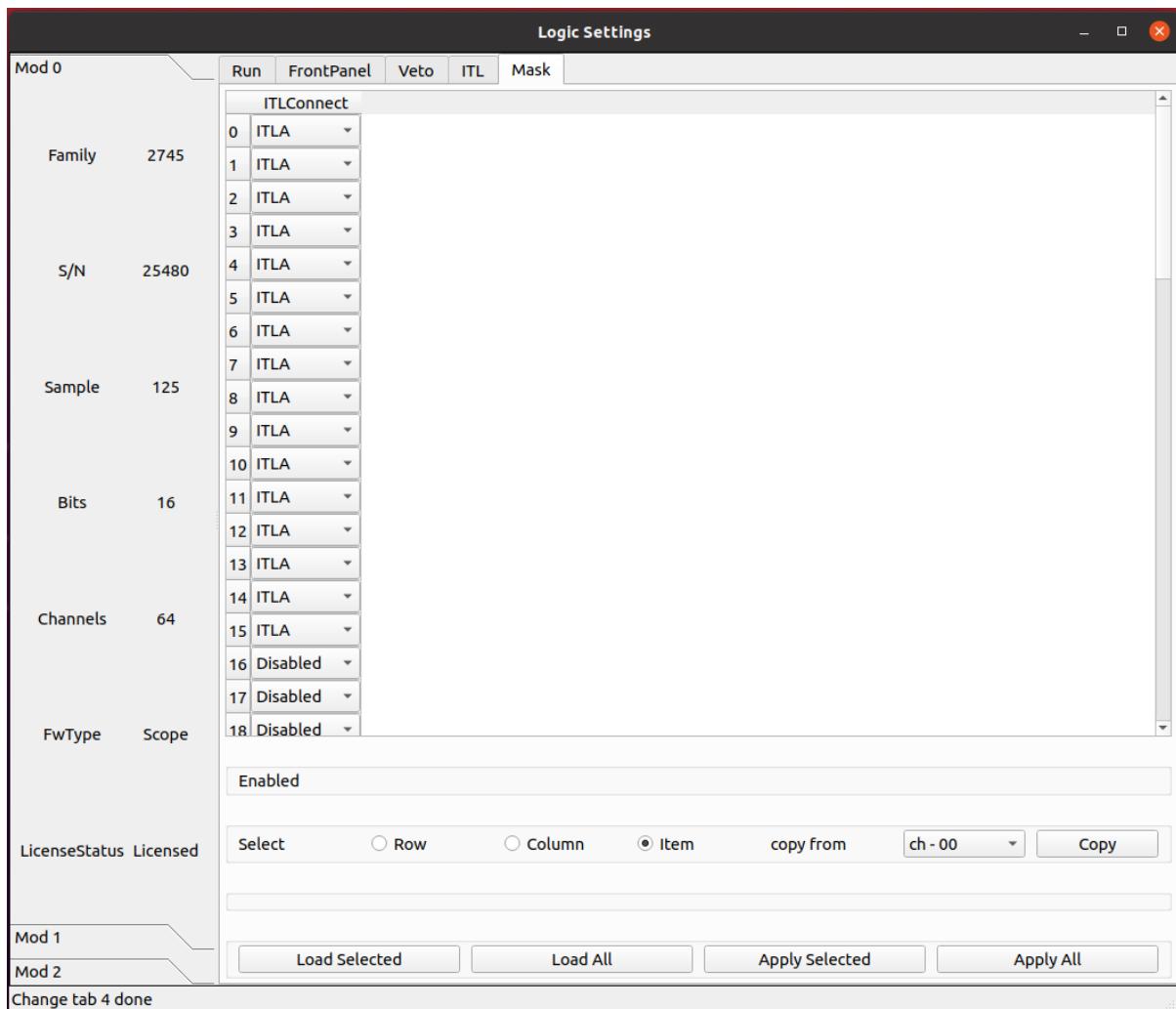
### 7.2.3 反符合



## 7.2.4 ITL 逻辑



## 7.2.5 延迟展宽

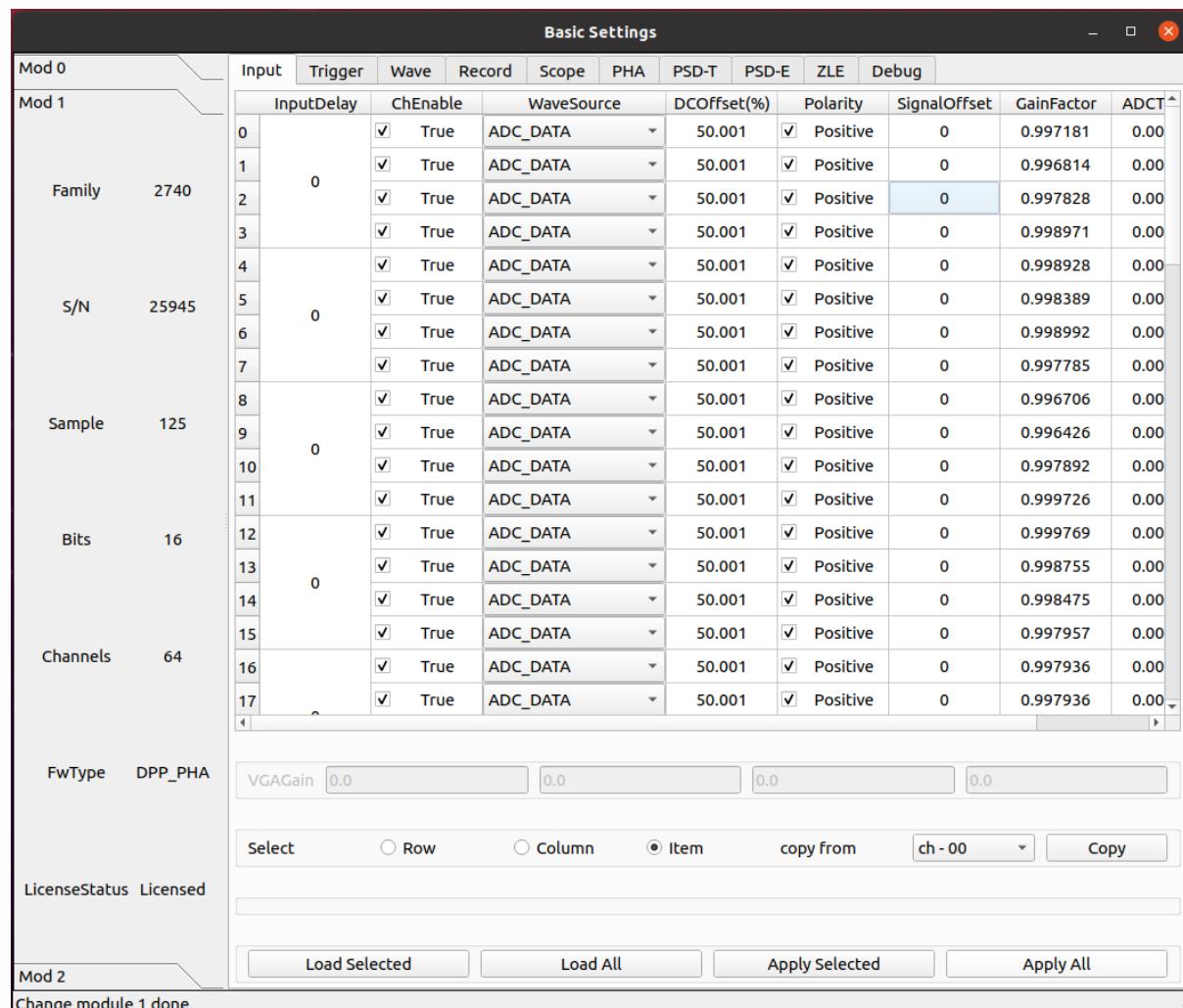




## PHA 固件

## 8.1 基本参数配置

### 8.1.1 输入信号



## 参数 InputDelay

设置输入延迟，单位为采样点。

该值设置每 4 个通道共用一个相同配置。

## 参数 ChEnable

独立设定每个通道是否开启使用。如果通道不启用，它不提供任何数据，同时它的自触发也关闭。

## 参数 WaveSource

在正常模式下，采集的波形来源于模拟输入的 A/D 转换产生的 ADC 采样序列。出于测试目的，可以用内部数据生成器替换 ADC 数据。

- **ADC\_DATA**
  - Data from the ADC (normal operating mode)
- **ADC\_TEST\_TOGGLE**
  - Toggle between 0x5555 and 0xAAAA (test mode)
- **ADC\_TEST\_RAMP**
  - 16-bit ramp pattern (test mode)
- **ADC\_TEST\_SIN**
  - 8-point sine wave test pattern
- **ADC\_TEST\_PRBS**
  - 16-bit PRBS generated by a 23-bit PRBS pattern generator (test mode)
- **Ramp**
  - Data from a ramp generator. It is actually a 16-bit field, where the 6 most significant bits identify the channel and the 10 less significant bits are the samples of a ramp from 0x000 up to 0x3FF (i.e. 0 to 1023). It is so a 10-bit ramp with offset given by “channel\*1024”. For channel 0, it is a counter from 0 to 1023; for channel 1, it is a counter from 1024 to 2047, and so on
- **IPE**
  - Not implemented
- **SquareWave**
  - Internally generated programmable square wave

## 参数 DCOffset

对于每个通道，将恒定的 DC 偏移（由 16 位 DAC 控制）添加到模拟输入，以在 ADC 的动态范围内调整信号基线的位置（即模拟输入的“零伏”）。

由于部件的公差，有必要校准偏移 DAC。校准是通过工厂测试完成的，通常不需要重新校准。然而，可以执行新的校准。校准参数存储在板的闪存中，并在通电时加载。每次写入或读取 DCoffset 参数时，内部逻辑会自动应用这些参数。

DCoffset 参数为数字，单位为满刻度的百分比。当 DCoffset 为 0 时，输入信号的基线处于 ADC 0。当 DCoffset 为 100 时，输入信号的基线处于 ADC \$2^{NBIT}-1\$。

## 参数 Polarity

设置输入脉冲的极性。

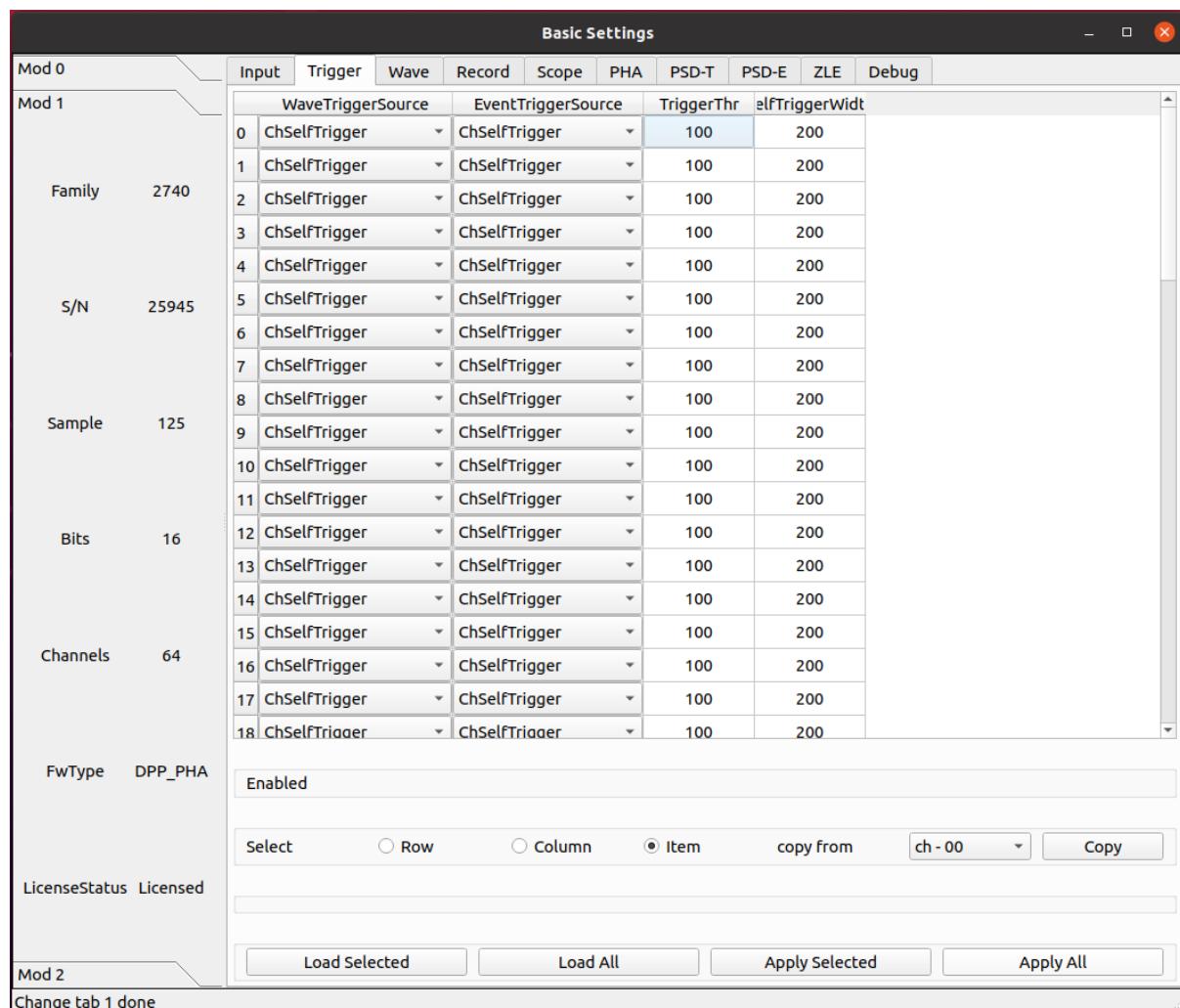
- Positive
  - Positive polarity
- Negative
  - Negative polarity

## 参数 VGAGain

2745 特有。

以 0.5 dB 为步长设置可变增益放大器（VGA）的增益。参数设置每 16 个通道为一组，64 通道分为 4 组。最小可设置为 0，最大为 40。

### 8.1.2 触发



## 参数 WaveTriggerSource

允许设置波形的触发源。

设置此参数意味着获得包括波形和相关时间戳以及能量信息的事件。

- **Disabled**
  - No trigger source enabled for the waveform
- **Ch64Trigger**
  - One (or more) channel self-trigger can generate a trigger for a waveform
- **ChSelfTrigger**
  - Channel self-trigger can generate a trigger for a waveform
- **SwTrg**
  - Software Trigger can generate a trigger for a waveform
- **ADCOverSaturation**
  - ADC Oversaturation can generate a trigger for a waveform
- **ADCUnderSaturation**
  - ADC Undersaturation can generate a trigger for a waveform
- **ExternalInhibit**
  - Inhibit can generate a trigger for a waveform
- **TRGIN**
  - External TRGIN can generate a trigger for a waveform
- **GlobalTriggerSource**
  - Acquisition Trigger Source (the same of the Scope mode) can generate a trigger for a waveform
- **LVDS**
  - A signal on the LVDS connectors can generate a trigger for a waveform
- **ITLA**
  - Internal Trigger Logic A can generate a trigger for a waveform
- **ITLB**
  - Internal Trigger Logic B can generate a trigger for a waveform

## 参数 EventTriggerSource

允许设置时间、能量 (T-E) 事件的触发源。设置此参数意味着获取包括时间戳和能量信息的事件。

- **Disabled**
  - No trigger source enabled for the T-E event
- **Ch64Trigger**
  - One (or more) channel self-trigger can generate a trigger for a T-E event
- **ChSelfTrigger**
  - Channel self-trigger can generate a trigger for a T-E event
- **SwTrg**
  - Software Trigger can generate a trigger for a T-E event

- **TRGIN**
  - External TRGIN can generate a trigger for a T-E event
- **GlobalTriggerSource**
  - Acquisition Trigger Source (the same of the Scope mode) can generate a trigger for a T-E event
- **LVDS**
  - A signal on the LVDS connectors can generate a trigger for a T-E event
- **ITLA**
  - Internal Trigger Logic A can generate a trigger for a T-E event
- **ITLB**
  - Internal Trigger Logic B can generate a trigger for a T-E event

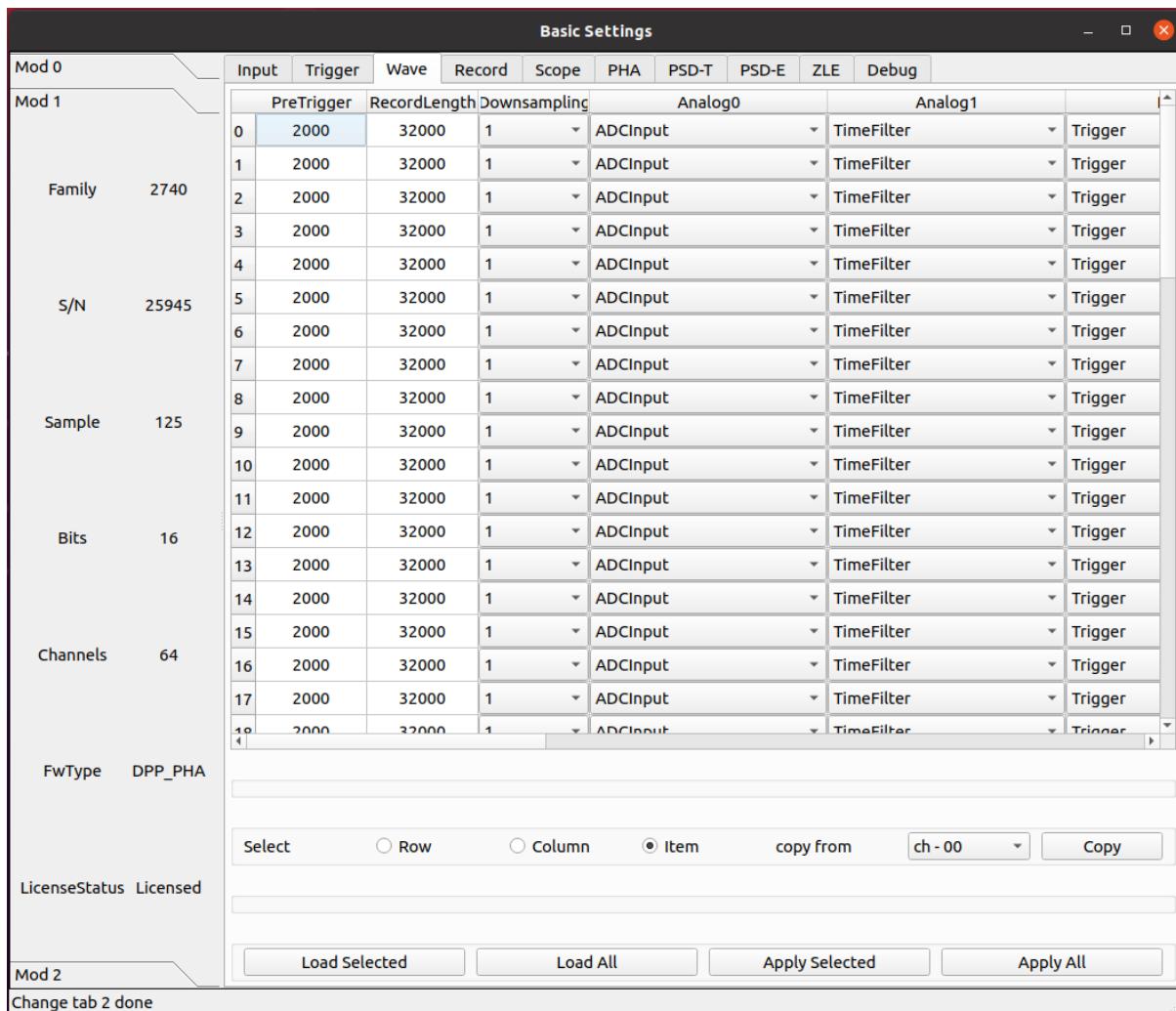
### 参数 TriggerThr

相对于三角滤波之后的波形的设置阈值。

### 参数 SelfTriggerWidth

产生自触发信号的数字前沿甄别器的输出可以在“线性”模式下使用，这意味着它会持续信号保持在阈值以上（或以下）的时间，从而充当“过阈值”信号，或者可以通过可编程门产生器，使其成为固定宽度的脉冲。门产生器是不可再触发的单稳态，当超过阈值时变高，在编程时间后变低。该参数定义了过阈值的固定宽度脉冲。

### 8.1.3 波形



#### 参数 PreTrigger

波形中触发器位置之前的时间（即预触发窗口的大小）。

单位为时间， ns

### 参数 RecordLength

波形大小（即采集窗口的大小）。波形的实际大小将自动四舍五入到最接近的允许值。通过读回参数可以得到确切的数值。记录时间长度取决于下采样设置。

单位为时间， ns

### 参数 DownsamplingFactor

波形的下采样因子。

- 1
  - x1
- 2
  - x2
- 4
  - x4
- 8
  - x8

### 参数 Analog0/1

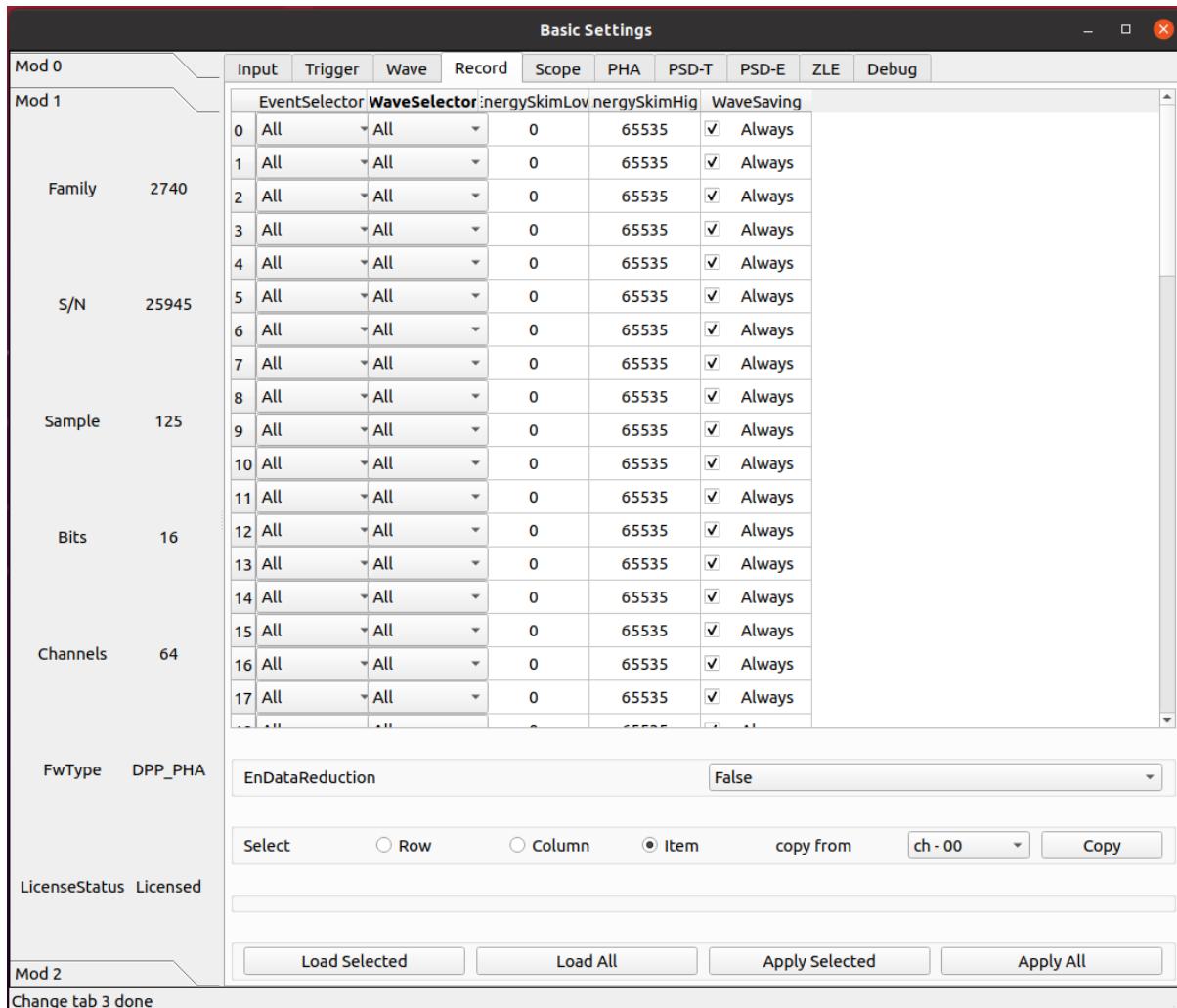
- ADCInput
  - ADC input probe
- TimeFilter
  - Time Filter probe
- EnergyFilter
  - Energy Filter probe
- EnergyFilterBaseline
  - Energy Filter Baseline
- EnergyFilterMinusBaseline
  - [Energy Filter –Baseline] probe

### Digital0/1/2/3

- Trigger
  - Trigger probe
- TimeFilterArmed
  - Time Filter Armed probe
- ReTriggerGuard
  - ReTrigger Guard probe
- EnergyFilterBaselineFreeze
  - Energy Filter Baseline Freeze probe
- EnergyFilterPeaking

- Energy Filter Peaking probe
- **EnergyFilterPeakReady**
  - Energy Filter Peak Ready probe
- **EnergyFilterPileupGuard**
  - Energy Filter Pile Up Guard probe
- **EventPileUp**
  - Event Pile Up probe
- **ADCSaturation**
  - ADC Saturation probe
- **ADCSaturationProtection**
  - ADC Saturation Protection probe
- **PostSaturationEvent**
  - Post Saturation Event probe
- **EnergyFilterSaturation**
  - Energy Filter Saturation probe
- **AcquisitionInhibit**
  - Acquisition Inhibit probe

## 8.1.4 数据记录



### 参数 EventSelector

设置必须保存的事件。

- All
  - All events are saved
- PileUp
  - Only pileup events are saved
- EnergySkim
  - Save only the events in the Energy Skim range

### 参数 WaveSelector

设置必须保存的波形。

- **All**
  - All waves are saved
- **PileUp**
  - Only pileup waves are saved
- **EnergySkim**
  - Save only waves in the Energy Skim range

### 参数 EnergySkimLowDiscriminator

允许标记能量高于低舍弃阈值的事件。16 位。

### 参数 EnergySkimHighDiscriminator

允许标记能量低于高舍弃阈值的事件。16 位。

### 参数 WaveSaving

允许始终保存波形或仅根据请求保存波形。

- **Always**
  - Waveforms are always saved
- **OnRequest**
  - Waveforms are saved on request

### 参数 EnDataReduction

如果启用，2 个 words 压缩为一个 word 事件。

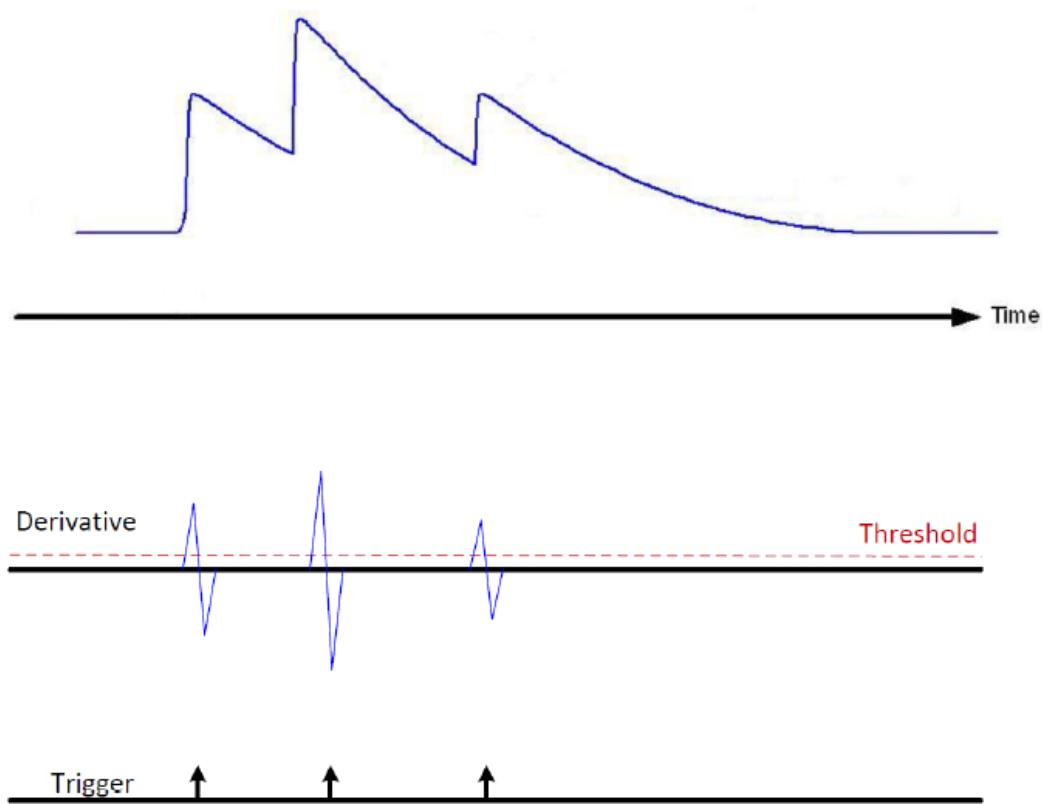
## 8.1.5 PHA 参数

Basic Settings											
Mod 0		Input	Trigger	Wave	Record	Scope	PHA	PSD-T	PSD-E	ZLE	Debug
Mod 1		TriggerTriangular	RetriggerGuard	PileupGuard	BaselineAvg	BaselineGuard	EnergyRiseTime	EnergyFlatTop	PoleZero	al	al
		0	296	504	960	Medium	0	5000	1000	50000	
		1	296	504	960	Medium	0	5000	1000	50000	
		2	296	504	960	Medium	0	5000	1000	50000	
		3	296	504	960	Medium	0	5000	1000	50000	
		4	296	504	960	Medium	0	5000	1000	50000	
		5	296	504	960	Medium	0	5000	1000	50000	
		6	296	504	960	Medium	0	5000	1000	50000	
		7	296	504	960	Medium	0	5000	1000	50000	
		8	296	504	960	Medium	0	5000	1000	50000	
		9	296	504	960	Medium	0	5000	1000	50000	
		10	296	504	960	Medium	0	5000	1000	50000	
		11	296	504	960	Medium	0	5000	1000	50000	
		12	296	504	960	Medium	0	5000	1000	50000	
		13	296	504	960	Medium	0	5000	1000	50000	
		14	296	504	960	Medium	0	5000	1000	50000	
		15	296	504	960	Medium	0	5000	1000	50000	
		16	296	504	960	Medium	0	5000	1000	50000	
		17	296	504	960	Medium	0	5000	1000	50000	
FwType	DPP_PHA	Enabled									
LicenseStatus	Licensed	Select	<input type="radio"/> Row	<input type="radio"/> Column	<input checked="" type="radio"/> Item	copy from	ch - 00	Copy			
Mod 2		Load Selected	Load All	Apply Selected	Apply All						
Change tab 5 done											

### 参数 TriggerTriangular

基于三角形滤波信号来区分事件，三角形滤波信号的上升时间可以由用户定义。然后设置的触发阈值是相对于三角滤波信号的，过阈值点为事件选择提供判据。触发点定义为微分信号本身的过零点。此参数设置三角形滤波器的上升时间。

单位为时间， ns



### 参数 RetriggerGuard

在诸如来自 PMT 的快速信号的情况下，可能发生快速甄别信号中的可能过冲，从而导致再触发，从而可能出现伪堆积。此参数设置禁止再触发保护时间（单位为 ns）。

### 参数 PileupGuard

如果两个事件的间隔小于梯形持续时间，则相关梯形重叠。梯形持续时间定义为 RT+FT+PileUpGuard，其中 RT 是梯形上升时间，FT 是梯形平顶，PileUpGuard 在峰值时间结束时开始（请参见 PeakingPosition）。此参数允许设置梯形滤波堆积保护（单位：ns）。

### 参数 BaselineAvg

允许为能量滤波启用低频滤波器

- **Fixed**
  - Baseline fixed at 0
- **VeryLow**
  - Baseline samples for average = 16
- **Low**
  - Baseline samples for average = 64
- **MediumLow**
  - Baseline samples for average = 256
- **Medium**

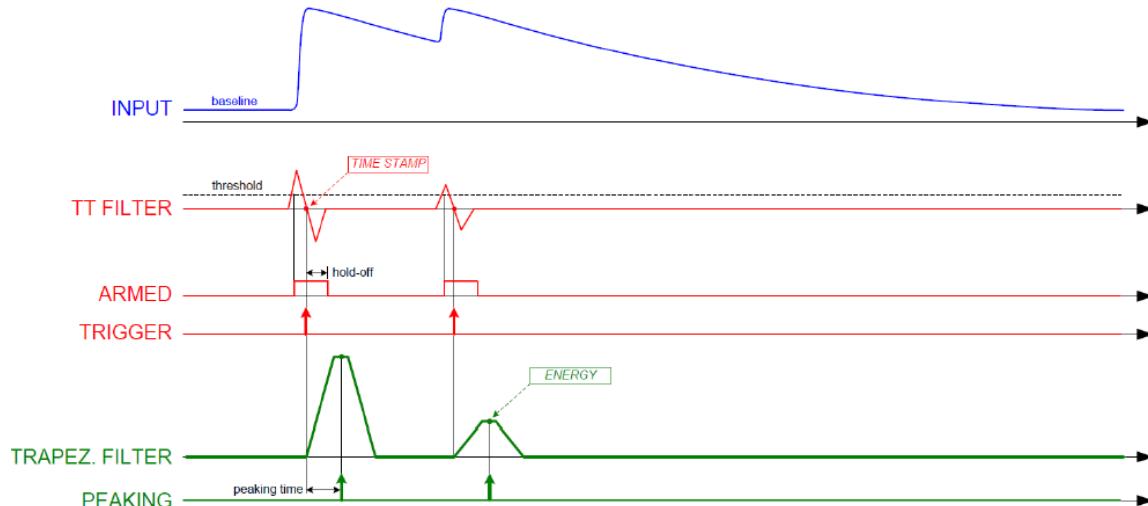
- Baseline samples for average = 1024
- **MediumHigh**
  - Baseline samples for average = 4096
- **High**
  - Baseline samples for average = 16384

### 参数 BaselineGuard

除了“基线平均值”，用户还可以设置“基线保持”或“基线保护”值，以冻结梯形末端以外的基线计算，从而减少基线计算中的噪声。此参数允许设置峰值后的梯形滤波基线保护（单位：ns）。

### 参数 EnergyRiseTime

使用梯形滤波评估能量值。与传统的模拟电路中一样，整形放大器能够将电荷敏感前置放大器的指数形状转换为高度与脉冲能量成比例的高斯形状，就像梯形滤波能够将其转换为幅度与输入脉冲能量成比例的梯形信号一样。在这种类比中，能量滤波上升时间对应于成型时间乘以因子 2/2.5。



### 参数 EnergyFlatTop

输入脉冲的能量值被评估为梯形在其平顶区域中的高度。用户必须注意平顶确实是平的，并且峰值（即用于能量计算的样本）在平的区域中。此外，平顶和峰值的正确设置有助于正确评估能量，尤其是当涉及大体积探测器时，并且弹道亏损可能导致能量计算中的显著误差。在这种情况下，增加平顶持续时间并延迟峰值时间以等待完全电荷收集可能是实用的。此参数允许设置梯形平顶（以 ns 单位）。

### 参数 PoleZero

与整形放大器的高斯脉冲一样，梯形也需要精确的零点调整，以确保在下降沿结束时正确返回到基线。要正确设置零点，用户必须注意设置正确的梯形衰减时间值（也对应于输入衰减时间），以避免下冲或过冲效应。与脉冲衰减相比，当计数率高时，零点调整可以减少由于脉冲堆积而产生的信号伪影。

trapezoid\_pole\_zero.png

### 参数 PeakingPosition

以平顶的百分比 (%) 表示的梯形峰值位置。

步长为 1

### 参数 PeakingAvg

用于评估峰值的样本数。

- **OneShot**
  - 1 sample
- **LowAVG**
  - 4 samples
- **MediumAVG**
  - 16 samples
- **HighAVG**
  - 64 samples

### 参数 FineGain

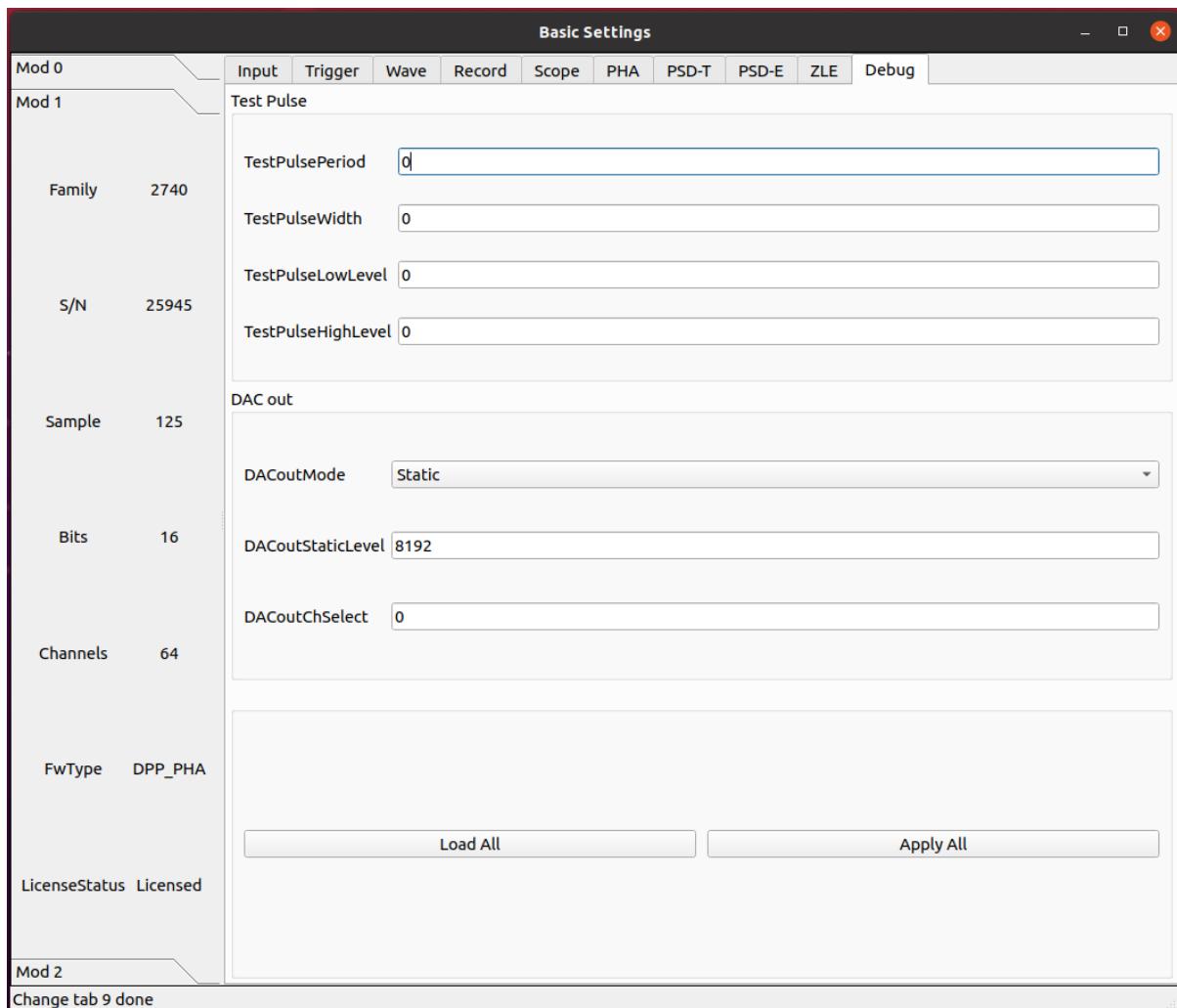
允许设置能量精细增益。能量精细增益是一个数字乘法因子，不会改变满量程范围。

### 参数 LFLimitation

为能量滤波启用低频滤波器

- **On**
  - Enabled
- **Off**
  - Disabled

## 8.1.6 诊断



### 参数 TestPulsePeriod

测试脉冲是一种可编程方波，可用作内部周期性触发器（主要用于测试目的）或在 TRGOUT 和 GPIO 输出上生成逻辑测试脉冲（TTL 或 NIM）。此参数设置测试脉冲的周期。

单位为时间，ns

**参数 TestPulseWidth**

测试脉冲的宽度（信号保持高电平的时间）。

单位为时间， ns

**参数 TestPulseLowLevel**

以 ADC 道址表示的测试脉冲低电平

**参数 TestPulseHighLevel**

以 ADC 道址表示的测试脉冲高电平

**参数 DACoutMode**

选择要在前面板 DAC LEMO 口输出发送的信号类型。

- **Static**
  - DAC output stays at a fixed level, given by the DACoutStaticLevel parameter
- **Ramp**
  - The DAC output is driven by a 14-bit counter
- **Sin5MHz**
  - The DAC output is a sine wave at 5 MHz with fixed amplitude
- **Square**
  - Square wave with period and width set by TestPulsePeriod and TestPulseWidth and amplitude between TestPulseLowLevel and TestPulseHighLevel.
- **IPE**
  - Not implemented
- **ChInput**
  - The DAC reproduces the input signal received by one input channel, selected by the DACoutChSelect parameter
- **MemOccupancy**
  - Level of the memory occupancy (not yet implemented)
- **ChSum**
  - The DAC reproduces the “analog” sum of all the digitizer inputs (not yet implemented)
- **OverThrSum**
  - The DAC output is proportional to the number of channels that are currently above the threshold

### 参数 DACoutStaticLevel

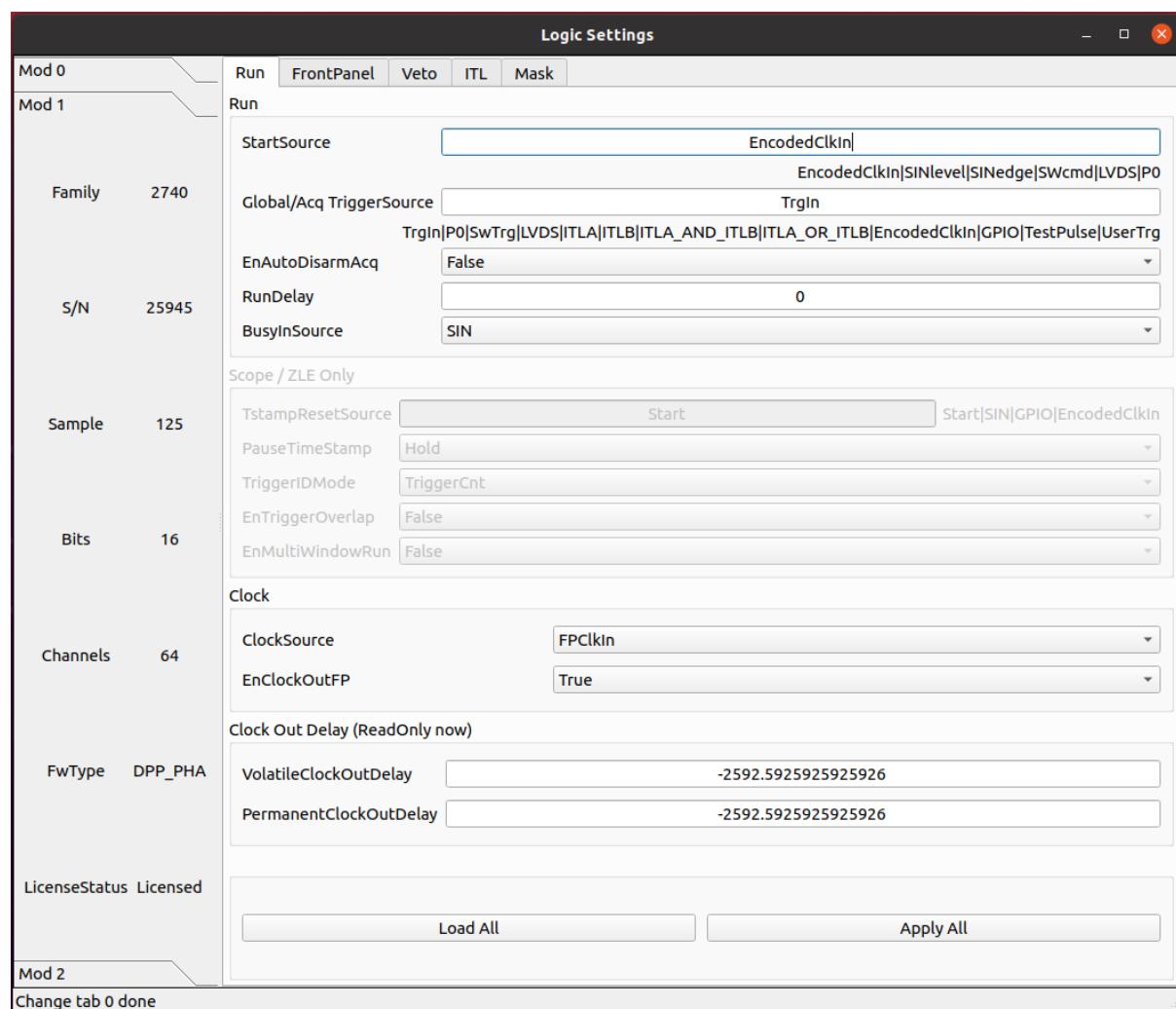
当 DACoutMode = Static 时, 此参数设置 DAC 输出的 14 位电平。

### 参数 DACoutChSelect

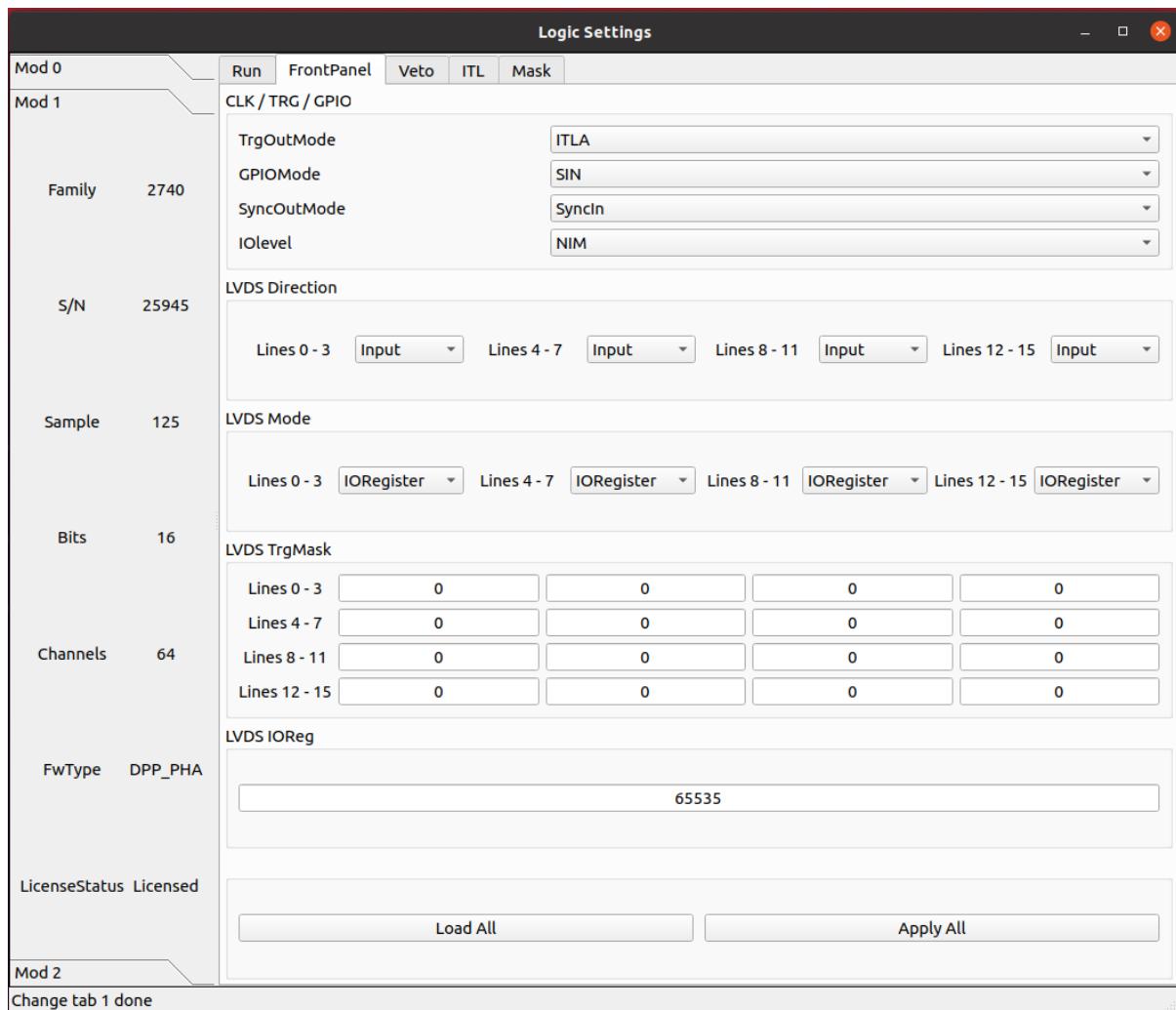
当 DACoutMode = ChInput 时, DAC 输出由该参数选择的通道的输入信号。

## 8.2 逻辑参数配置

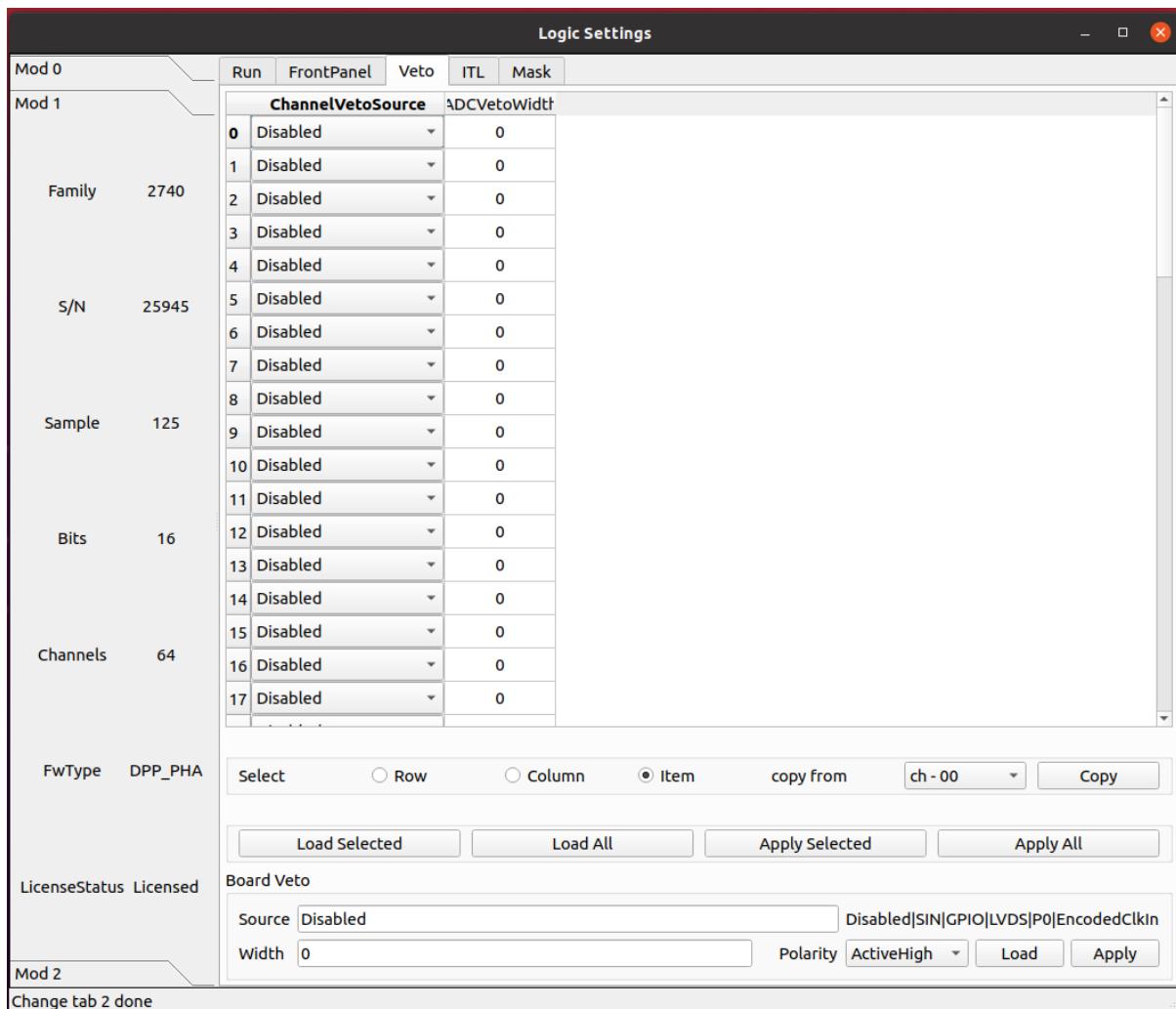
### 8.2.1 运行



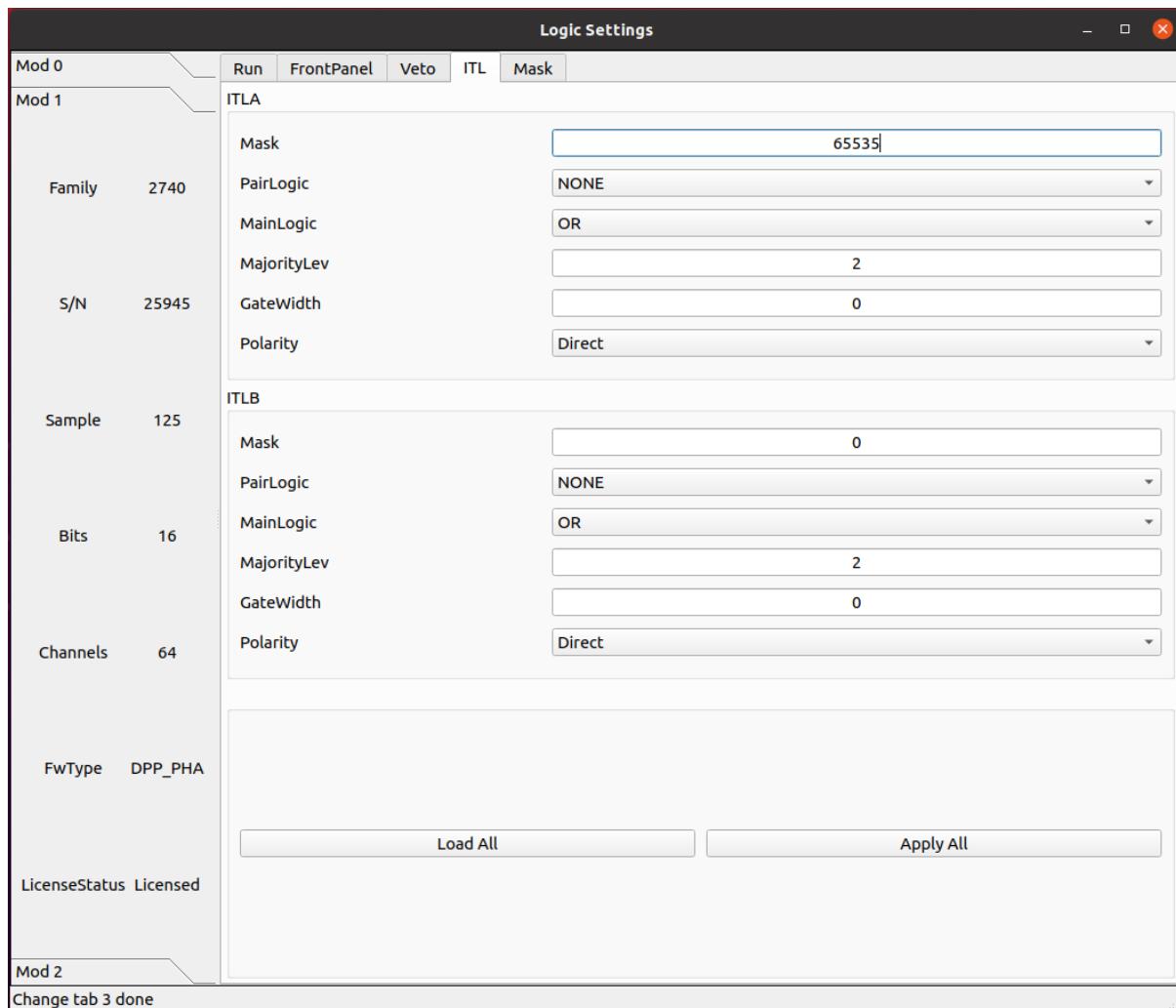
## 8.2.2 模块前面板



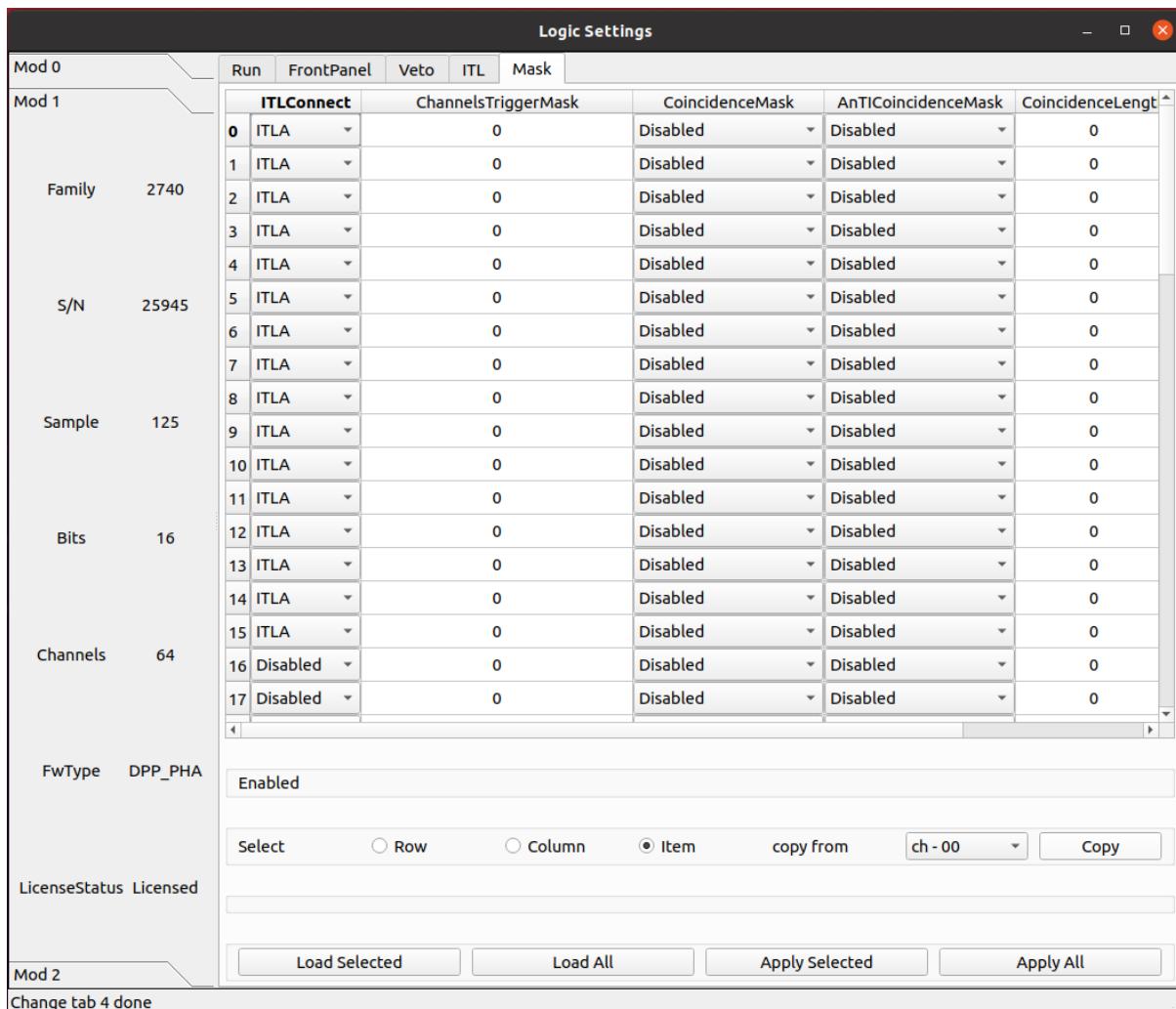
### 8.2.3 反符合



## 8.2.4 ITL 逻辑



## 8.2.5 延迟展宽





CHAPTER 9

PSD 固件

## 9.1 基本参数配置

### 9.1.1 输入信号

Basic Settings													
Mod 0		Input	Trigger	Wave	Record	Scope	PHA	PSD-T	PSD-E	ZLE	Debug		
Mod 1		InputDelay		ChEnable		WaveSource		DCOffset(%)	Polarity	SignalOffset	GainFactor	ADCT	
Mod 2		0		0		0		50.001	<input type="checkbox"/>	Negative	0	1.000459	0.00
Family	2740	1		1		1		50.001	<input type="checkbox"/>	Negative	0	0.999812	0.00
		2		2		2		50.001	<input type="checkbox"/>	Negative	0	1.001667	0.00
		3		3		3		50.001	<input type="checkbox"/>	Negative	0	1.001775	0.00
		4		4		4		50.001	<input type="checkbox"/>	Negative	0	0.999553	0.00
S/N	25946	5		5		5		50.001	<input type="checkbox"/>	Negative	0	0.999963	0.00
		6		6		6		50.001	<input type="checkbox"/>	Negative	0	1.003802	0.00
		7		7		7		50.001	<input type="checkbox"/>	Negative	0	1.003371	0.00
		8		8		8		50.001	<input type="checkbox"/>	Negative	0	1.000179	0.00
Sample	125	9		9		9		50.001	<input type="checkbox"/>	Negative	0	1.001451	0.00
		10		10		10		50.001	<input type="checkbox"/>	Negative	0	0.998453	0.00
		11		11		11		50.001	<input type="checkbox"/>	Negative	0	0.999963	0.00
		12		12		12		50.001	<input type="checkbox"/>	Negative	0	0.998734	0.00
Bits	16	13		13		13		50.001	<input type="checkbox"/>	Negative	0	1.001084	0.00
		14		14		14		50.001	<input type="checkbox"/>	Negative	0	1.001818	0.00
		15		15		15		50.001	<input type="checkbox"/>	Negative	0	1.000912	0.00
		16		16		16		50.001	<input type="checkbox"/>	Negative	0	0.999337	0.00
Channels	64	17		17		17		50.001	<input type="checkbox"/>	Negative	0	0.998302	0.00
		18		18		18		50.001	<input type="checkbox"/>	Negative	0	0.998302	0.00
FwType	DPP_PSD	VGAGain		0.0		0.0		0.0		0.0		0.0	
LicenseStatus	Licensed	Select	<input type="radio"/>	Row	<input type="radio"/>	Column	<input checked="" type="radio"/>	Item	copy from	ch - 00	▼	Copy	
		<input type="text"/>											
<input type="button" value="Load Selected"/>			<input type="button" value="Load All"/>			<input type="button" value="Apply Selected"/>			<input type="button" value="Apply All"/>				

## 参数 InputDelay

设置输入延迟，单位为采样点。

该值设置每 4 个通道共用一个相同配置。

## 参数 ChEnable

独立设定每个通道是否开启使用。如果通道不启用，它不提供任何数据，同时它的自触发也关闭。

## 参数 WaveSource

在正常模式下，采集的波形来源于模拟输入的 A/D 转换产生的 ADC 采样序列。出于测试目的，可以用内部数据生成器替换 ADC 数据。

- **ADC\_DATA**
  - Data from the ADC (normal operating mode)
- **ADC\_TEST\_TOGGLE**
  - Toggle between 0x5555 and 0xAAAA (test mode)
- **ADC\_TEST\_RAMP**
  - 16-bit ramp pattern (test mode)
- **ADC\_TEST\_SIN**
  - 8-point sine wave test pattern
- **ADC\_TEST\_PRBS**
  - 16-bit PRBS generated by a 23-bit PRBS pattern generator (test mode)
- **Ramp**
  - Data from a ramp generator. It is actually a 16-bit field, where the 6 most significant bits identify the channel and the 10 less significant bits are the samples of a ramp from 0x000 up to 0x3FF (i.e. 0 to 1023). It is so a 10-bit ramp with offset given by “channel\*1024”. For channel 0, it is a counter from 0 to 1023; for channel 1, it is a counter from 1024 to 2047, and so on
- **IPE**
  - Not implemented
- **SquareWave**
  - Internally generated programmable square wave

## 参数 DCOffset

对于每个通道，将恒定的 DC 偏移（由 16 位 DAC 控制）添加到模拟输入，以在 ADC 的动态范围内调整信号基线的位置（即模拟输入的“零伏”）。

由于部件的公差，有必要校准偏移 DAC。校准是通过工厂测试完成的，通常不需要重新校准。然而，可以执行新的校准。校准参数存储在板的闪存中，并在通电时加载。每次写入或读取 DCoffset 参数时，内部逻辑会自动应用这些参数。

DCoffset 参数为数字，单位为满刻度的百分比。当 DCoffset 为 0 时，输入信号的基线处于 ADC 0。当 DCoffset 为 100 时，输入信号的基线处于 ADC \$2^{NBIT}-1\$。

## 参数 Polarity

设置输入脉冲的极性。

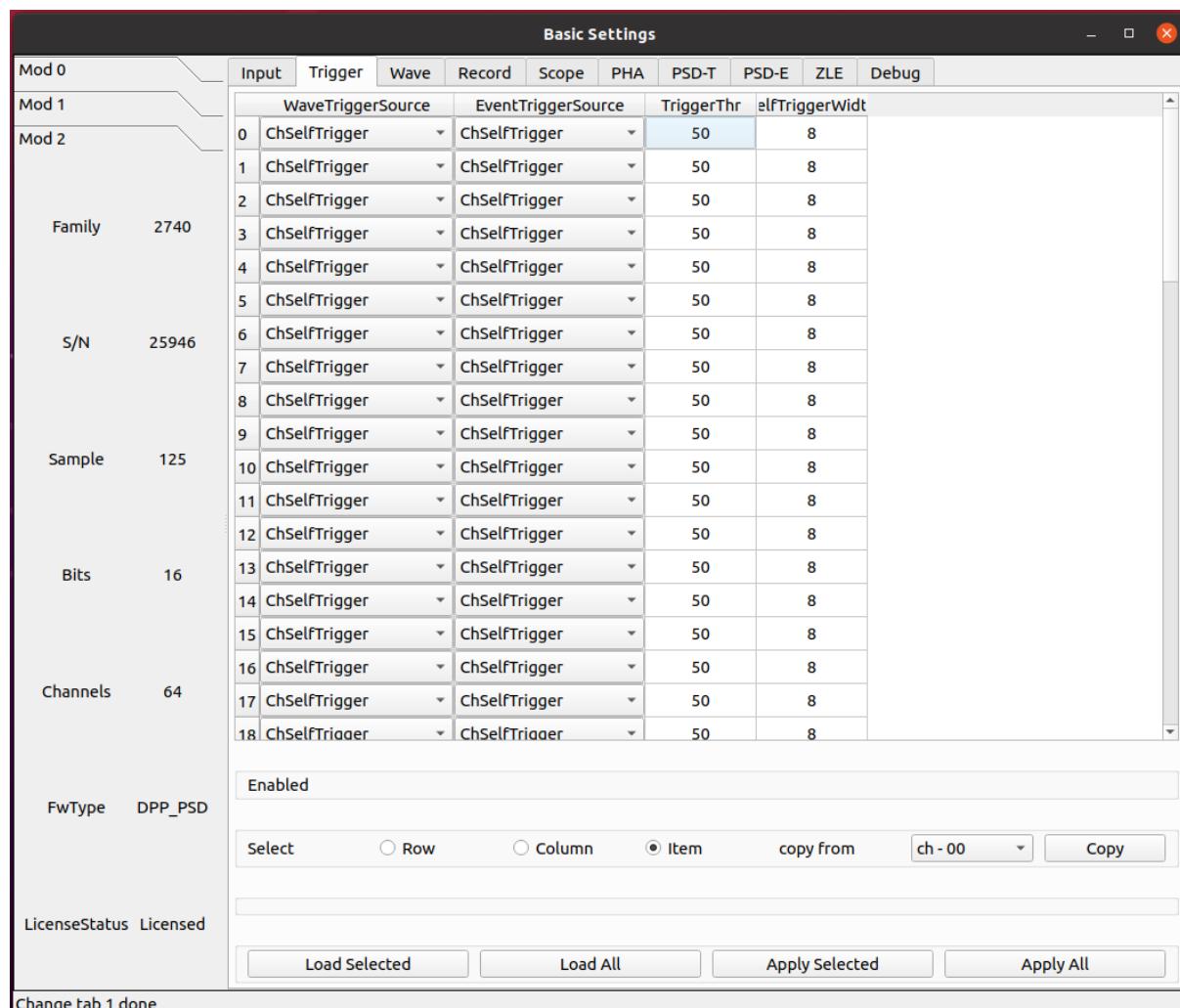
- Positive
  - Positive polarity
- Negative
  - Negative polarity

## 参数 VGAGain

2745 特有。

以 0.5 dB 为步长设置可变增益放大器（VGA）的增益。参数设置每 16 个通道为一组，64 通道分为 4 组。最小可设置为 0，最大为 40。

### 9.1.2 触发



Change tab 1 done

## 参数 WaveTriggerSource

允许设置波形的触发源。

设置此参数意味着获得包括波形和相关时间戳以及能量信息的事件。

- **Disabled**
  - No trigger source enabled for the waveform
- **Ch64Trigger**
  - One (or more) channel self-trigger can generate a trigger for a waveform
- **ChSelfTrigger**
  - Channel self-trigger can generate a trigger for a waveform
- **SwTrg**
  - Software Trigger can generate a trigger for a waveform
- **ADCOverSaturation**
  - ADC Oversaturation can generate a trigger for a waveform
- **ADCUnderSaturation**
  - ADC Undersaturation can generate a trigger for a waveform
- **ExternalInhibit**
  - Inhibit can generate a trigger for a waveform
- **TRGIN**
  - External TRGIN can generate a trigger for a waveform
- **GlobalTriggerSource**
  - Acquisition Trigger Source (the same of the Scope mode) can generate a trigger for a waveform
- **LVDS**
  - A signal on the LVDS connectors can generate a trigger for a waveform
- **ITLA**
  - Internal Trigger Logic A can generate a trigger for a waveform
- **ITLB**
  - Internal Trigger Logic B can generate a trigger for a waveform

## 参数 EventTriggerSource

允许设置时间、能量 (T-E) 事件的触发源。设置此参数意味着获取包括时间戳和能量信息的事件。

- **Disabled**
  - No trigger source enabled for the T-E event
- **Ch64Trigger**
  - One (or more) channel self-trigger can generate a trigger for a T-E event
- **ChSelfTrigger**
  - Channel self-trigger can generate a trigger for a T-E event
- **SwTrg**
  - Software Trigger can generate a trigger for a T-E event

- **TRGIN**
  - External TRGIN can generate a trigger for a T-E event
- **GlobalTriggerSource**
  - Acquisition Trigger Source (the same of the Scope mode) can generate a trigger for a T-E event
- **LVDS**
  - A signal on the LVDS connectors can generate a trigger for a T-E event
- **ITLA**
  - Internal Trigger Logic A can generate a trigger for a T-E event
- **ITLB**
  - Internal Trigger Logic B can generate a trigger for a T-E event

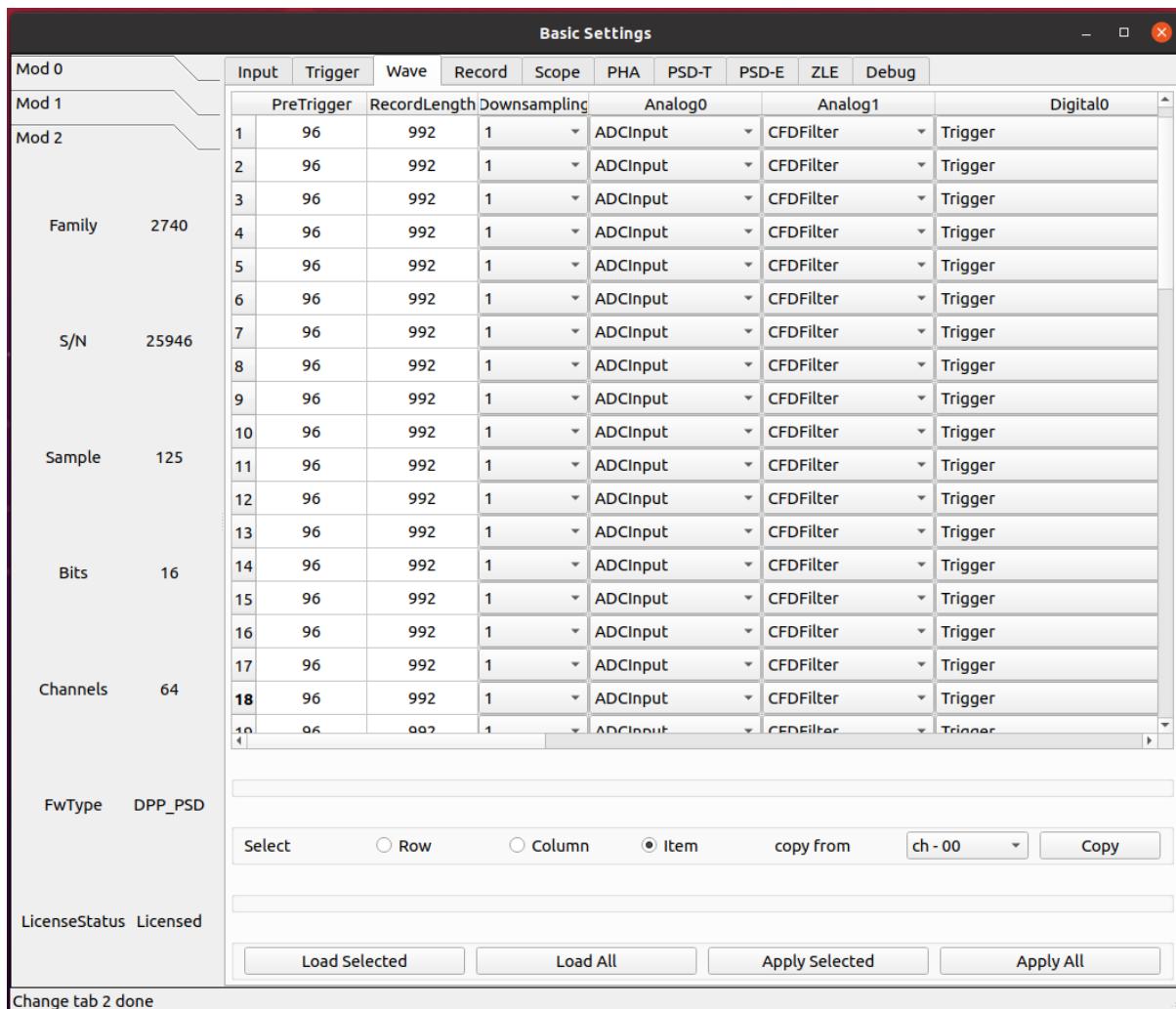
#### 参数 **TriggerThr**

相对于滤波之后的波形的设置阈值。

#### 参数 **SelfTriggerWidth**

产生自触发信号的数字前沿甄别器的输出可以在“线性”模式下使用，这意味着它会持续信号保持在阈值以上（或以下）的时间，从而充当“过阈值”信号，或者可以通过可编程门产生器，使其成为固定宽度的脉冲。门产生器是不可再触发的单稳态，当超过阈值时变高，在编程时间后变低。该参数定义了过阈值的固定宽度脉冲。

### 9.1.3 波形



#### 参数 PreTrigger

波形中触发器位置之前的时间（即预触发窗口的大小）。

单位为时间， ns

### 参数 RecordLength

波形大小（即采集窗口的大小）。波形的实际大小将自动四舍五入到最接近的允许值。通过读回参数可以得到确切的数值。记录时间长度取决于下采样设置。

单位为时间， ns

### 参数 DownsamplingFactor

波形的下采样因子。

- 1
  - x1
- 2
  - x2
- 4
  - x4
- 8
  - x8

### 参数 Analog0/1

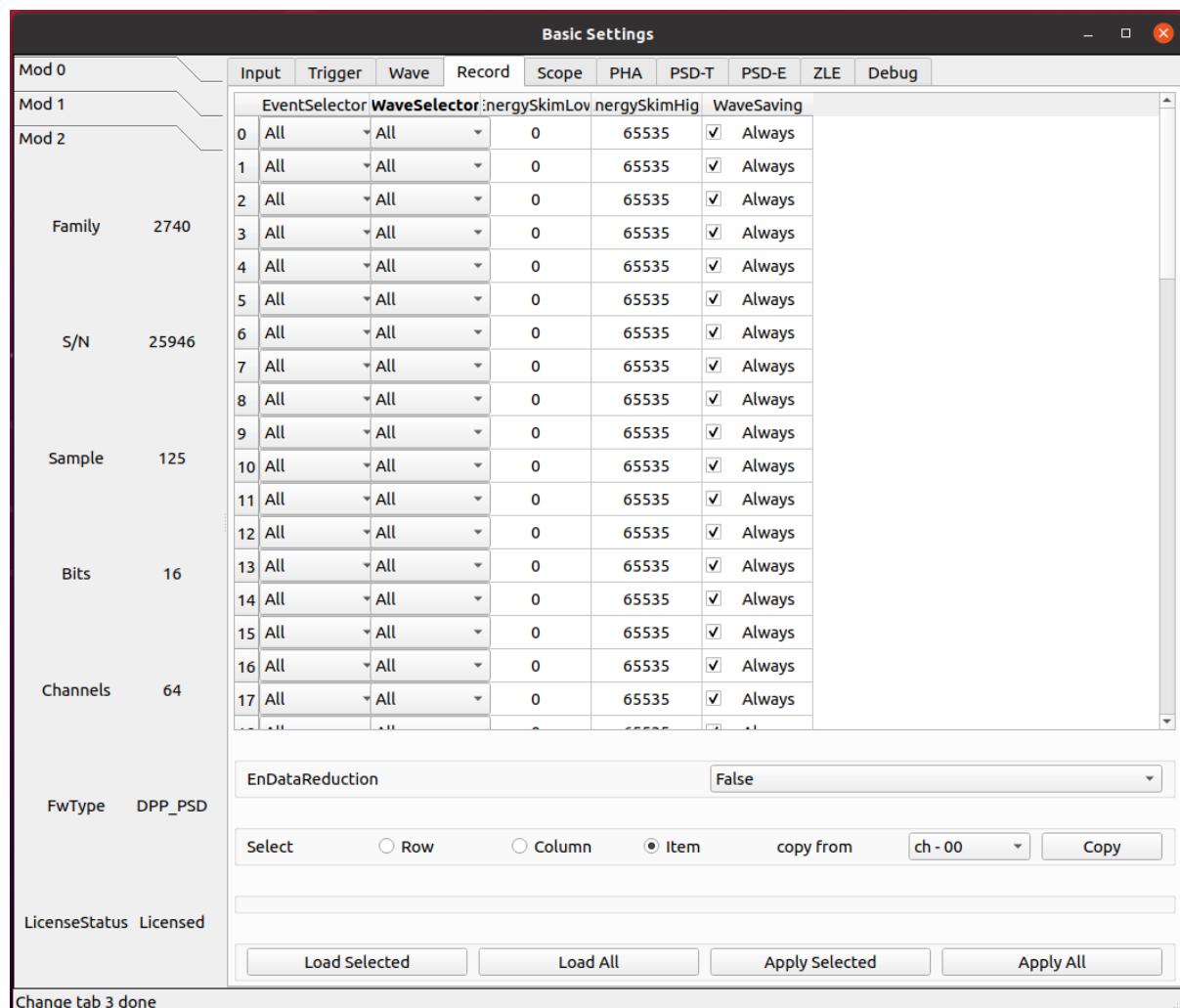
- ADCInput
  - ADC input probe
- ADCInputBaseline
  - ADC input baseline probe
- CFDFilter
  - Constant Fraction Discriminator filter probe

### Digital0/1/2/3

- Trigger
  - Trigger probe
- CFDFilterArmed
  - Constant Fraction Discriminator Filter Armed probe
- ReTriggerGuard
  - ReTrigger Guard probe
- ADCInputBaselineFreeze
  - ADC Input Baseline Freeze probe
- ADCInputOverthreshold
  - ADCInputOverthreshold
- ChargeReady
  - Charge Ready probe
- LongGate

- Long Gate probe
- **PileUpTrigger**
  - Pile Up Trigger probe
- **ShortGate**
  - Short Gate probe
- **ChargeOverRange**
  - Integrated Charge Over Range probe
- **ADCSaturation**
  - ADC Saturation probe
- **ADCInputNegativeOverthreshold**
  - ADC Input Negative Overthreshold probe

#### 9.1.4 数据记录



### 参数 EventSelector

设置必须保存的事件。

- **All**
  - All events are saved
- **PileUp**
  - Only pileup events are saved
- **EnergySkim**
  - Save only the events in the Energy Skim range

### 参数 WaveSelector

设置必须保存的波形。

- **All**
  - All waves are saved
- **PileUp**
  - Only pileup waves are saved
- **EnergySkim**
  - Save only waves in the Energy Skim range

### 参数 EnergySkimLowDiscriminator

允许标记能量高于低舍弃阈值的事件。16 位。

### 参数 EnergySkimHighDiscriminator

允许标记能量低于高舍弃阈值的事件。16 位。

### 参数 WaveSaving

允许始终保存波形或仅根据请求保存波形。

- **Always**
  - Waveforms are always saved
- **OnRequest**
  - Waveforms are saved on request

## 参数 EnDataReduction

如果启用，2个words压缩为一个word事件。

### 9.1.5 PSD 时间参数

Basic Settings																			
Mod 0		Input	Trigger	Wave	Record	Scope	PHA	PSD-T	PSD-E	ZLE	Debug								
Mod 1		noothingFact	TriggerSmoothing	riggerSelectio	CFDDelay	:CFDFraction(%	retriggerGuard	triggerHysteres	PileupGap										
Mod 2		0 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
Family	2740	1 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		2 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		3 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		4 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		5 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		6 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
S/N	25946	7 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		8 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		9 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		10 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		11 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		12 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
Sample	125	13 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		14 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		15 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		16 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
		17 1	<input type="checkbox"/> Disabled	<input type="checkbox"/> Leading...	32	25	0	<input checked="" type="checkbox"/> Enabled	1000										
FwType	DPP_PSD	Enabled																	
LicenseStatus	Licensed	<input type="radio"/> Select <input type="radio"/> Row <input type="radio"/> Column <input checked="" type="radio"/> Item      copy from: ch - 00 <input type="button" value="Copy"/>																	
<input type="button" value="Load Selected"/> <input type="button" value="Load All"/> <input type="button" value="Apply Selected"/> <input type="button" value="Apply All"/>																			
Change tab 6 done																			

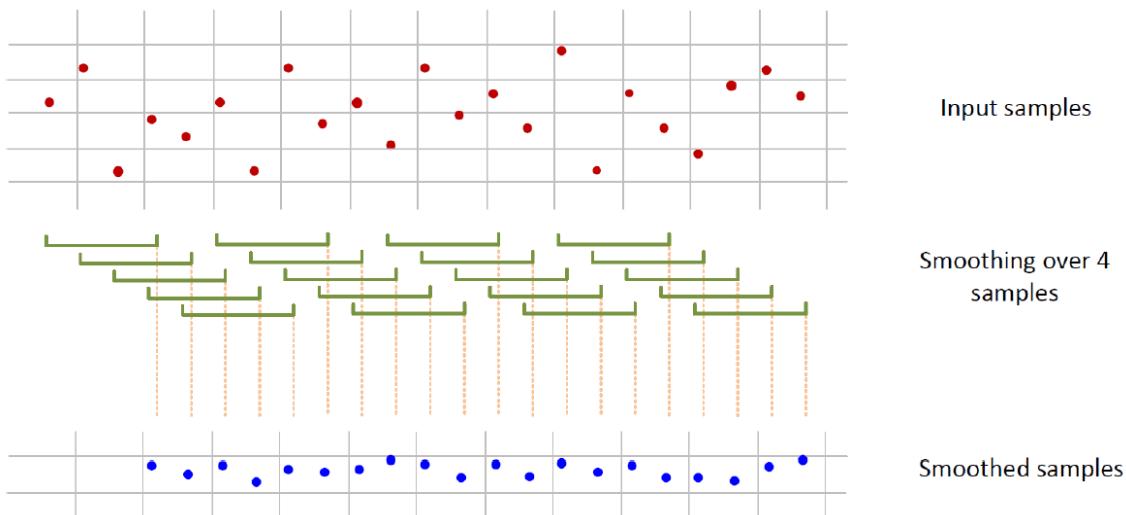
## 参数 SmoothingFactor

平滑是一个移动平均滤波，其中输入样本被前 n 个样本的平均值代替，其中 n 是：2、4、8 和 16 个样本。启用时（请参见 TriggerSmoothing），触发器将应用于平滑的采样，从而减少对噪声的触发。CFD 和 LED 触发模式均可用于平滑输入。根据 ChargeSmoothing 参数，在输入样本和/或平滑样本上执行电荷积分。

- 1
  - Smoothing is disabled.
- 2
  - Smoothing is done averaging 2 samples.
- 4
  - Smoothing is done averaging 4 samples.
- 8
  - Smoothing is done averaging 8 samples.

- **16**

- Smoothing is done averaging 16 samples.



### 参数 TriggerSmoothing

启用/禁用触发滤波的平滑因子。

- **Enabled**
  - Smoothing factor is enabled for the time filter.
- **Disabled**
  - Smoothing factor is disabled for the time filter.

### 参数 TriggerSelection

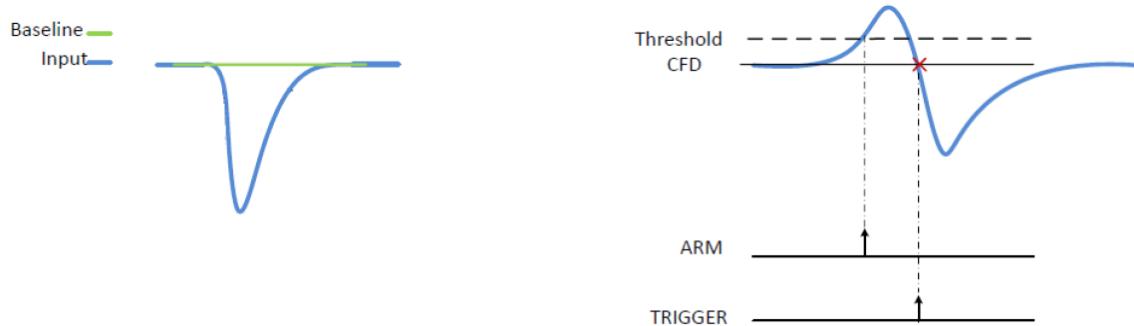
允许用户根据两种算法选择脉冲：前沿，即当脉冲样本超过可编程阈值时识别脉冲，或者通过数字恒比甄别来获得更好的定时信息。在这两种情况下，一旦选择了事件，信号就会延迟可编程数量的样本（对应于以 ns 为单位的“预触发”值），以便能够在触发之前对脉冲进行积分（“预门”）。用于电荷积分的门然后在信号之前由电荷累加器产生和接收。当门有效时，基线保持冻结，采用之前最后的平均值，其值用作电荷积分参考。在可编程“再触发保护”（请参阅 RetriggerGuard）值的整个持续时间内，其他触发信号被禁止。建议设置与信号宽度兼容的触发保持值。基线在整个触发暂停持续时间内保持冻结状态。

- **LeadingEdge**
  - Set the Leading Edge discriminator
- **CFD**
  - Set the Constant Fraction discriminator

## 参数 CFDDelay

discriminates events based on a CFD signal. The digital CFD signal has been implemented in the classical way except for the input signal inversion. The input waveform is first inverted, then attenuated by a factor  $f$  equal to the desired timing fraction (see CDFraction) of full amplitude, then the signal is inverted again and delayed by a time  $d$  equal to the time it takes the pulse to rise from the constant fraction level to the pulse peak; the latest two signals are summed to produce a bipolar pulse, the CFD, and its zero crossing –corresponding to the fraction  $f$  of the input pulse– is taken as the trigger time.

The delay of the CFD signal can be defined by the user. The TriggerThreshold is then referred to the CFD itself, and the threshold crossing arms the event selection. The trigger fires at the zero crossing of the derivative signal itself.



## 参数 CDFraction

- **25**
  - 25%
- **50**
  - 50%
- **75**
  - 75%
- **100**
  - 100%

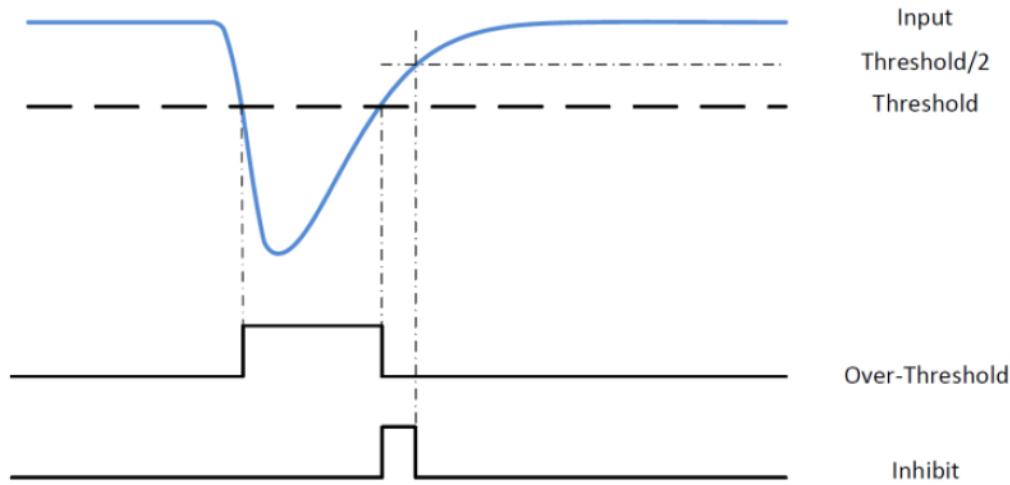
## 参数 RetriggerGuard

在诸如来自 PMT 的快速信号的情况下，可能发生快甄别信号中的可能过冲，从而导致再触发，从而可能出现伪堆积。此参数允许设置再触发禁止保护（单位为 ns）。

## 参数 TriggerHysteresis

当输入信号不再超过阈值时，可能会在脉冲尾部再次触发，尤其是在尾部包含尖峰或噪声的情况下。“触发滞后”功能禁止任何触发，直到输入脉冲达到阈值本身的一半。此参数允许启用/禁用触发滞后机制。

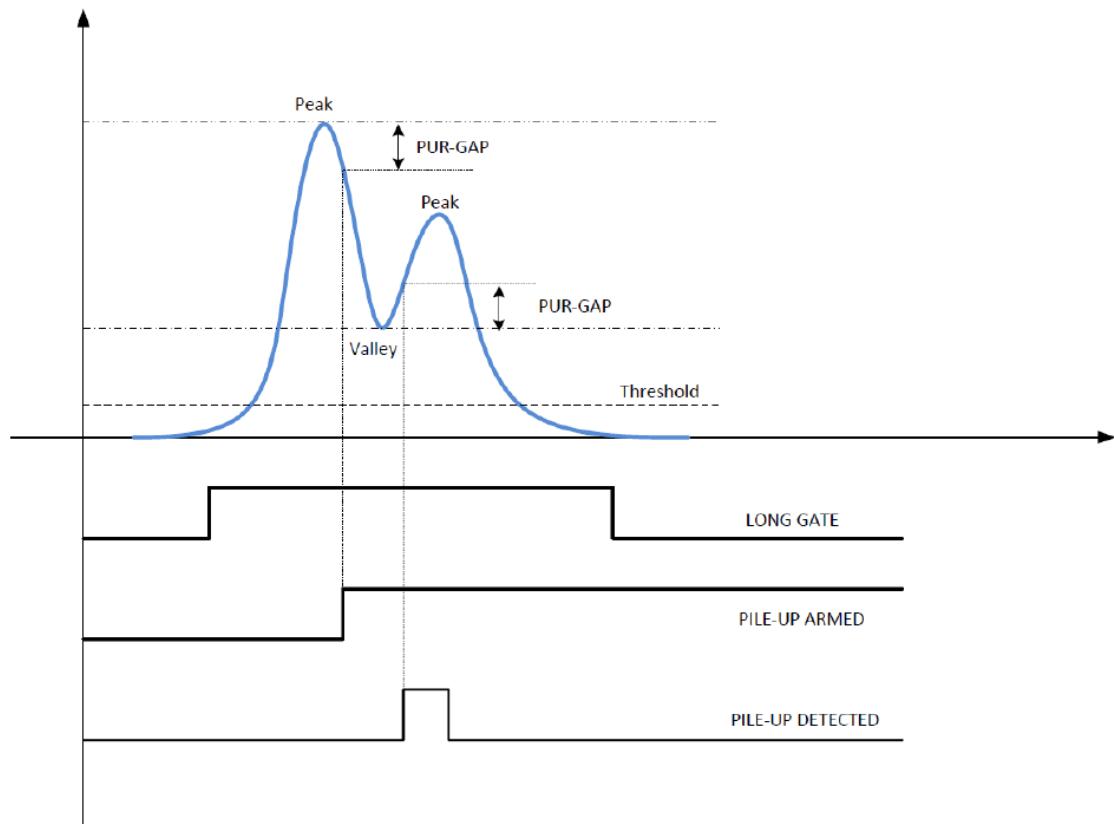
- **Disabled**
  - Trigger hysteresis mechanism is disabled.
- **Enabled**
  - Trigger hysteresis mechanism is enabled.



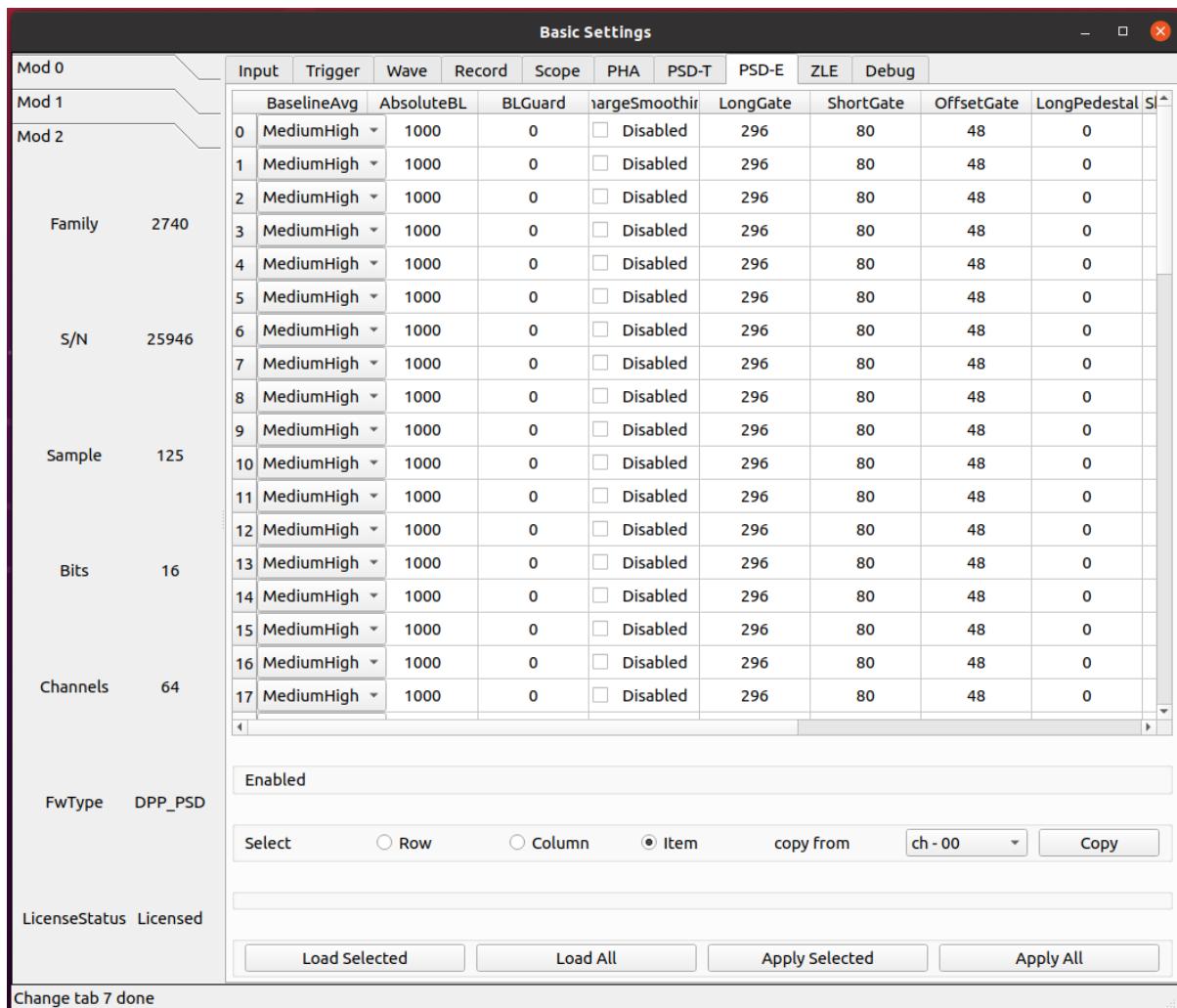
### 参数 PileupGap

PSD 固件主要用于处理快信号，如来自与光电倍增管耦合的闪烁探测器的信号。相关输出信号不像电荷敏感前置放大器那样显示出长的衰减尾，并且两个脉冲之间堆积的概率非常低。特别是，第二个脉冲位于前一个脉冲的指数尾部的情况相当罕见。然而，使用 PSD 算法，分离闪烁探测器发射的光的快分量和慢分量是很重要的。通常，快成分是快速脉冲（几十 ns），而慢成分是相当长的尾部（通常为几  $\mu\text{s}$ ），其幅度远小于快成分。为了在脉冲形状甄别中获得最佳结果，有必要将“长门”设置为慢成分的整个持续时间。在这些条件下，堆积事件很可能发生在长门期间，并导致慢成分电荷计算错误。因此，发现这些事件很重要。在 PSD 固件中，当同一门内出现峰-谷-峰的情况时，两个事件被视为堆积事件，其中谷和峰之间的间隙是可编程值。当达到峰值时，算法评估与 PileupGap (PUR-GAP) 值相对应的点，并准备检测堆积事件 (pile-up ARMED)。如果存在“谷”条件，并且输入信号超过 PUR-GAP 阈值，则该事件被标记为堆积。在默认配置中，固件不采取任何操作，事件的总电荷在门内进行评估并保存到内存中。

此参数允许设置峰值间隙以识别堆积。



## 9.1.6 PSD 能量参数

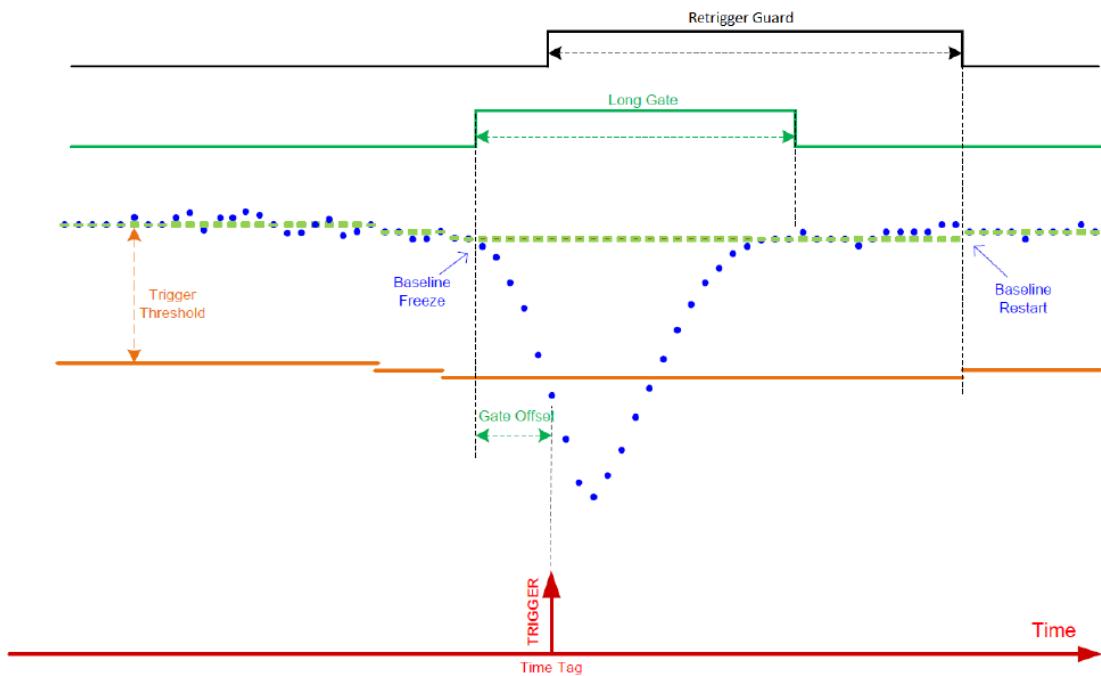


### 参数 BaselineAvg

数字化模块连续接收输入信号并将其数字化。可以在 ADC 尺度中调整信号基线的位置，使用 DCOffset 参数来利用模块的全部动态范围。基线值是 PSD 固件的一个重要参数，因为其值用作输入脉冲电荷积分的参考值。此外，大多数 DPP 参数与基线值有关，如触发阈值。用户可以设置基线的固定值，也可以让 DPP 固件动态计算。在第一种情况下，用户必须通过选项 Fixed 以 LSB 为单位设置基线值。该值在整个采集运行中保持固定。在后一种情况下，固件动态地将基线评估为移动时间窗口内的 N 个点的平均值。用户可以选择下面列出的选项之一，每个选项对应于预定义数量的样本。然后，从门启动前的几个时钟开始冻结基线，直到长门和触发保持 (trigger hold-off) 之间的最大值结束（请参阅 GateLongLength 和 RetriggerGuard）。此参数允许设置用于平均能量滤波基线的样本数。

- **Fixed**
  - Baseline fixed at AbsoluteBaseline value
- **Low**
  - Baseline samples for average = 16
- **MediumLow**
  - Baseline samples for average = 64
- **MediumHigh**
  - Baseline samples for average = 256

- **High**
  - Baseline samples for average = 1024



### 参数 AbsoluteBL

ADCInput 信号基线的绝对值。

单位为 ADC 道址。

### 参数 BLGuard

积分门前的能量滤波基线评估保护<sup>i</sup> (ns)。

### 参数 ChargeSmoothing

启用/禁用电荷评估的平滑因子。

- **Enabled**
  - Smoothing factor is enabled in the charge evaluation
- **Disabled**
  - Smoothing factor is disabled in the charge evaluation

### 参数 ShortGate

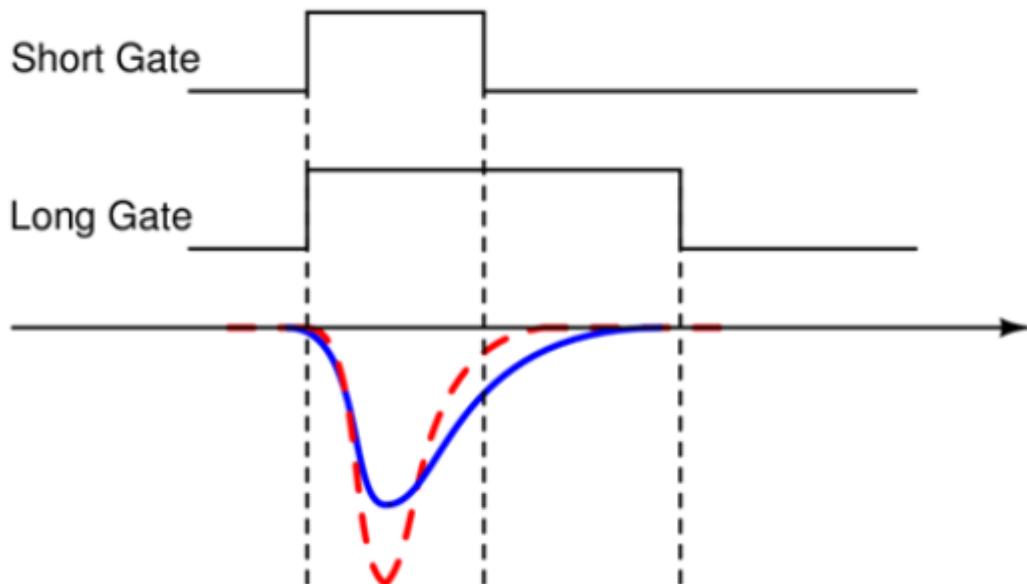
此参数允许设置短门长度。

单位 ns。

### 参数 LongGate

PSD 固件的目的是对输入信号进行电荷积分，并计算对输入（Qshort 和 Qlong）进行双门积分的 PSD 因子。下图显示了两个不同形状信号的短门和长门位置。

单位 ns。



### 参数 OffsetGate

此参数允许设置相对于触发信号的门偏置。

单位 ns。

### 参数 LongPedestal

此参数允许设置长电荷积分 pedestal。这一特性在能量接近零的情况下非常有用。

### 参数 ShortPedestal

此参数允许设置短电荷积分 pedestal。这一特性在能量接近零的情况下非常有用。

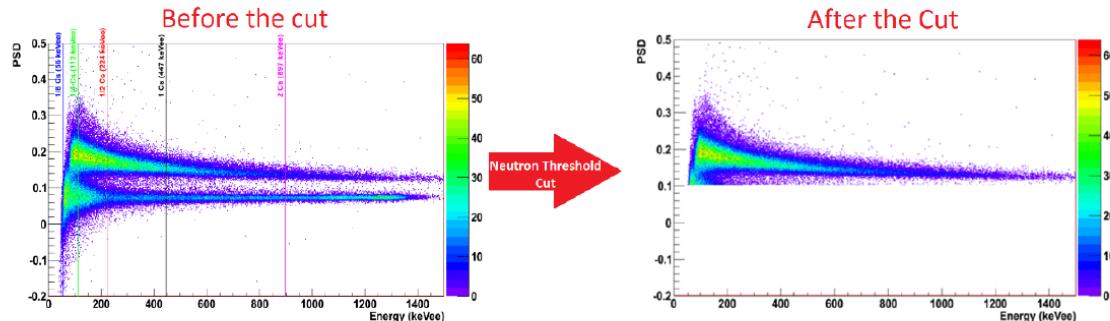
## 参数 EnergyGain

此参数允许设置能量增益，即重新缩放信号电荷。

- **x1**
  - Charge value is multiplied x1.
- **x4**
  - Charge value is multiplied x4.
- **x16**
  - Charge value is multiplied x16.
- **x64**
  - Charge value is multiplied x64.
- **x256**
  - Charge value is multiplied x256.

## 参数 NeutronThr

此参数允许设置中子甄别的中子能量阈值。固件将“长能量” - “短能量”之差（即长门和短门中的电荷积分之间的差）与该参数设置的阈值进行比较，以决定是否拒绝该事件。参考下图所示的中子/伽马甄别示例，PSD 上的切口允许用户拒绝大多数伽马事件，从而只记录中子和与中子重叠的少量伽马。



## 参数 EventReject

启用事件的中子抑制。参见 NeutronThreshold 参数

- **Disabled**
  - Neutron rejection for events is disabled.
- **Enabled**
  - Neutron rejection for events is enabled.

### 参数 WaveReject

启用波形的中子抑制。参见 NeutronThreshold 参数

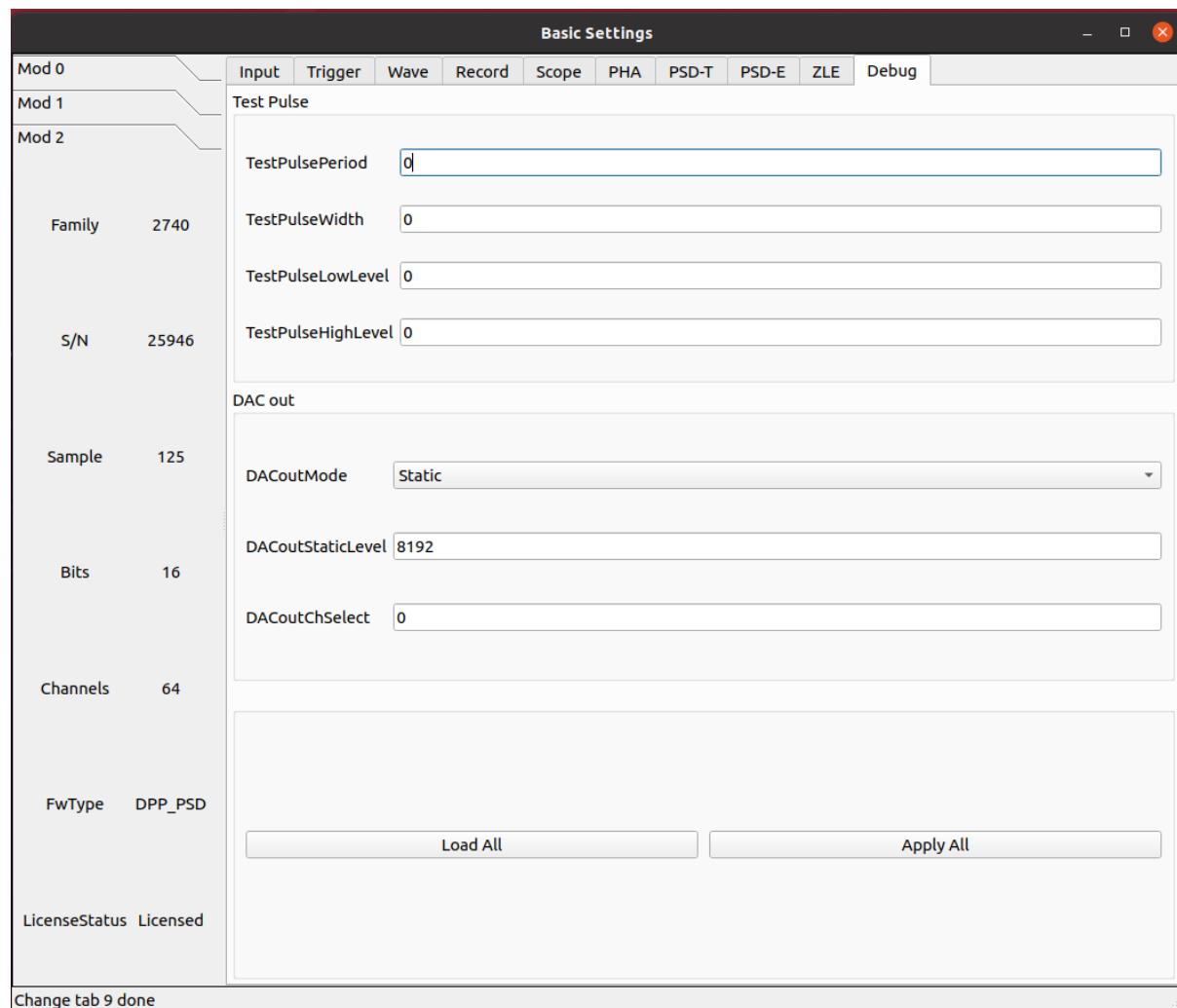
- **Disabled**

- Neutron rejection for waves is disabled.

- **Enabled**

- Neutron rejection for waves is enabled.

### 9.1.7 诊断



### 参数 TestPulsePeriod

测试脉冲是一种可编程方波，可用作内部周期性触发器（主要用于测试目的）或在 TRGOUT 和 GPIO 输出上生成逻辑测试脉冲（TTL 或 NIM）。此参数设置测试脉冲的周期。

单位为时间， ns

### 参数 TestPulseWidth

测试脉冲的宽度（信号保持高电平的时间）。

单位为时间， ns

### 参数 TestPulseLowLevel

以 ADC 道址表示的测试脉冲低电平

### 参数 TestPulseHighLevel

以 ADC 道址表示的测试脉冲高电平

### 参数 DACoutMode

选择要在前面板 DAC LEMO 口输出发送的信号类型。

- **Static**
  - DAC output stays at a fixed level, given by the DACoutStaticLevel parameter
- **Ramp**
  - The DAC output is driven by a 14-bit counter
- **Sin5MHz**
  - The DAC output is a sine wave at 5 MHz with fixed amplitude
- **Square**
  - Square wave with period and width set by TestPulsePeriod and TestPulseWidth and amplitude between TestPulseLowLevel and TestPulseHighLevel.
- **IPE**
  - Not implemented
- **ChInput**
  - The DAC reproduces the input signal received by one input channel, selected by the DACoutChSelect parameter
- **MemOccupancy**
  - Level of the memory occupancy (not yet implemented)
- **ChSum**
  - The DAC reproduces the “analog” sum of all the digitizer inputs (not yet implemented)
- **OverThrSum**
  - The DAC output is proportional to the number of channels that are currently above the threshold

### 参数 DACoutStaticLevel

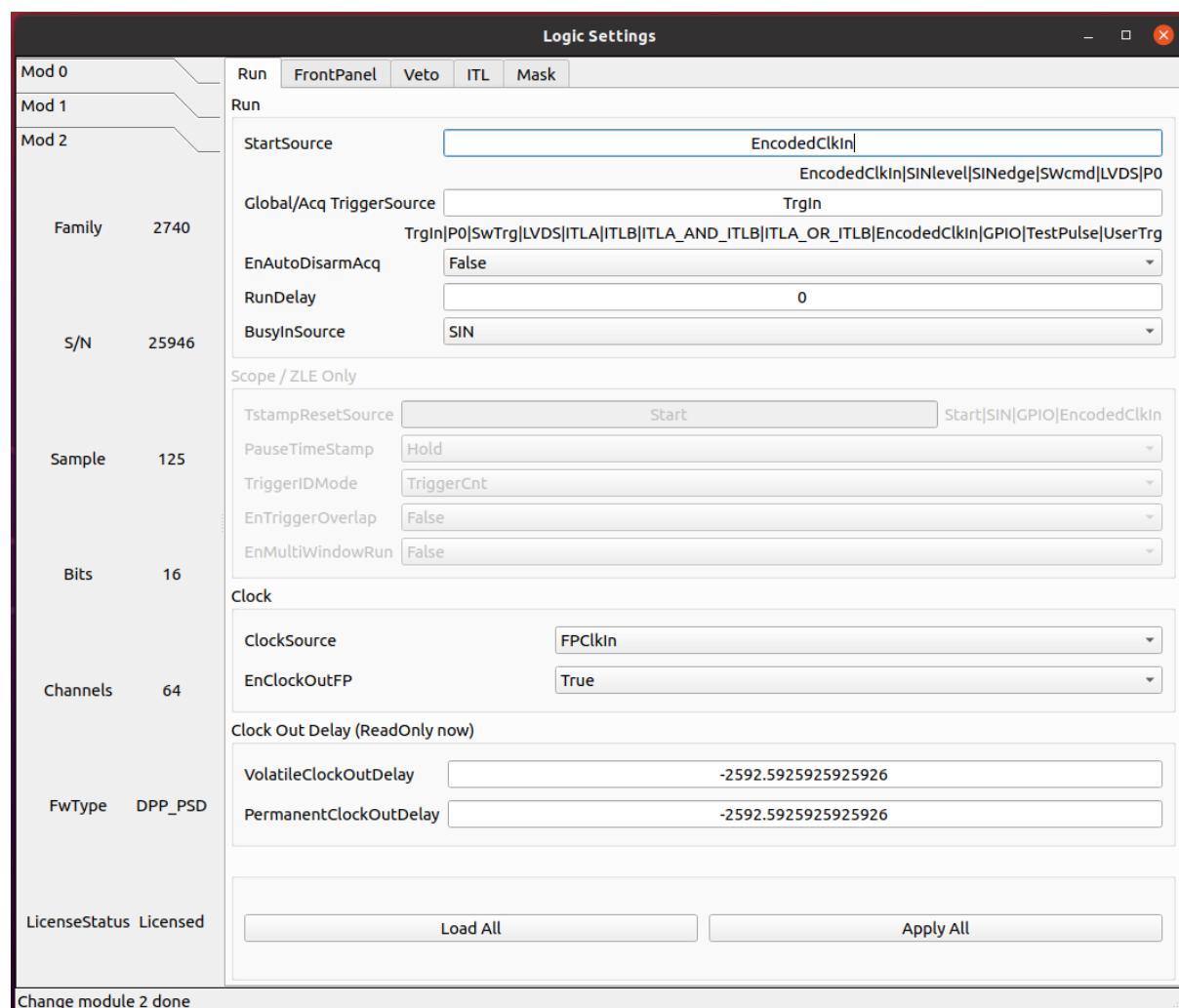
当 DACoutMode = Static 时, 此参数设置 DAC 输出的 14 位电平。

### 参数 DACoutChSelect

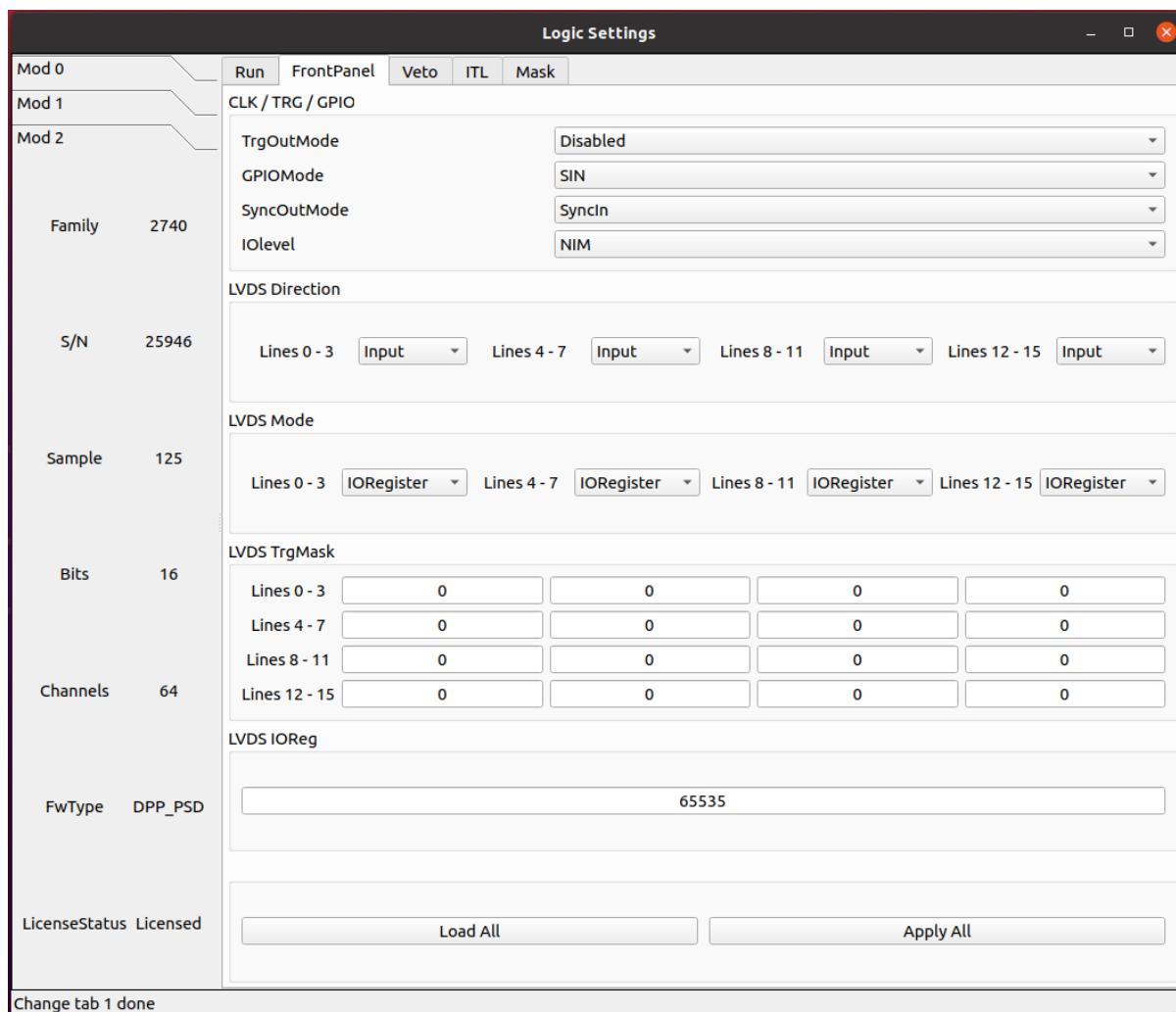
当 DACoutMode = ChInput 时, DAC 输出由该参数选择的通道的输入信号。

## 9.2 逻辑参数配置

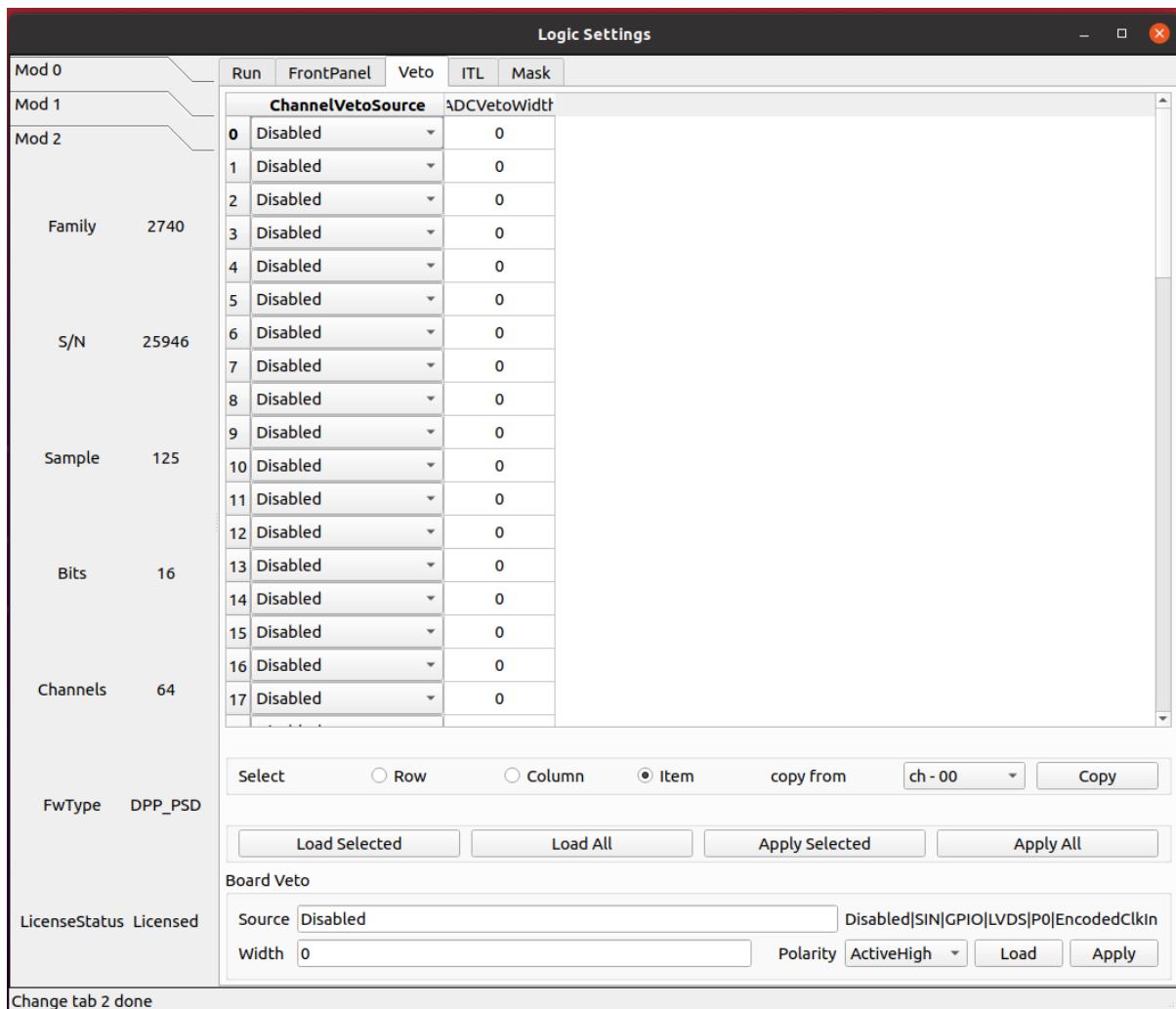
### 9.2.1 运行



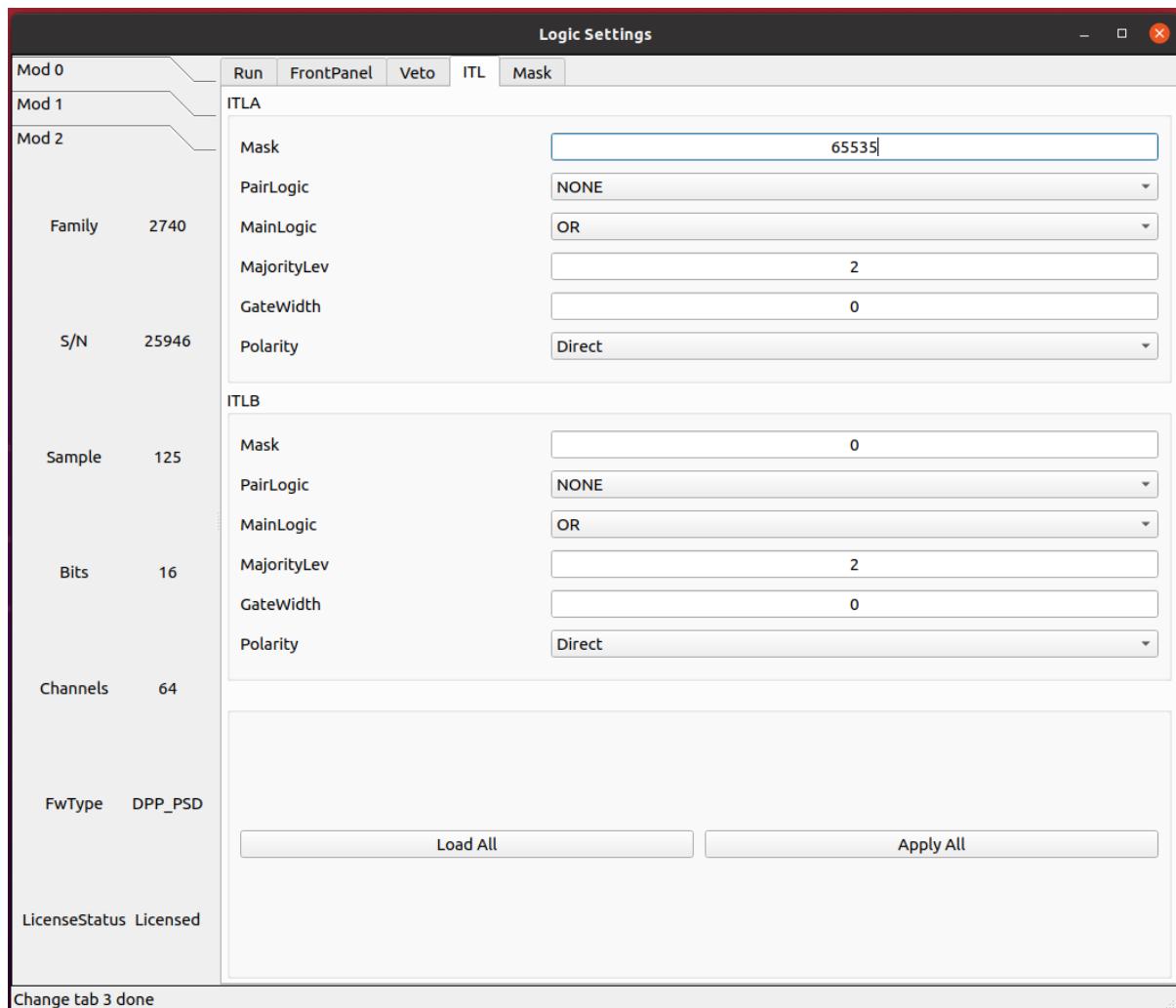
## 9.2.2 模块前面板



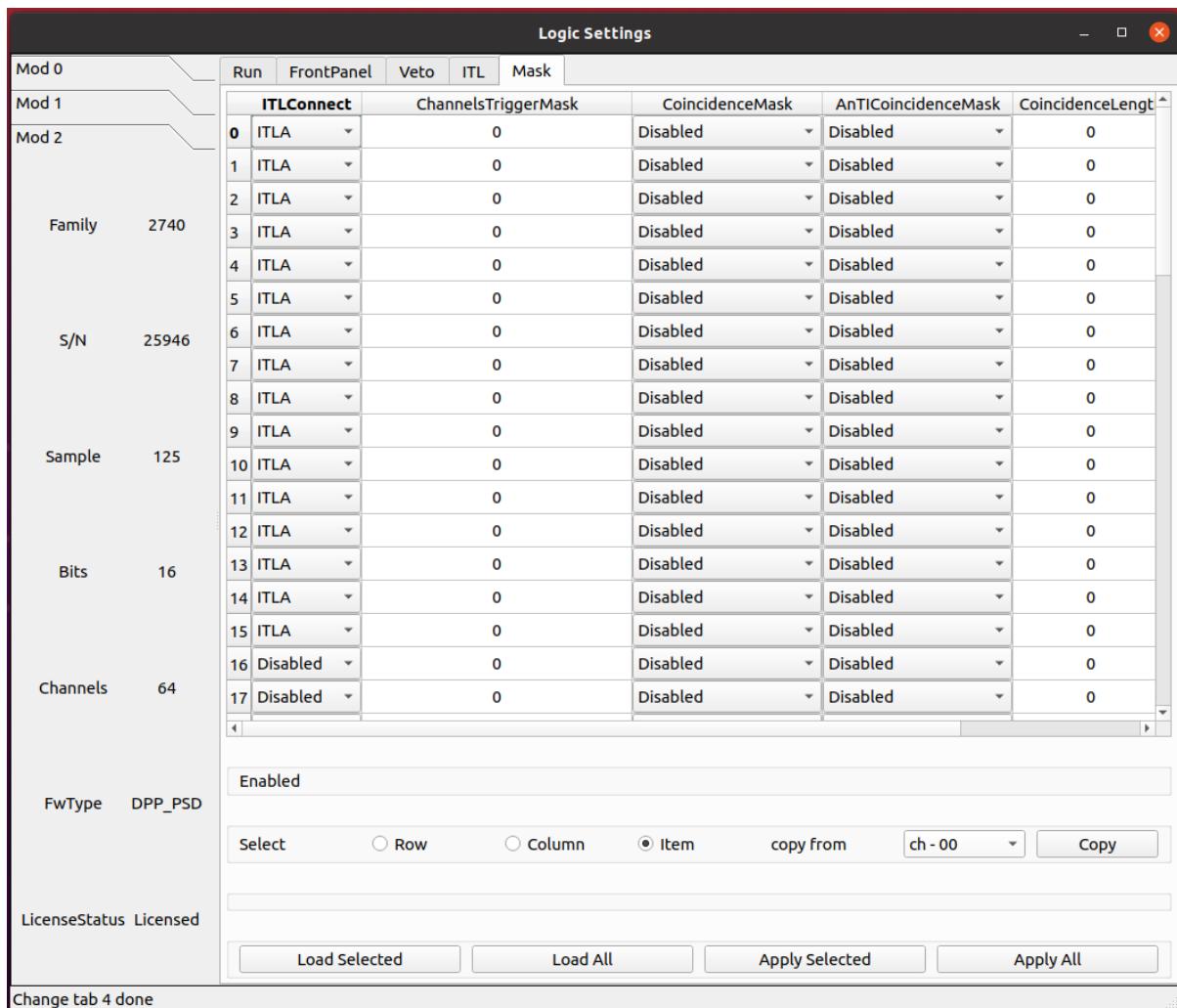
### 9.2.3 反符合



### 9.2.4 ITL 逻辑



## 9.2.5 延迟展宽



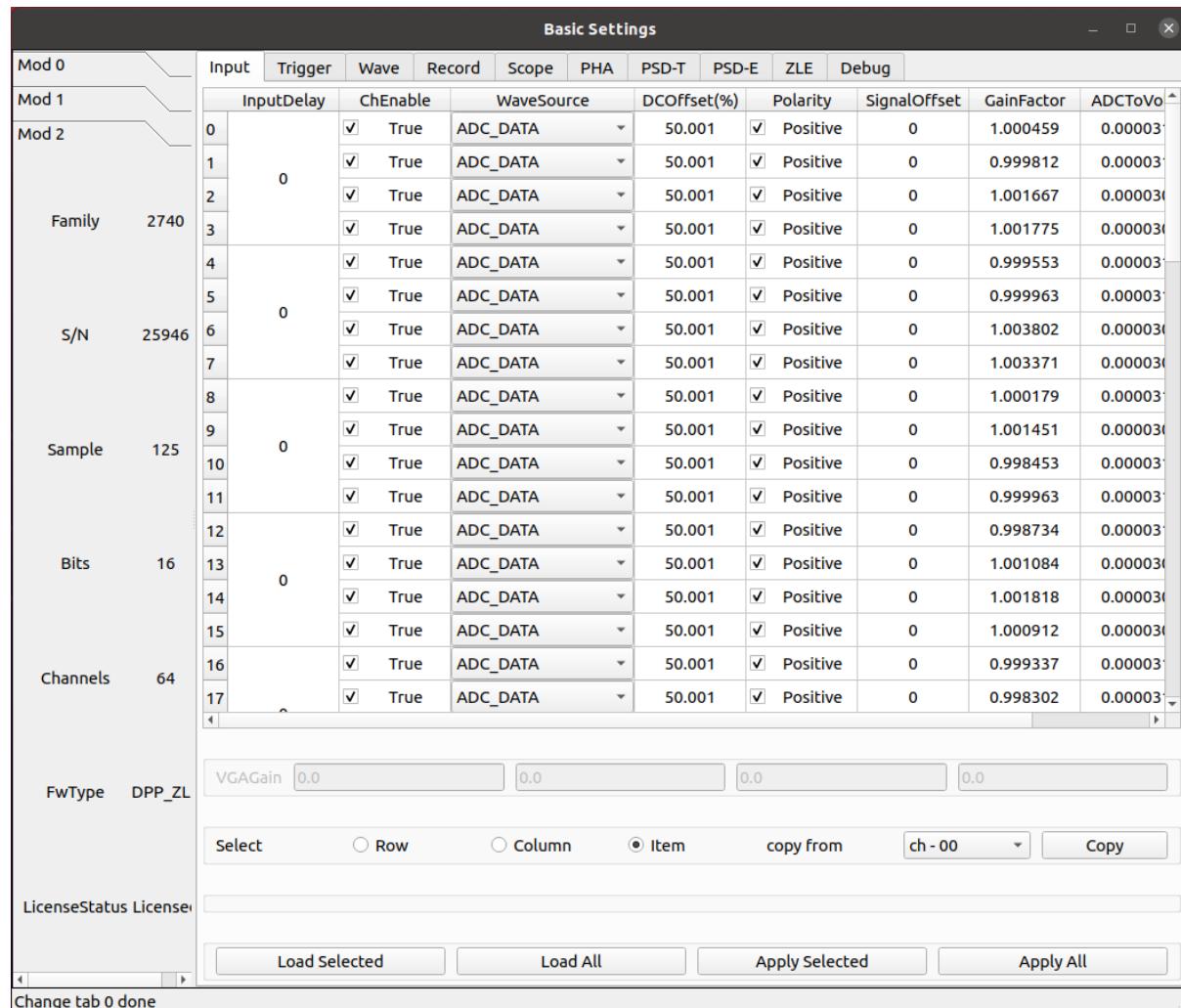


# CHAPTER 10

## ZLE 固件

### 10.1 基本参数配置

#### 10.1.1 输入信号



Change tab 0 done

## 参数 InputDelay

设置输入延迟，单位为采样点。

该值设置每 4 个通道共用一个相同配置。

## 参数 ChEnable

独立设定每个通道是否开启使用。如果通道不启用，它不提供任何数据，同时它的自触发也关闭。

## 参数 WaveSource

在正常模式下，采集的波形来源于模拟输入的 A/D 转换产生的 ADC 采样序列。出于测试目的，可以用内部数据生成器替换 ADC 数据。

- **ADC\_DATA**
  - Data from the ADC (normal operating mode)
- **ADC\_TEST\_TOGGLE**
  - Toggle between 0x5555 and 0xAAAA (test mode)
- **ADC\_TEST\_RAMP**
  - 16-bit ramp pattern (test mode)
- **ADC\_TEST\_SIN**
  - 8-point sine wave test pattern
- **ADC\_TEST\_PRBS**
  - 16-bit PRBS generated by a 23-bit PRBS pattern generator (test mode)
- **Ramp**
  - Data from a ramp generator. It is actually a 16-bit field, where the 6 most significant bits identify the channel and the 10 less significant bits are the samples of a ramp from 0x000 up to 0x3FF (i.e. 0 to 1023). It is so a 10-bit ramp with offset given by “channel\*1024”. For channel 0, it is a counter from 0 to 1023; for channel 1, it is a counter from 1024 to 2047, and so on
- **IPE**
  - Not implemented
- **SquareWave**
  - Internally generated programmable square wave

## 参数 DCOffset

对于每个通道，将恒定的 DC 偏移（由 16 位 DAC 控制）添加到模拟输入，以在 ADC 的动态范围内调整信号基线的位置（即模拟输入的“零伏”）。

由于部件的公差，有必要校准偏移 DAC。校准是通过工厂测试完成的，通常不需要重新校准。然而，可以执行新的校准。校准参数存储在板的闪存中，并在通电时加载。每次写入或读取 DCoffset 参数时，内部逻辑会自动应用这些参数。

DCoffset 参数为数字，单位为满刻度的百分比。当 DCoffset 为 0 时，输入信号的基线处于 ADC 0。当 DCoffset 为 100 时，输入信号的基线处于 ADC \$2^{NBIT}-1\$。

## 参数 Polarity

设置输入脉冲的极性。

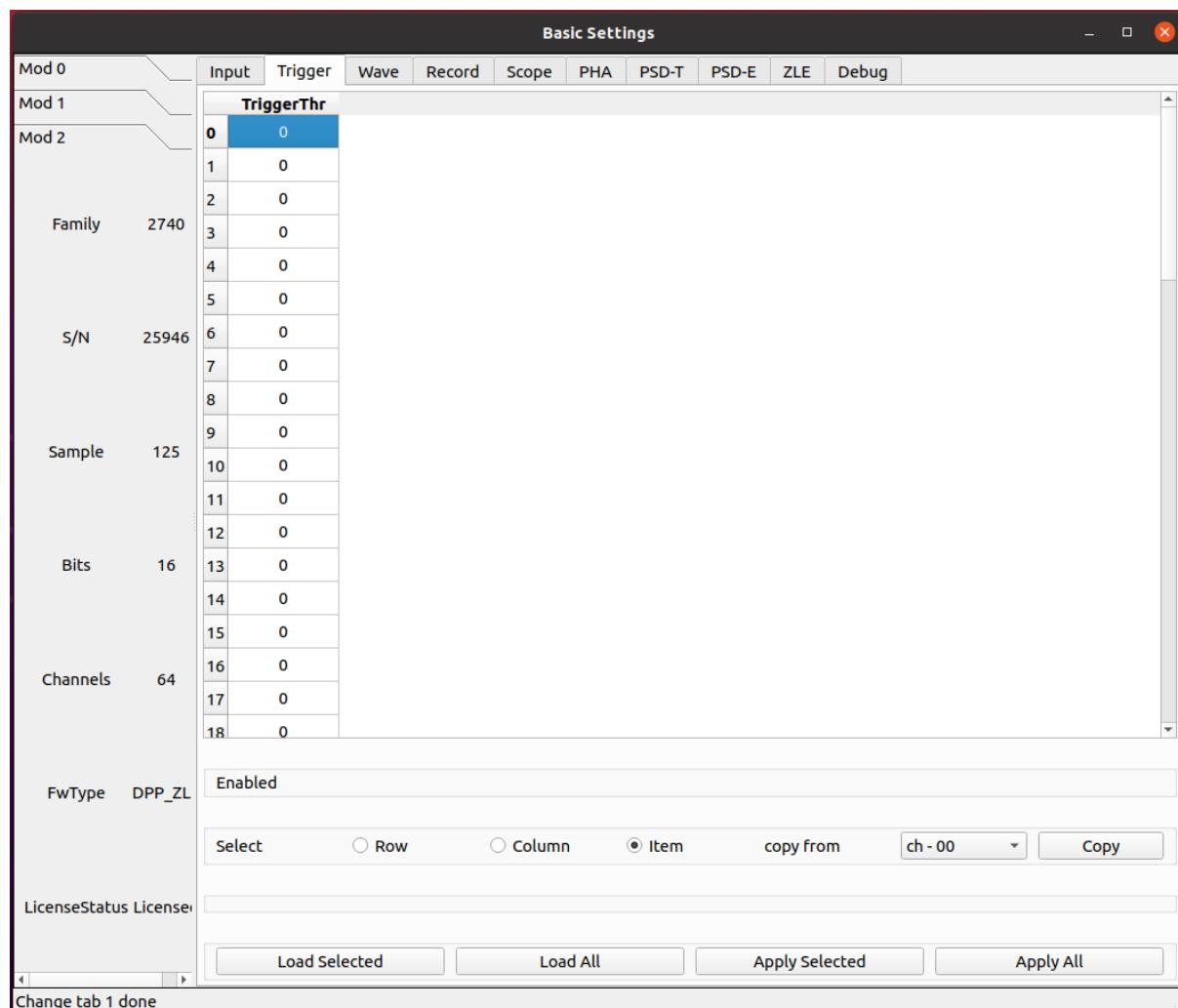
- Positive
  - Positive polarity
- Negative
  - Negative polarity

## 参数 VGAGain

2745 特有。

以 0.5 dB 为步长设置可变增益放大器（VGA）的增益。参数设置每 16 个通道为一组，64 通道分为 4 组。最小可设置为 0，最大为 40。

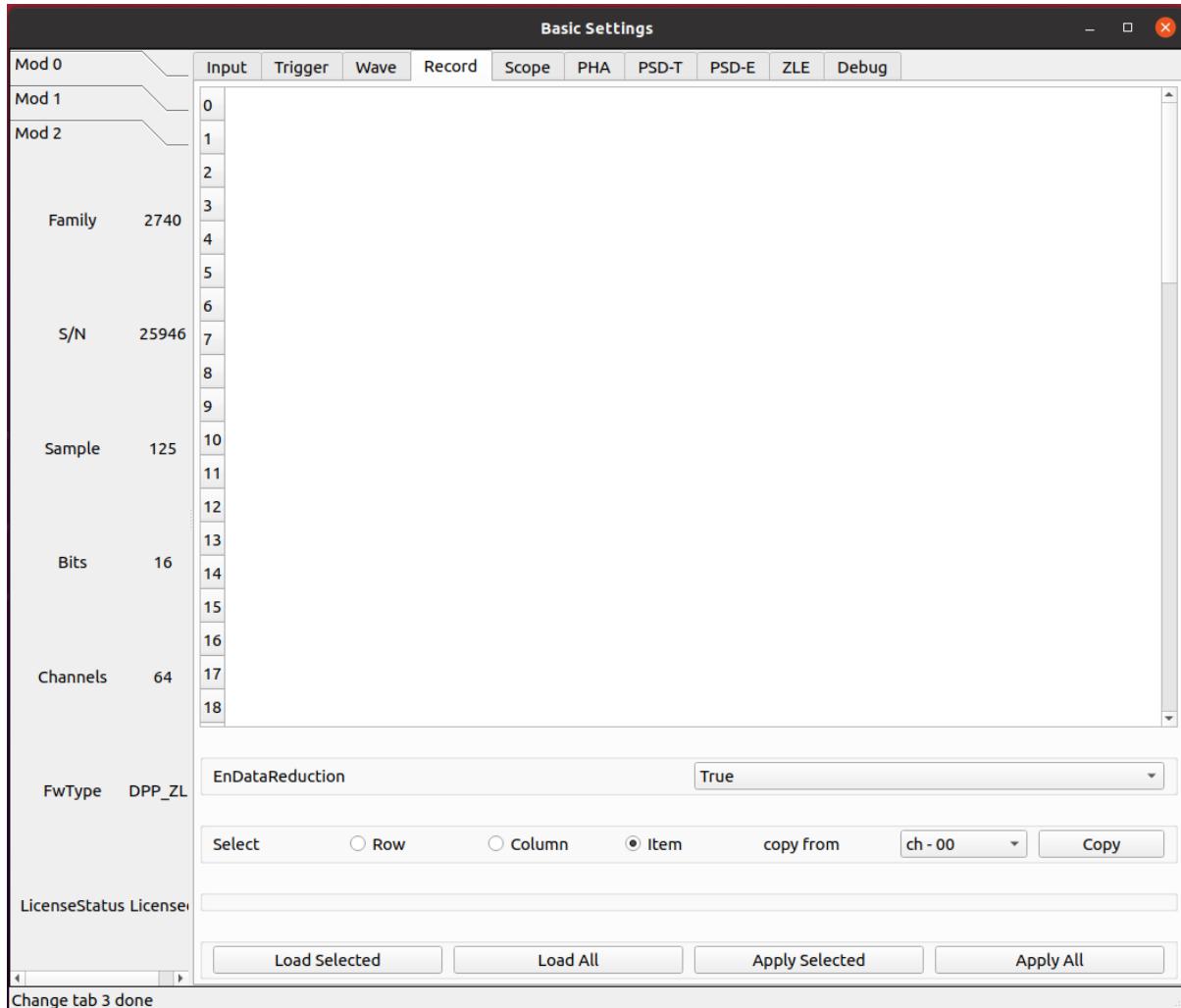
## 10.1.2 触发



### 参数 TriggerThr

XXXXXXX

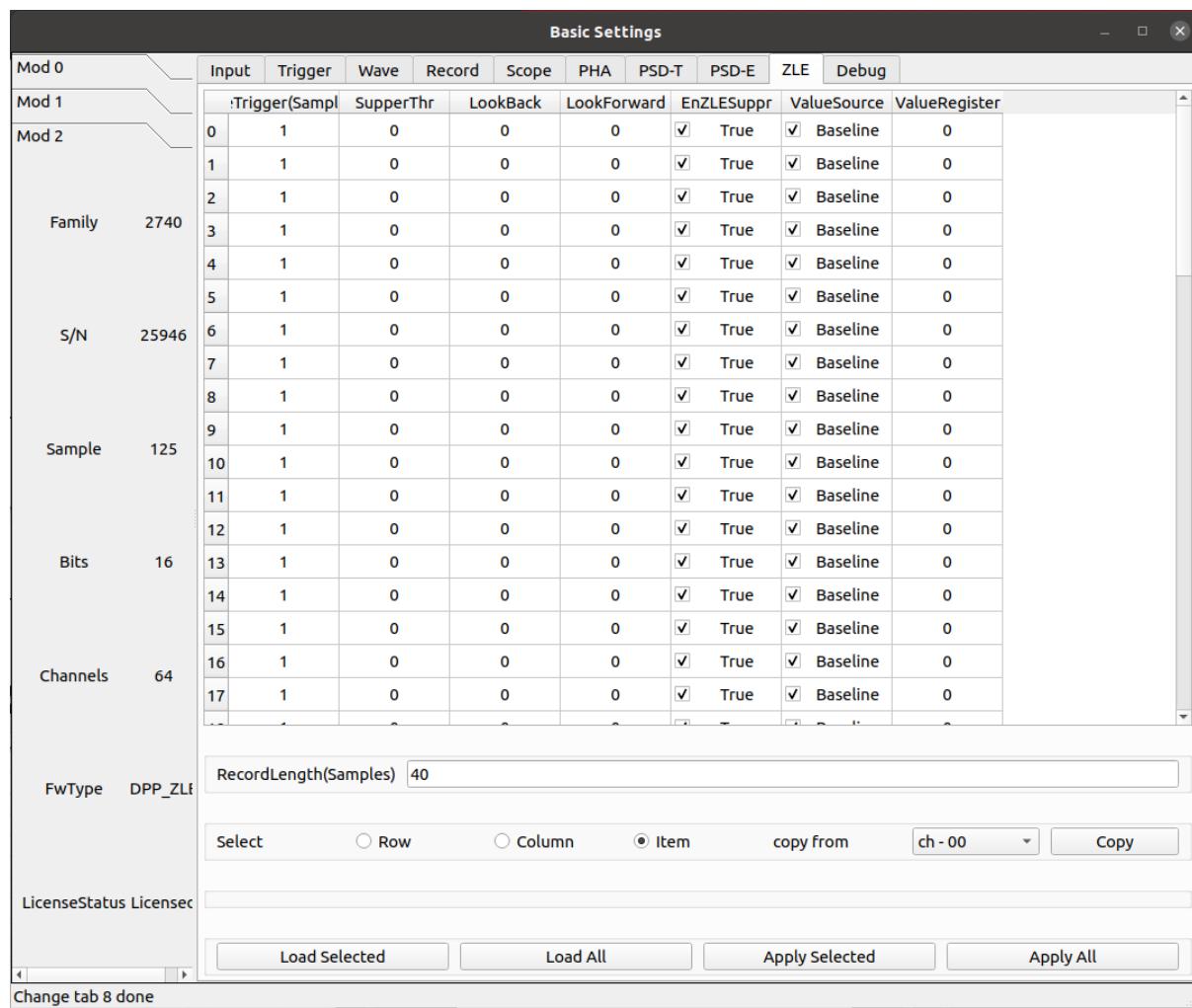
### 10.1.3 数据记录



### 参数 EnDataReduction

XXXXXXX

## 10.1.4 ZLE 参数



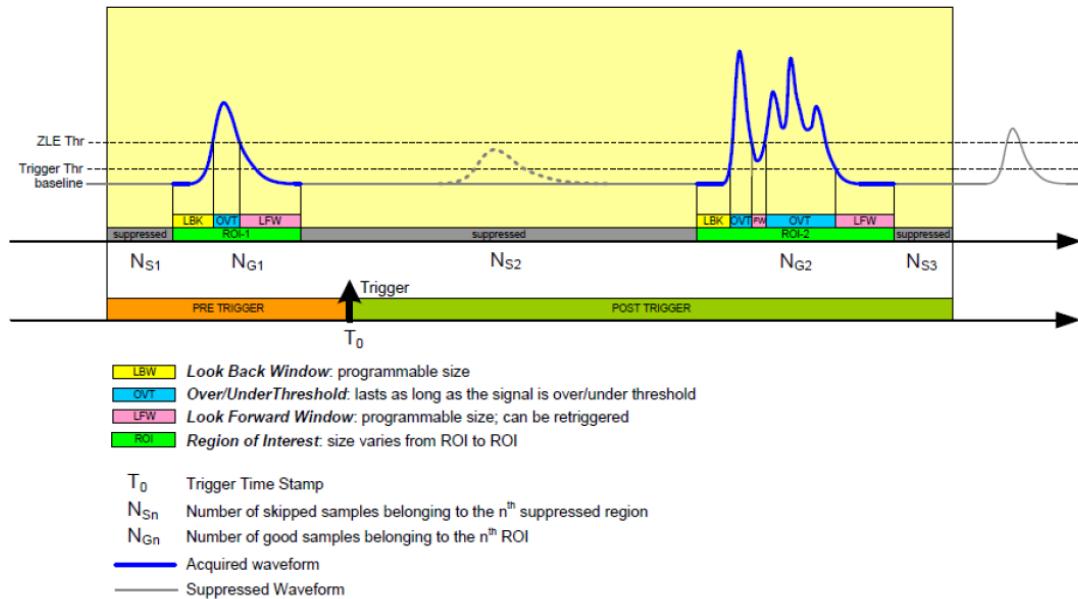
### 参数 PreTrigger

波形中触发位置之前的样本数（即预触发窗口的大小）。

### 参数 SupperThr

ZLE 算法进一步检查是否超过了 ZLE 抑制阈值 (SupprThreshold)，并保存过阈值样本（在负极性的情况下低于阈值），这些样本被称为“好”样本。此外，还可以在过/低于阈值之前和之后采集可编程数量的样本（分别为 LookBack 和 LookForward）。丢弃“跳过”的样本；在最终数据中仅记录舍弃的样本数。此参数允许设置 ZLE 数据抑制阈值。

下图显示了 ZLE 算法的参数。信号记录在 ZLE 过阈值之前开始 LookBack 采样（图片中的 LBW），并在相反方向的下阈值之后 LookForward 停止采样。所记录的区域定义了算法的 ROI (感兴趣区域)。在 ROI 之外，算法记录跳过的样本数。



## 参数 LookBack

This parameter allows to set the ZLE look-back samples.

## 参数 LookForward

This parameter allows to set the ZLE look-forward samples.

## 参数 EnZLESuppr

设置是否启用 ZLE 数据压缩。

- **True**
  - ZLE Data reduction is enabled.
- **False**
  - ZLE Data reduction is disabled.

## 参数 ValueSource

Selection of the default sample value in the payload (baseline or register).

- **Baseline**
  - Default sample value is Baseline.
- **Register**
  - Default sample value is the value.

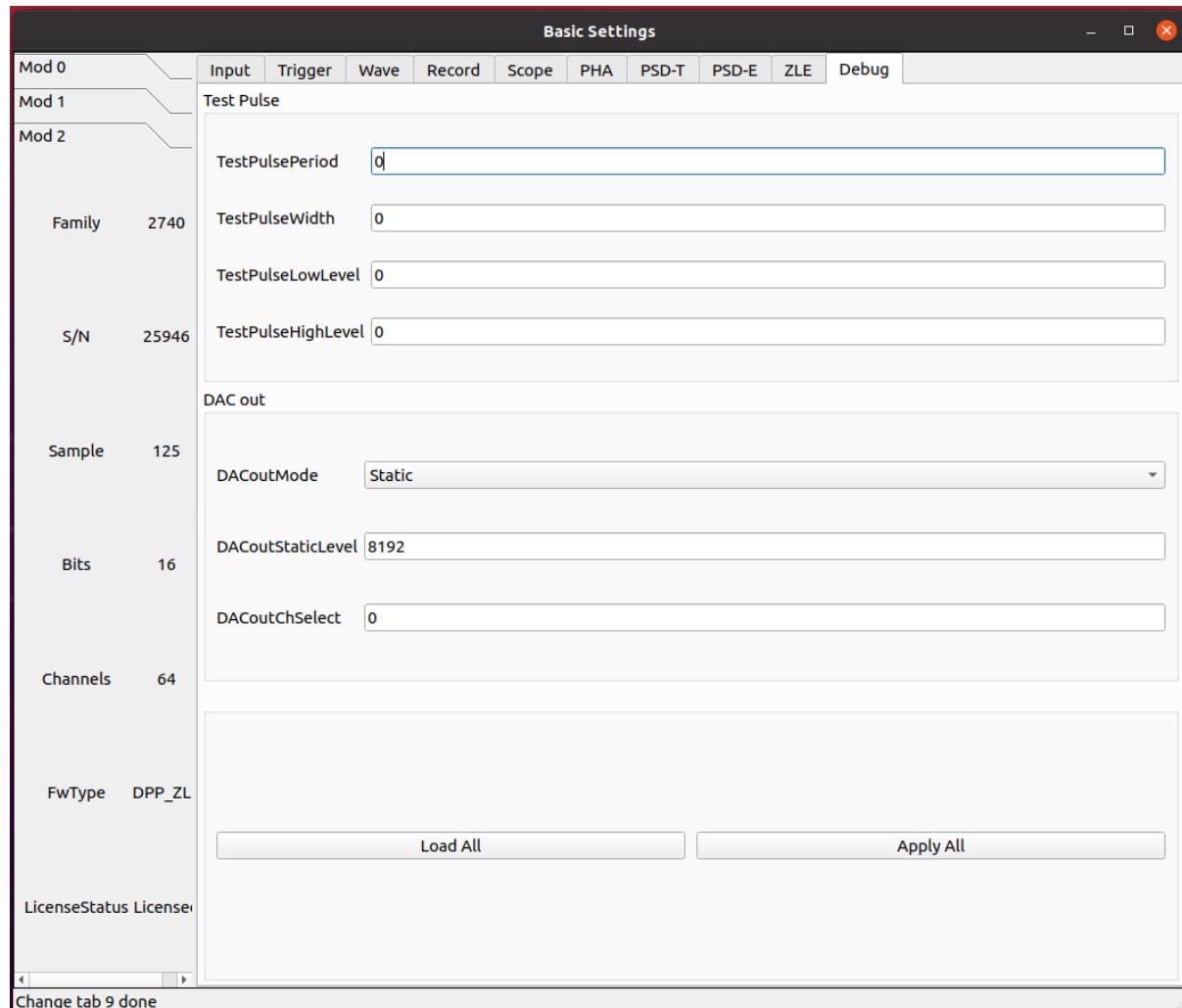
## 参数 ValueRegister

ZLE 默认采样值寄存器。

## 参数 RecordLength

波形大小（即采集窗口的大小）。波形的实际大小将自动四舍五入到最接近的允许值。

### 10.1.5 诊断



## 参数 TestPulsePeriod

测试脉冲是一种可编程方波，可用作内部周期性触发器（主要用于测试目的）或在 TRGOUT 和 GPIO 输出上生成逻辑测试脉冲（TTL 或 NIM）。此参数设置测试脉冲的周期。

单位为时间，ns

### 参数 TestPulseWidth

测试脉冲的宽度（信号保持高电平的时间）。

单位为时间， ns

### 参数 TestPulseLowLevel

以 ADC 道址表示的测试脉冲低电平

### 参数 TestPulseHighLevel

以 ADC 道址表示的测试脉冲高电平

### 参数 DACoutMode

选择要在前面板 DAC LEMO 口输出发送的信号类型。

- **Static**
  - DAC output stays at a fixed level, given by the DACoutStaticLevel parameter
- **Ramp**
  - The DAC output is driven by a 14-bit counter
- **Sin5MHz**
  - The DAC output is a sine wave at 5 MHz with fixed amplitude
- **Square**
  - Square wave with period and width set by TestPulsePeriod and TestPulseWidth and amplitude between TestPulseLowLevel and TestPulseHighLevel.
- **IPE**
  - Not implemented
- **ChInput**
  - The DAC reproduces the input signal received by one input channel, selected by the DACoutChSelect parameter
- **MemOccupancy**
  - Level of the memory occupancy (not yet implemented)
- **ChSum**
  - The DAC reproduces the “analog” sum of all the digitizer inputs (not yet implemented)
- **OverThrSum**
  - The DAC output is proportional to the number of channels that are currently above the threshold

### 参数 DACoutStaticLevel

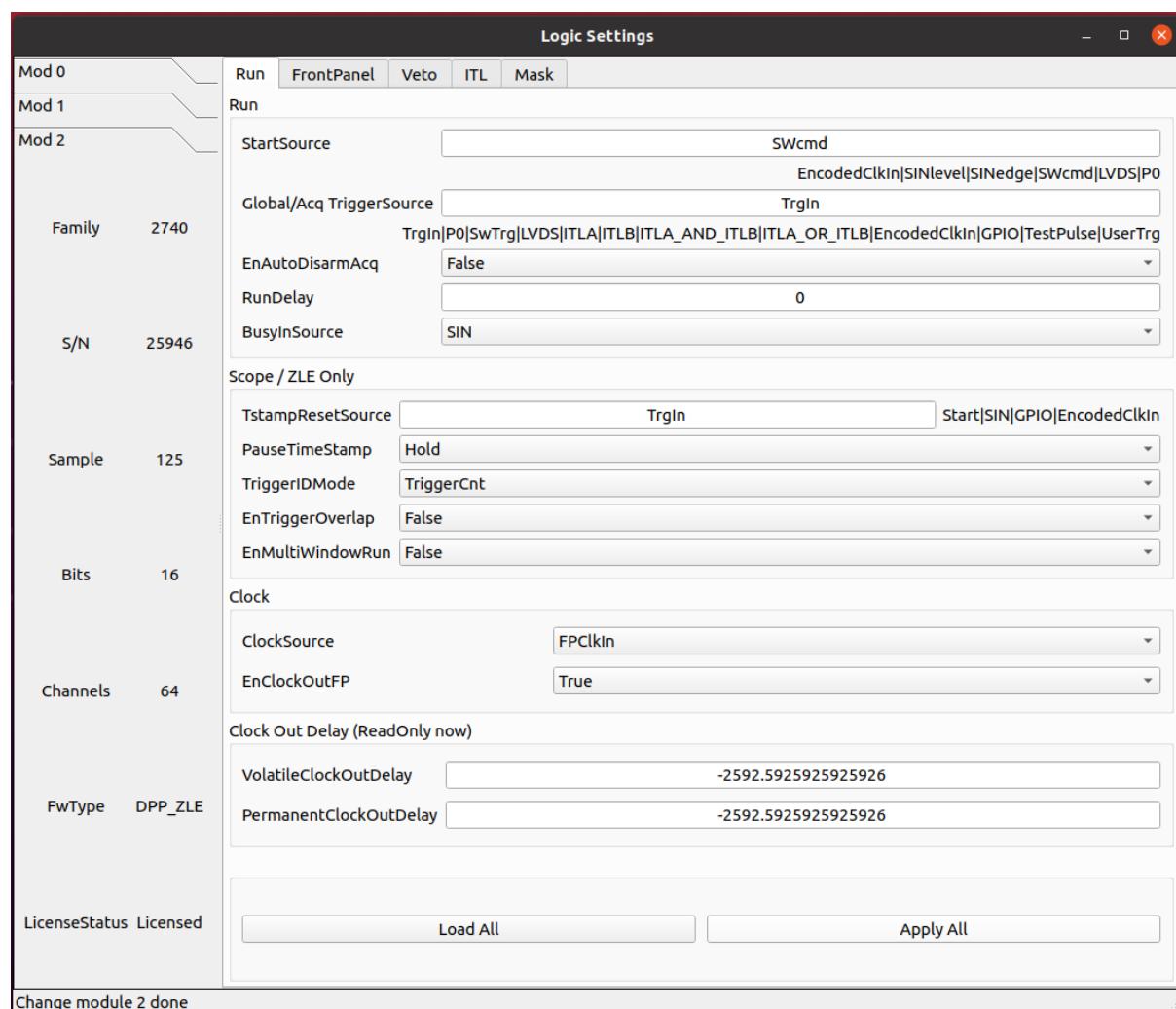
当 DACoutMode = Static 时, 此参数设置 DAC 输出的 14 位电平。

### 参数 DACoutChSelect

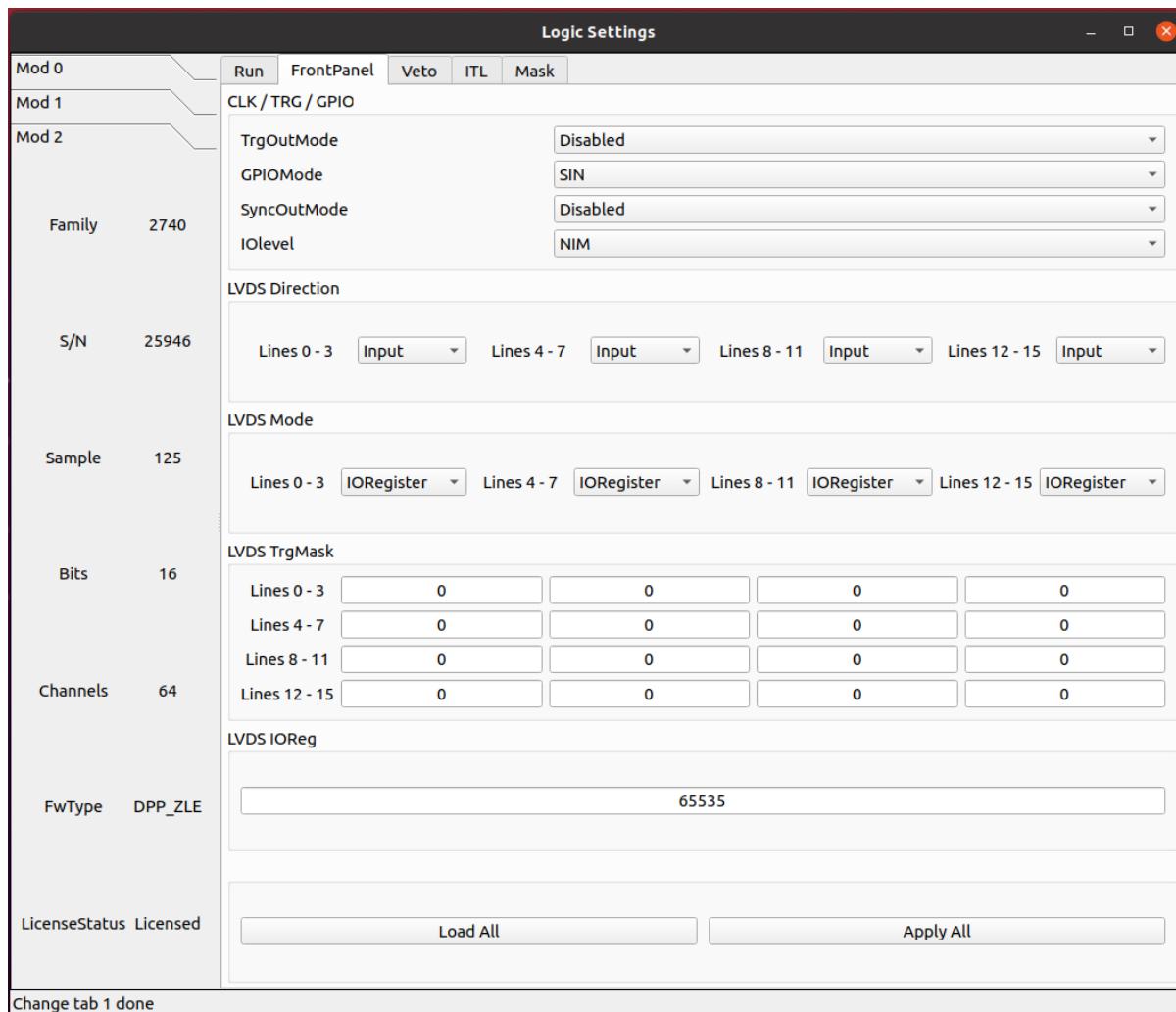
当 DACoutMode = ChInput 时, DAC 输出由该参数选择的通道的输入信号。

## 10.2 逻辑参数配置

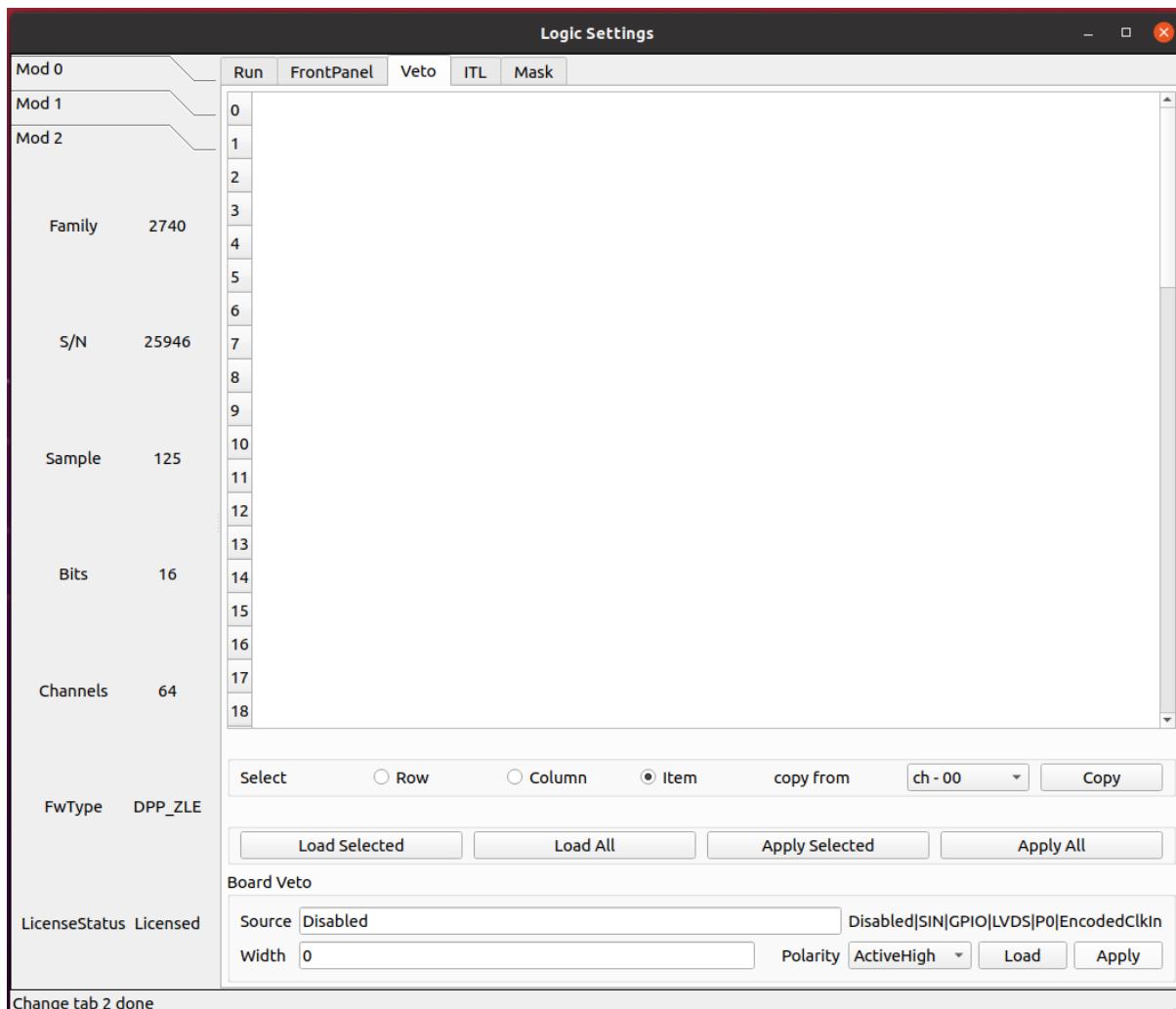
### 10.2.1 运行



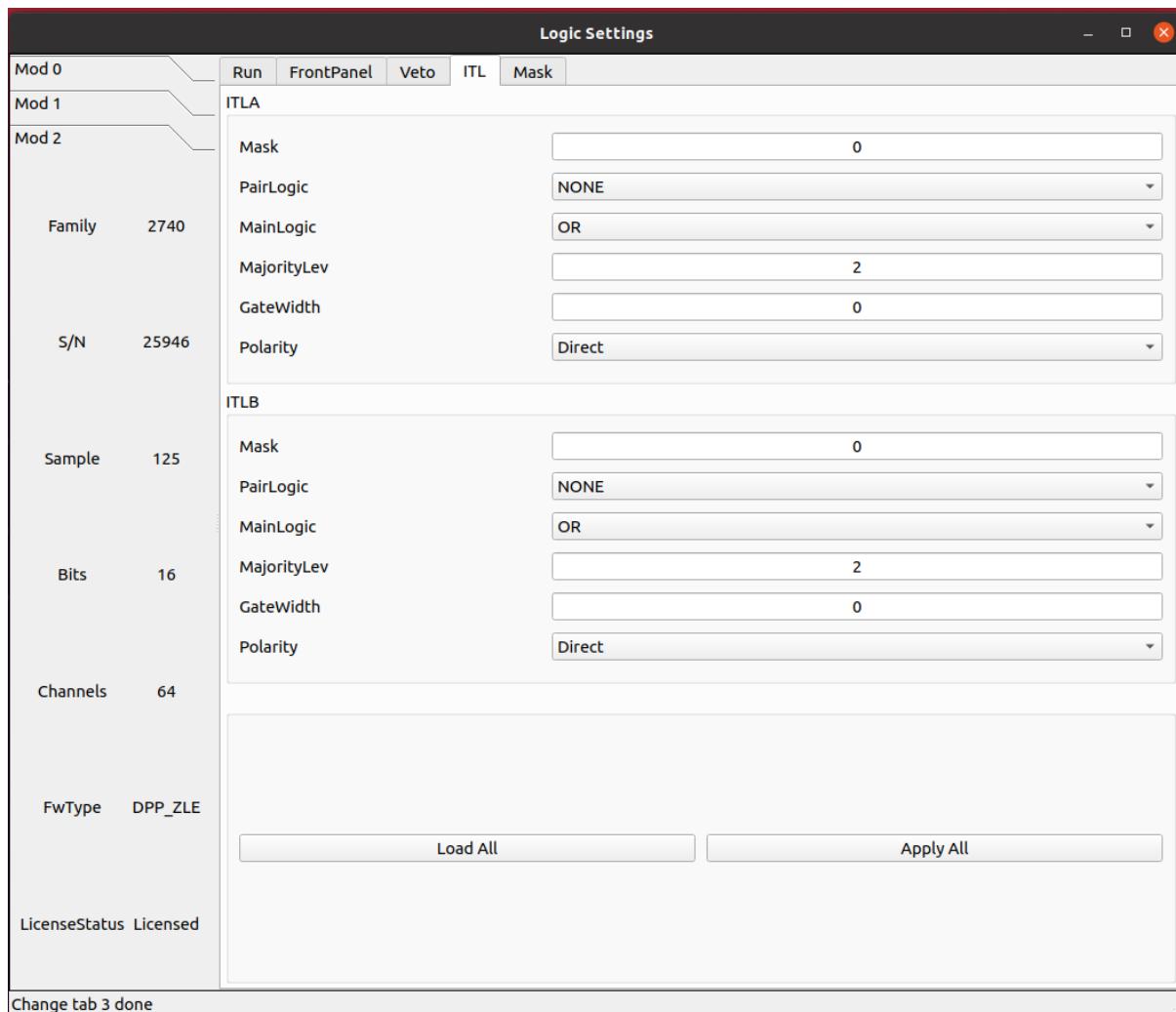
## 10.2.2 模块前面板



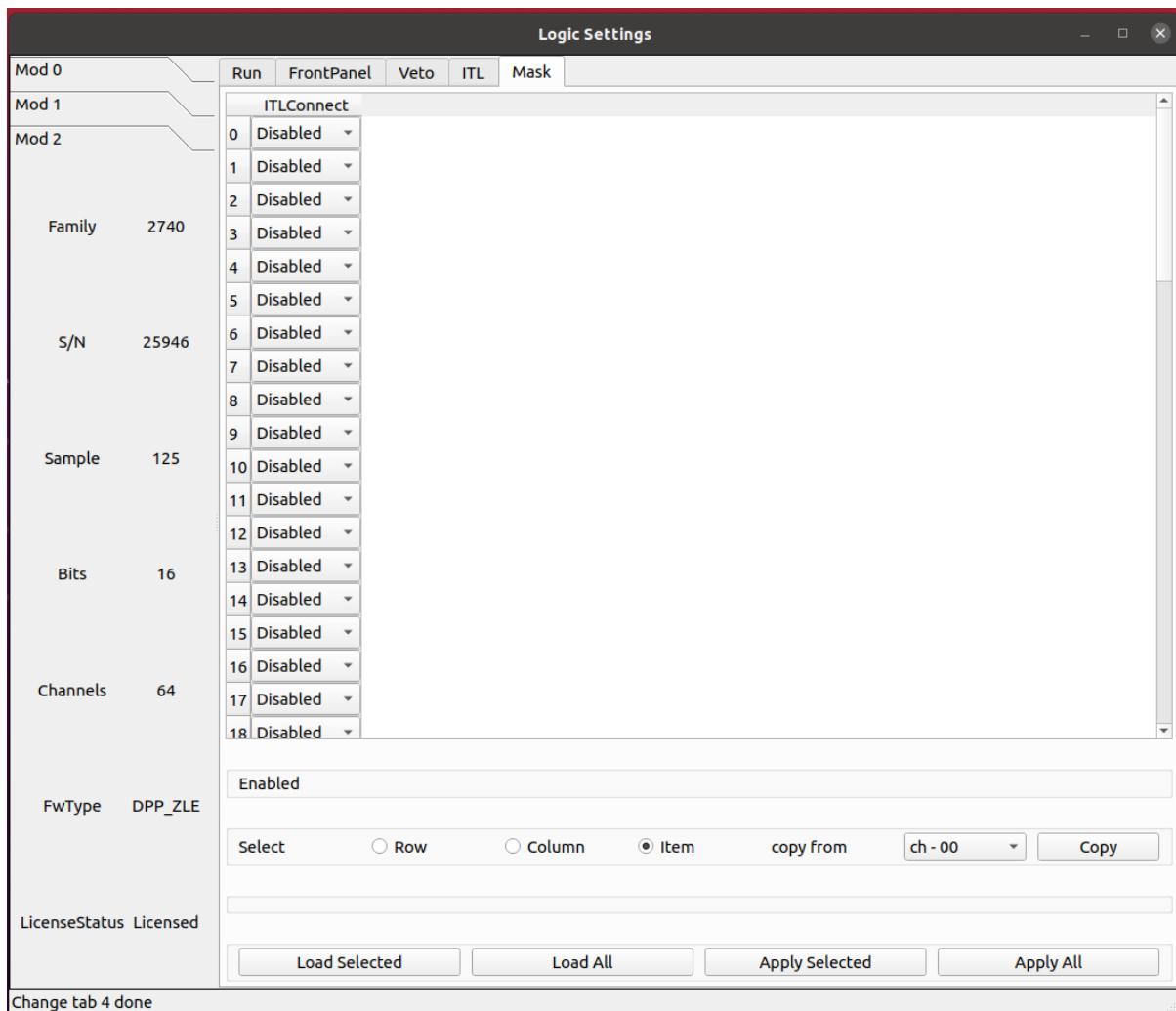
### 10.2.3 反符合



### 10.2.4 ITL 逻辑



### 10.2.5 延迟展宽



# CHAPTER 11

## 开放 FPGA

CAEN 开放 FPGA 包括两个开发模式，一个是图形化的软件 SCI-Compiler，适合于没有 FPGA 编程基础的人开发固件；另一个是非公开的 Open FDK，适合于专业的 FPGA 开发人员。这两个模式开发的固件，可以通过固件的信息来区分。我们发布的固件为 Open FDK 开发。

### Firmware

This page allows you to upload a new CUP file (firmware image) to your digitizer and select which firmware to run as the default or current version. The 'current' firmware is the one currently running on the digitizer, while the 'default' firmware is the one loaded at startup. You can switch between the loaded firmware on-the-fly, except in cases where changing the communication link is required.

Storage Space Usage:

16%

[Upload new firmware...](#)

2024040906	ETH 1G	Current	⋮
V2740 Open DPP 2024040906 generated by CAEN Open FDK			
2024031601	ETH 1G	⋮	⋮
V2740 OpenDPP firmware generated by SCI-Compiler			
2023112703	ETH 1G	Default	⋮
DPP-PHA			
2023091902	ETH 1G	⋮	⋮
DPP-ZLE			
2023091901	ETH 1G	⋮	⋮
DPP-PSD			
2023091900	ETH 1G	⋮	⋮
Scope			
2022052302	ETH 1G	Factory	⋮
Factory firmware Scope			

SCI-Compiler 开发的固件，运行的采集模块需要有 SCI-Compiler Runtime license，否则只能运行 30 分钟，可通过重启来重新获得 30 分钟的测试时间。

## Firmware

This page allows you to upload a new CUP file (firmware image) to your digitizer and select which firmware to run as the default or current version. The 'current' firmware is the one currently running on the digitizer, while the 'default' firmware is the one loaded at startup. You can switch between the loaded firmware on-the-fly, except in cases where changing the communication link is required.

Storage Space Usage:

<div style="width: 100px; height: 10px; background-color: #2e6b2e; margin-bottom: 5px;"></div> <div style="width: 800px; height: 10px; background-color: #cccccc; margin-bottom: 5px;"></div>	16%	<a href="#">Upload new firmware...</a>
<b>2024040906</b>	<small>ETH 1G</small>	<small>Current</small> <small>⋮</small>
V2740 Open DPP 2024040906 generated by CAEN Open FDK		
<b>2024031601</b>	<small>ETH 1G</small>	<small>⋮</small>
V2740 OpenDPP firmware generated by SCI-Compiler		
<b>2023112703</b>	<small>ETH 1G</small>	<small>Default</small> <small>⋮</small>
DPP-PHA		
<b>2023091902</b>	<small>ETH 1G</small>	<small>⋮</small>
DPP-ZLE		
<b>2023091901</b>	<small>ETH 1G</small>	<small>⋮</small>
DPP-PSD		
<b>2023091900</b>	<small>ETH 1G</small>	<small>⋮</small>
Scope		
<b>2022052302</b>	<small>ETH 1G</small>	<small>Factory</small> <small>⋮</small>
Factory firmware Scope		

Open FDK 开发的固件，对采集卡没有任何 license 要求。

---

# CHAPTER 12

## 应用案例

本章节介绍一些实验应用案例、测试结果等。

$$dB = 20\lg(A/B)$$

- **0 dB**
  - x1

- **6 dB**
  - x2

- **9.5 dB**
  - x3

- **12 dB**
  - x4

- **14 dB**
  - x5

- **15.6 dB**
  - x6

- **16.9 dB**
  - x7

- **18 dB**
  - x8

- **19 dB**
  - x9

- **20 dB**
  - x10

- **21.6 dB**
  - x12

- **22.3 dB**
  - x13
- **22.9 dB**
  - x14
- **24.1 dB**
  - x15
- **25.1 dB**
  - x18
- **26 dB**
  - x20
- **29.5 dB**
  - x30
- **32 dB**
  - x40
- **34 dB**
  - x50
- **35.6 dB**
  - x60
- **36.9 dB**
  - x70
- **38 dB**
  - x80
- **39 dB**
  - x90
- **40 dB**
  - x100

HPGe

DSSD

---

# CHAPTER 13

---

## 数据分析

---

数据转换程序输出数据时间戳单位为 1 ns



# CHAPTER 14

## 数据解码

**DecodeAndSortAll** 程序用来将同一轮数据不同采集卡采集的数据转为一个 ROOT 文件。用户的物理分析以本程序产生的 ROOT 文件为基准。本程序生成的数据已经按照时间戳从小到大排列。

用户首先需要修改 **UesrDefine.hh** 文件中的定义

```
// #define ONLYPHA  
// #define ONLYPSD  
// #define ONLYZLE  
// #define ONLYSCOPE
```

如果获取中所有的模块只使用一个类型的固件，则开启对应的定义。如果没有单一固件的定义，则输出的数据文件将默认支持所有的类型固件。

```
#define ROOTFILEPATH "./"          //要生成ROOT文件的路径  
#define ROOTFILENAME "data"        //要生成ROOT文件的名字  
// 生成 ROOT 文件的路径和文件名
```

```
#define RAWFILEPATH "/home/wuhongyi/"      //原始数据的路径  
#define RAWFILENAME "data"                //原始数据的文件名  
#define MODNUMBER 2                      //机箱中使用的模块数  
const unsigned short SamplingRate[MODNUMBER] = {500, 125}; //Specify the sampling  
rate of each modules separately; 125/500/1000 sampling rates; 0 to skip the  
module  
const unsigned short Firmware[MODNUMBER] = {2, 0}; //DPP_PHA=0 DPP_ZLE=1 DPP_PSD=2  
//DPP_DAW=3 OPEN=4 Scope=5  
// 指定每个模块的固件类型，如果类型指定错误，解码数据将存在问题
```

修改之后执行以下命令编译程序：

```
make clean  
make
```

编译成功之后将生成一个可执行文件 **decodeandsort**，程序运行方式：

```
./decodeandsort [RunNnumber]
```

其中 **[RunNnumber]** 为想要转换的文件运行编号。



# CHAPTER 15

---

## 事件组装

---

TODO

---



# CHAPTER 16

## 采购推荐

**PKUCAENDAQ** 长期进行版本更新，请大家时常关注是否有新版本发布。如有任何疑问，请与吴鸿毅联系（[wuhongyi@qq.com](mailto:wuhongyi@qq.com) / [wuhongyi@pku.edu.cn](mailto:wuhongyi@pku.edu.cn)）

CAEN 公司正在推出的数字化 2.0 系列采集卡，涵盖 125M/250M/500M 以及 1G 采样频率。

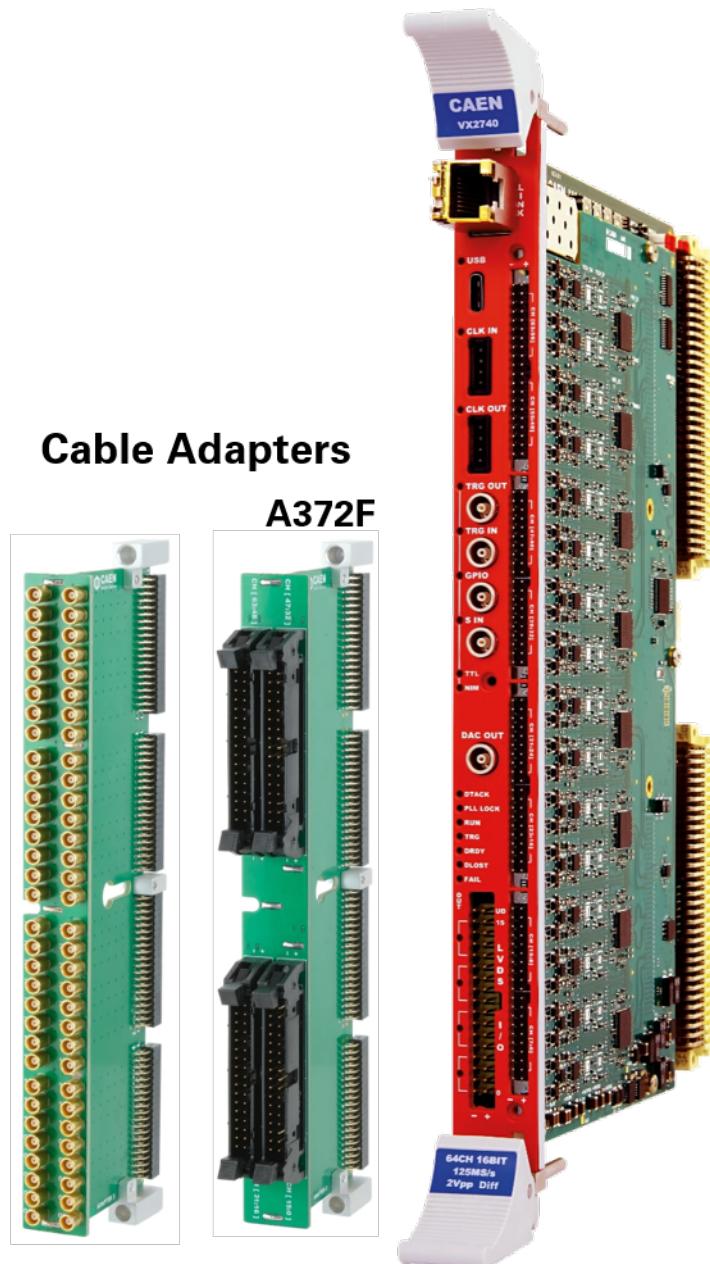
Model	# Channels	MS/s	# bit	Applications
x2740	64	125	16	64 MCAs for high channel density spectroscopy Good fit for Neutrino and Dark Matter exp. (candidate for Dark Side)
x2751 (*)	16	1000	14	Ultra-fast detectors with ps timing applications
x2725/x2730 (*)	16	250/500	14	Medium-fast detectors Sub-ns timing combined with high energy resolution
x2724 (*)	32	125	16	Spectroscopy & MCA Advanced Front-End (gain, shaping, ...) Semiconductor detector (HPGe, Clover, SDD, ...) Typically connected to charge Sensitive Preamplifier

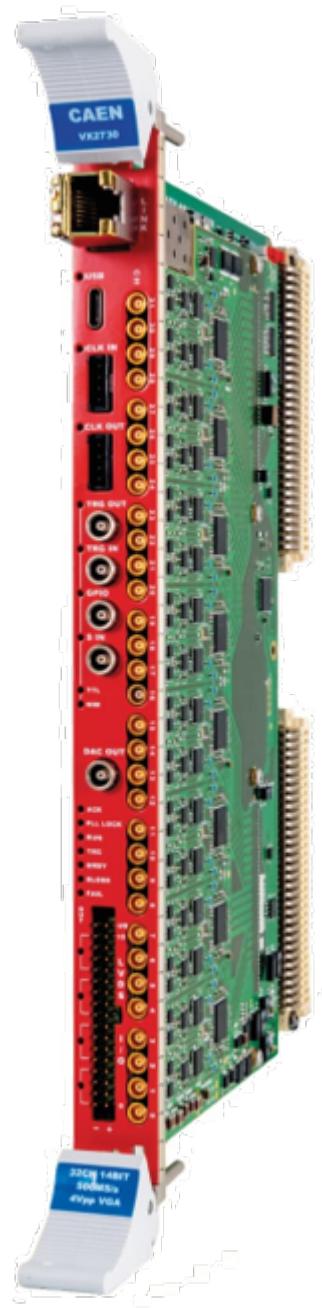
(\*) Coming soon. Product specifications are subject to change without notice.

本程序支持数字化 2.0 系列中所有所有型号(不支持上一代 x724/x725/x730 等产品)以及所有类型固件混合运行。目前已经上市的产品包括 2740/2745 系列，每个模块 64 通道，125M 采样率，垂直精度 16 位；2730 系列，每个模块 32 通道，500 M 采样率，垂直精度 14 位。

即将上市的产品有 2751 系列，每个模块 32 通道，1G 采样率，垂直精度 14 位。DT2760，8 通道，125 M 采样率，16 位；DT2770，4 通道，500M 采样率，14 位。

从大规模实验的使用角度来考虑，我们推荐大家尽可能采购 VME 版本而不是桌面版本。VME 版本搭配单槽机箱（μ-crate）同样便携使用，且能够保留它搭建大阵列使用的能力。





## 16.1 逻辑模块

V2495/DT5495 需要复杂实验触发逻辑的用户需要采购该配套模块。我们建议每个机箱配一个该模块。对于每个 V2495/DT5495，我们建议添加三个 A395D 子板。



## 实验调试

鉴于我们的时间限制，如果您的实验或者调试需要我们的协助，请至少提前一个月与我们联系，确保我们有充足的时间与您沟通实验的采集需求并设计合理的实验获取方案。（简单调试/实验提前一个月以上，中等规模或者采集逻辑有特殊需求的提前三个月以上，高通道密度或者实验中存在特殊考虑需要定制固件的需要提前六个月以上。）**临近实验才与我们联系的，我们一律无法提供任何实验协助。**

在数字化获取系统中每种探测器的能量、时间参数优化都需要经过一定的测试和算法改进（可能需要研究适合该类型探测器的算法并升级固件），对于一种型号的探测器（例如：圣戈班标准 1 英寸 LaBr<sub>3</sub> 探测器）我们优化之后的参数能够适用于所有该型号探测器，但是并不适用于其它型号探测器（包括但不限于更改晶体尺寸、更改 PMT 型号等）。我们的参数优化只针对进口的标准探测器，对于自行封装、自研的探测器不在我们的参数优化范围中（测试并优化好一个型号探测器的能量、时间参数通常需要几个月的时间）。

如果您有标准的探测器需要在本系统中使用，需要我们提前测试并优化采集参数的，请至少提前半年或一年以上将探测器邮寄到我们实验室进行测试（我们无法保证完成算法优化的时间）。对于我们没有充分测试过的探测器型号，我们将不予提供任何临时的协助和获取参数建议。

### 17.1 获取方案设计

物理目标的测量：实验设置和数据分析方法。

实验设置通常需要考虑以下几部分：

- 实验的弹靶组合，束流信息：能量、连续束或者周期性束流，等。
- 实验中探测器的型号、数量、摆放位置、以及实验中的计数率范围等。
- 探测器信号输出的前放、PMT 型号。
- 探测器在放射源下的输出信号幅度。实验需要测量的动态范围、阈值等。
- 探测器是否需要记录波形；是否需要使用 QDC 进行粒子鉴别、或者其它方式的粒子鉴别；采用前沿甄别或者恒比定时甄别；等。
- 探测器之间的可能的采集逻辑：符合、反符合、多重性，等。