



# Politechnika Wrocławska

## Podstawy Techniki Mikroprocesorowej wykład 6: cache, I/O

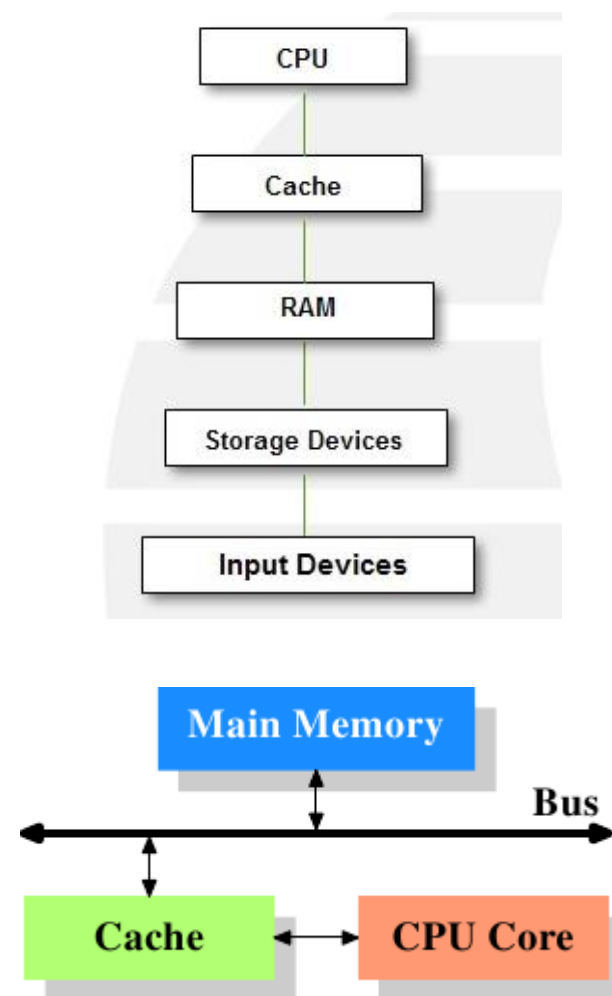
Dr inż. Jacek Mazurkiewicz  
Katedra Informatyki Technicznej  
e-mail: [Jacek.Mazurkiewicz@pwr.edu.pl](mailto:Jacek.Mazurkiewicz@pwr.edu.pl)



# Cache - pamięć podręczna



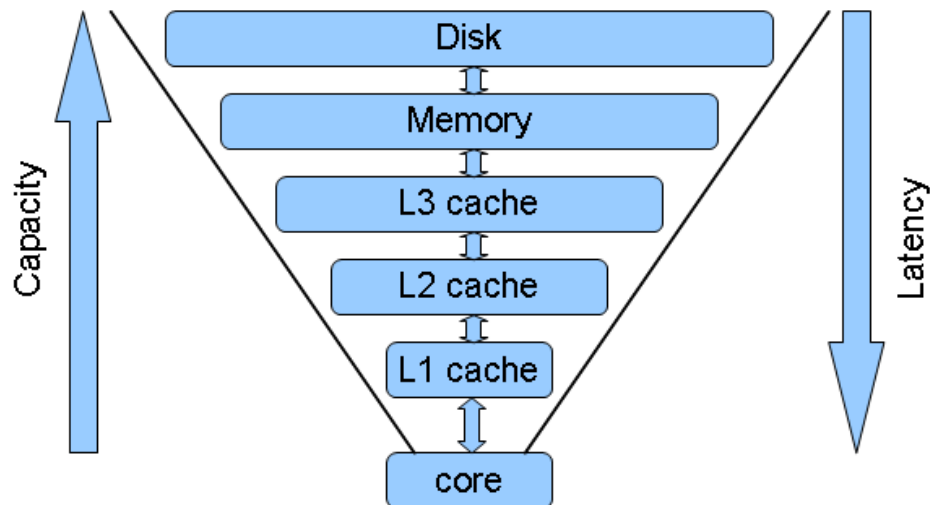
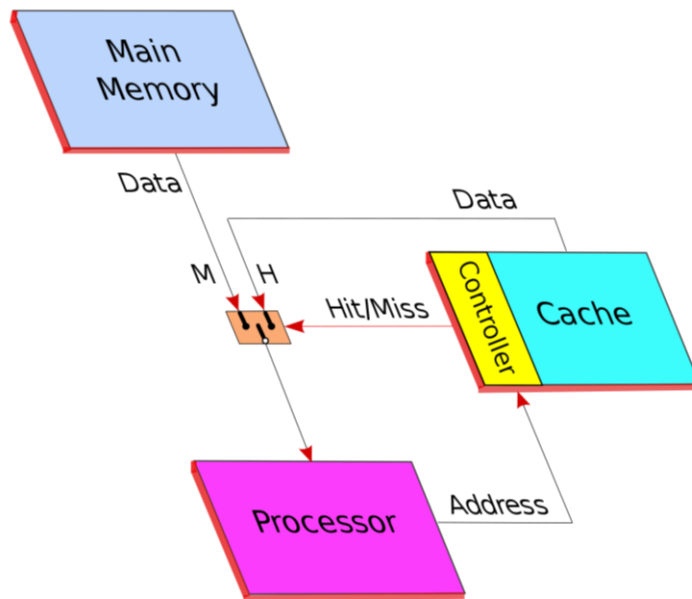
- pod ręką procesora
- „nie dzielę się jedzeniem”
- odrębna magistrala
- może być po harvardzku
- nie może być duża
  - zbyt długi czas przeglądu
  - sens wyparuje
  - ekonomia!





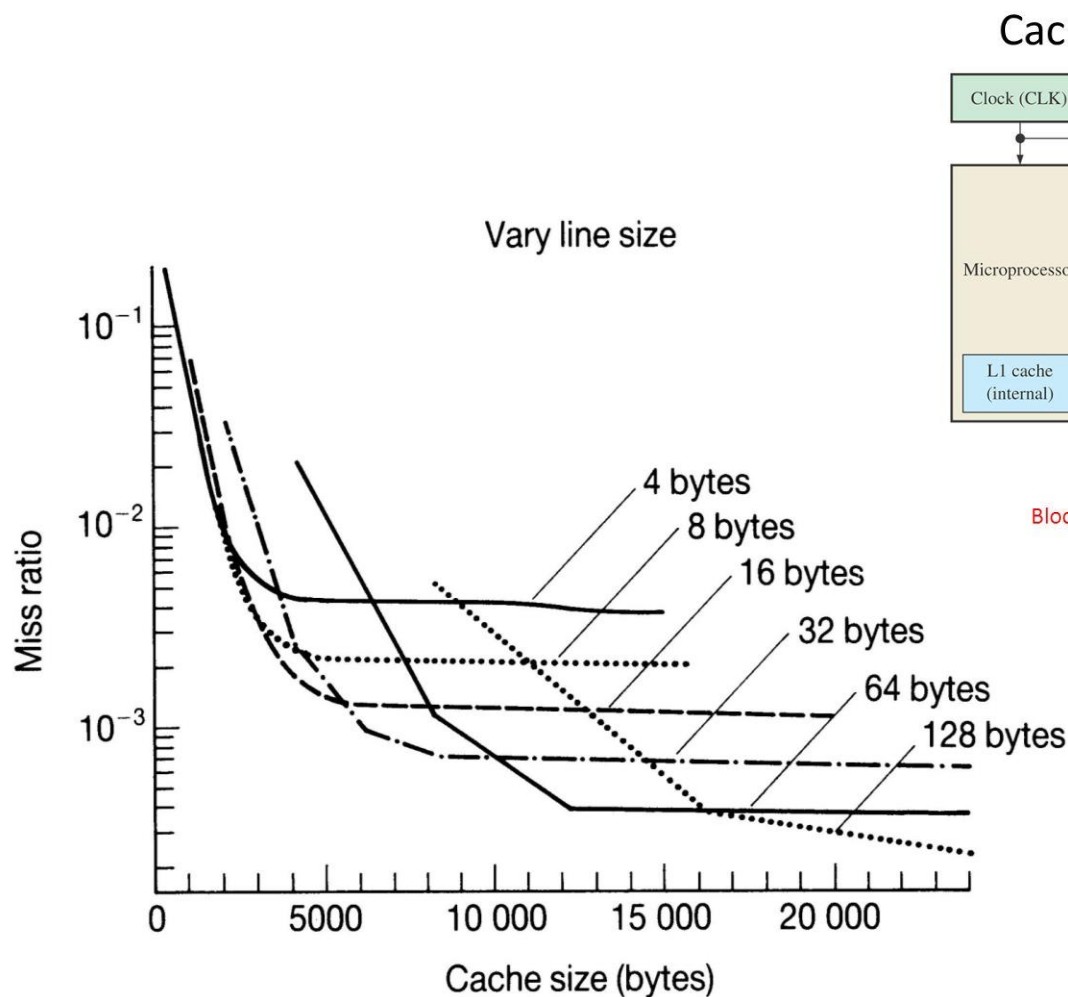
# Cache - elementarne zasady (1)

- hit ratio - co trzeba jest w cache
- miss ratio - niestety ni ma!
- $\text{hit ratio} + \text{miss ratio} = 1$

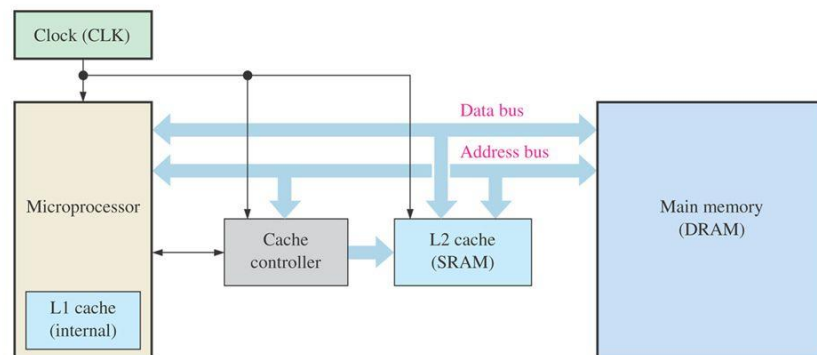




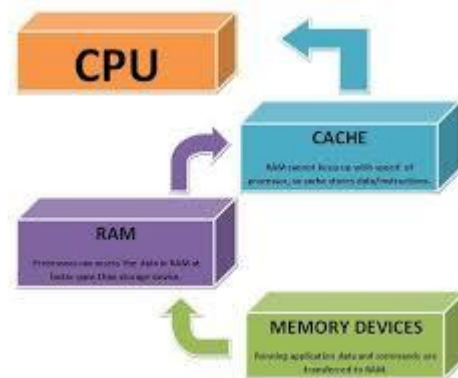
# Cache - elementarne zasady (2)



## Cache Memory

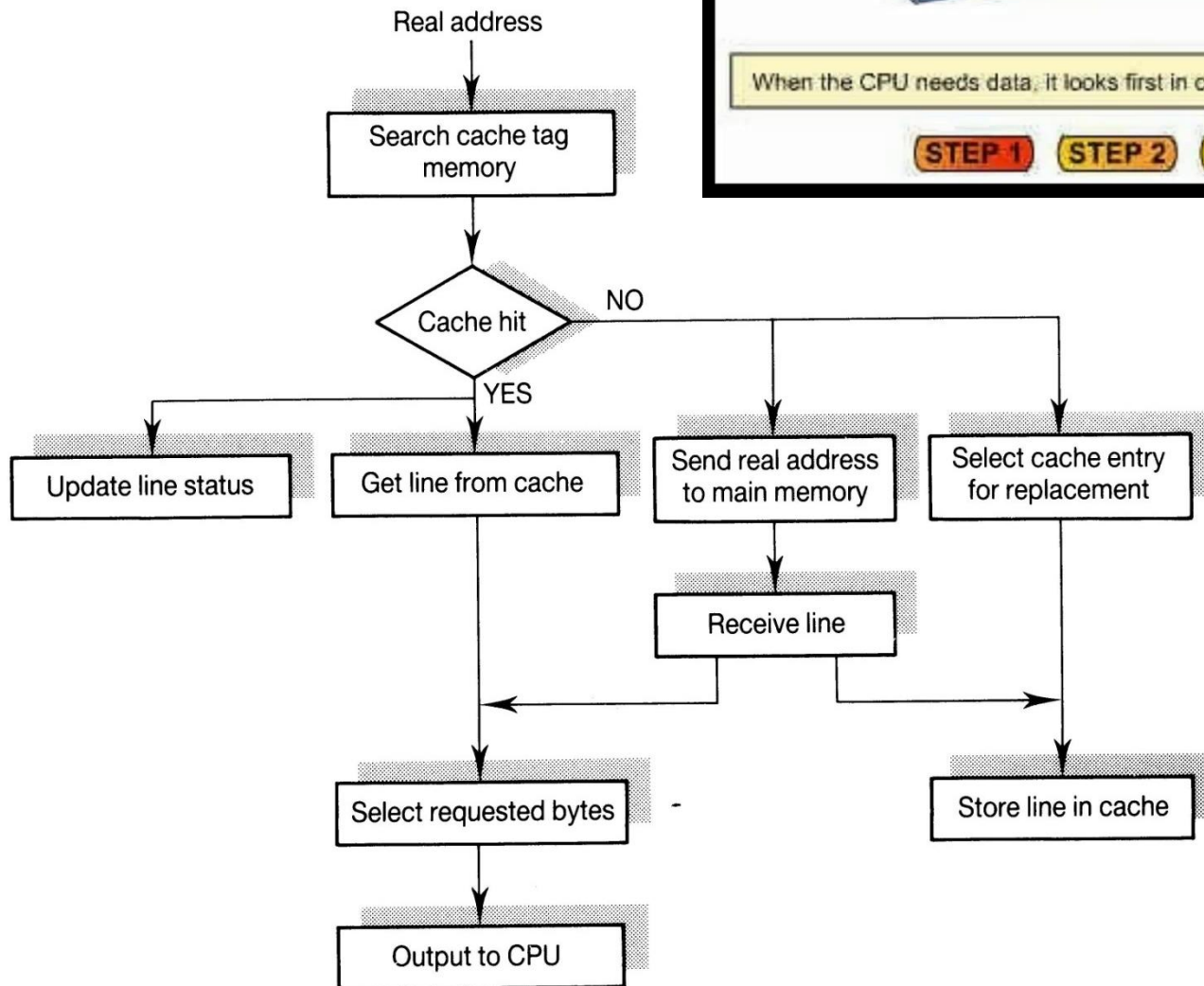
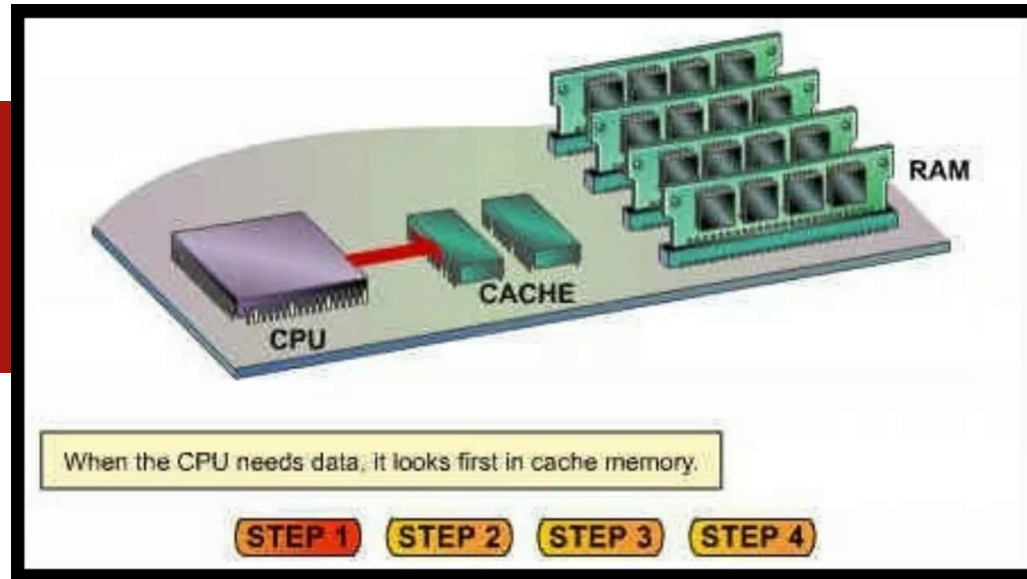


Block diagram showing L1 and L2 cache memories in a computer system.





# Cache - jak?

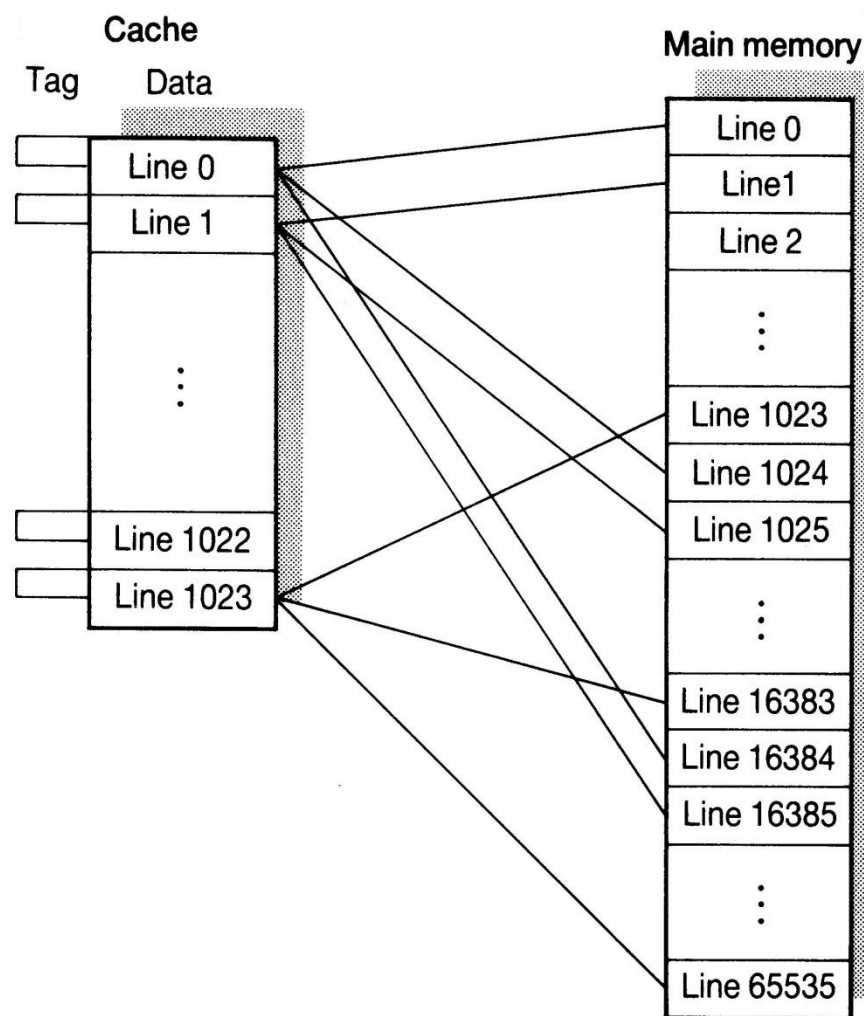




# Direct Mapping Cache



INFINITY CACHE



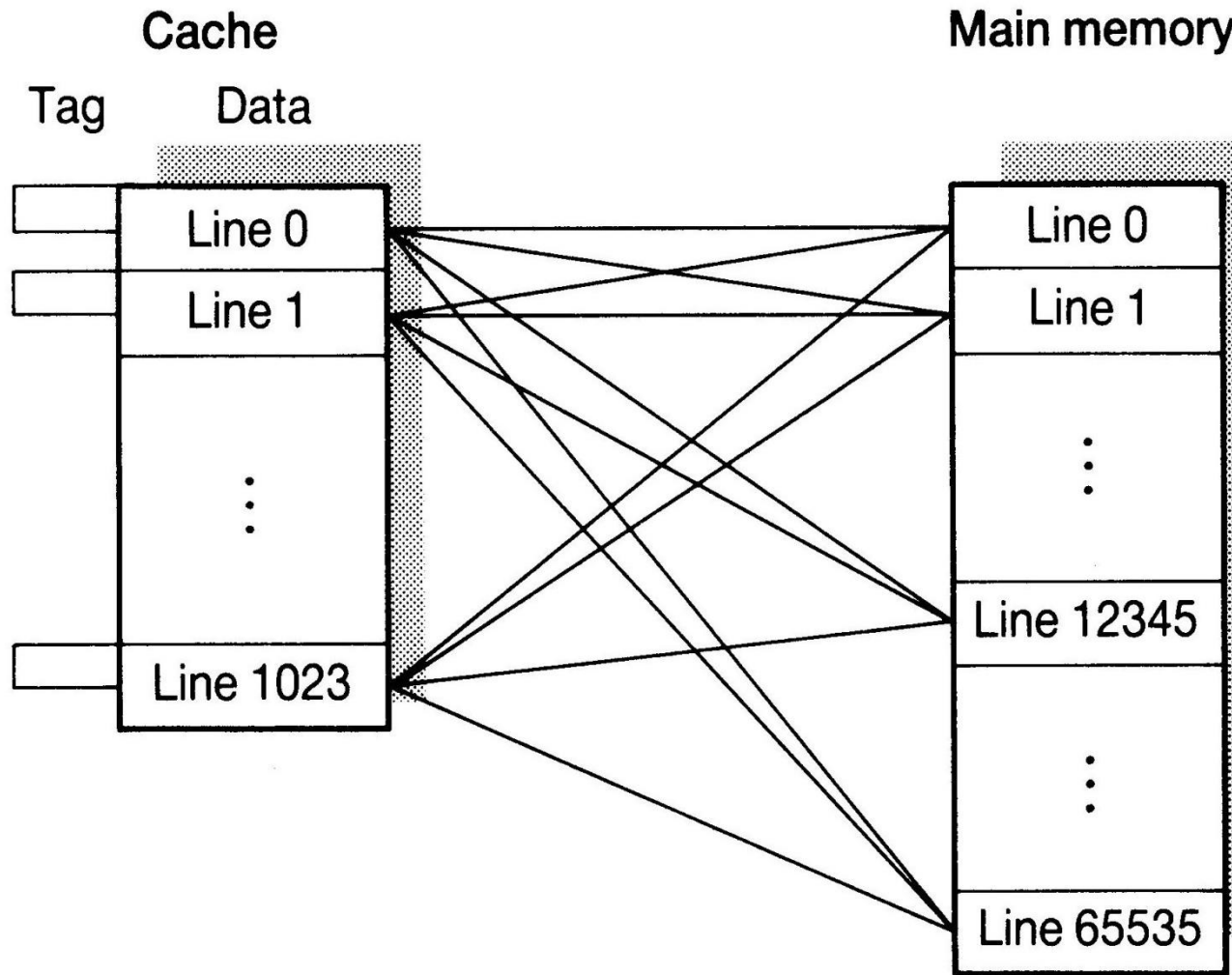




# Fully Associative Cache

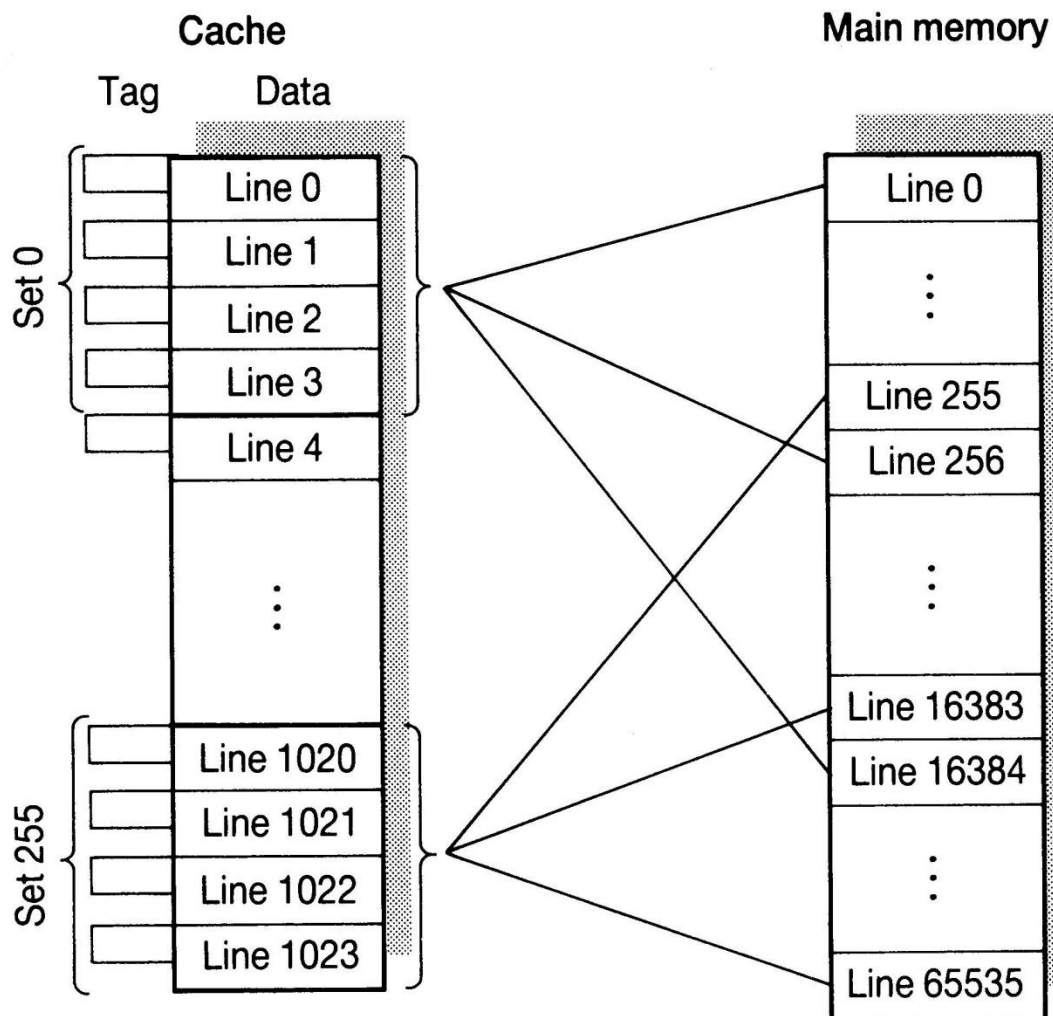


INFINITY CACHE





# Set Associative Cache







# Cache - nominacje, Rada Wyspy (1)

- z uwzględnieniem info z tagów
  - MIN - co najdłużej potrzebne nie będzie
  - LRU - co najdłużej potrzebne nie było
- bez uwzględnienia info z tagów
  - FIFO - pierwsze w lata pierwsze wylata
  - Random - jasne!





# Cache - nominacje, Rada Wyspy (2)

MIN

Cache  
line

1: A \*            \*    \*  
2: B    \*E           \*  
3: C \*    \*           \*  
4: D            \* B

ACBECDABEAC

Random

Cache  
line

1: A \*        C       \*  
2: B    \*       \*  
3: C \*   E    A    \*  
4: D           \*   E

ACBECDABEAC

FIFO

Cache  
line

1: A \*    E       \*  
2: B    \*       A   \*  
3: C \*    \*       B  
4: D           \*    C

ACBECDABEAC

LRU

Cache  
line

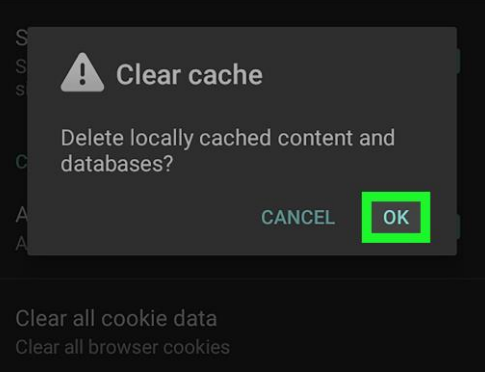
1: A \*            D       C  
2: B    \*        A       \*  
3: C \*        \*        E  
4: D        E        B

ACBECDABEAC





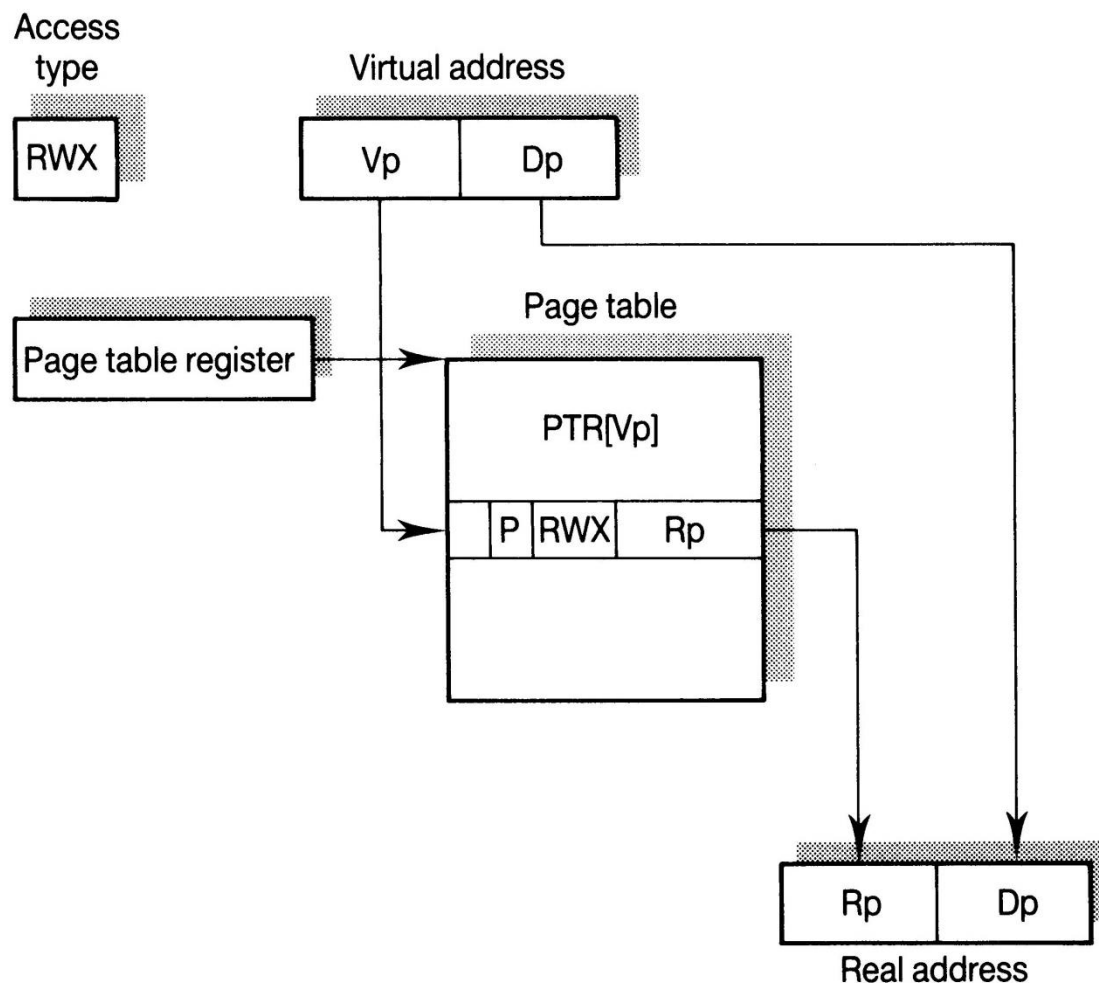
# Cofka do pamięci



- „always the sun”
  - super-asekuracyjne, wolne, sens paruje
- „jak z cache out to do pamięci marsz”
  - sensowne, skuteczne, dobre
- „jak z cache out to do pamięci marsz”
  - ale tylko gdy dana była pisana
  - bardzo przemyślane!

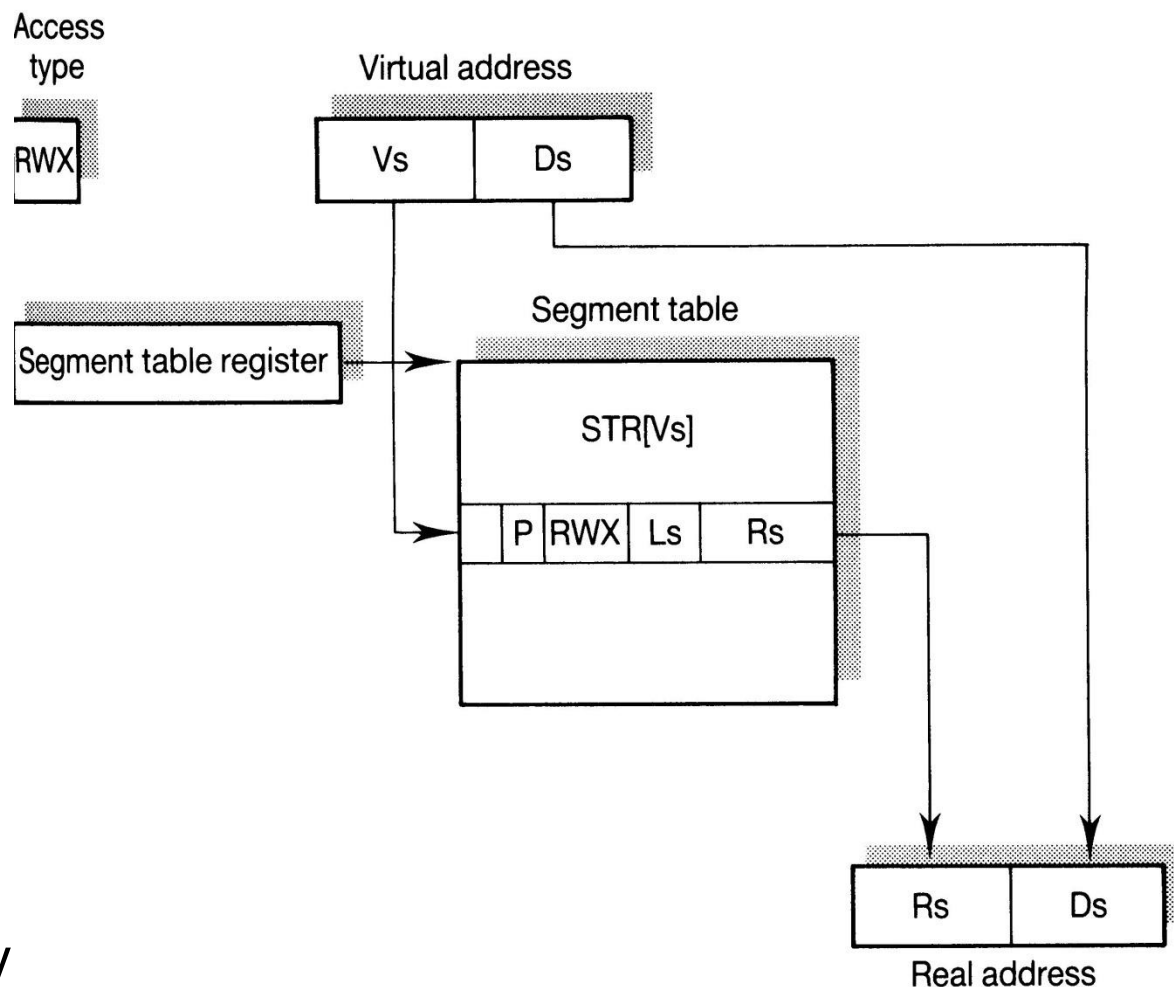
# Pamięć główna (1)

- stronicowanie
- strona najmniejszą działką
- łatwa gospodarka
- ukryte marnotrawstwo
- przydział statyczny
- przydział dynamiczny



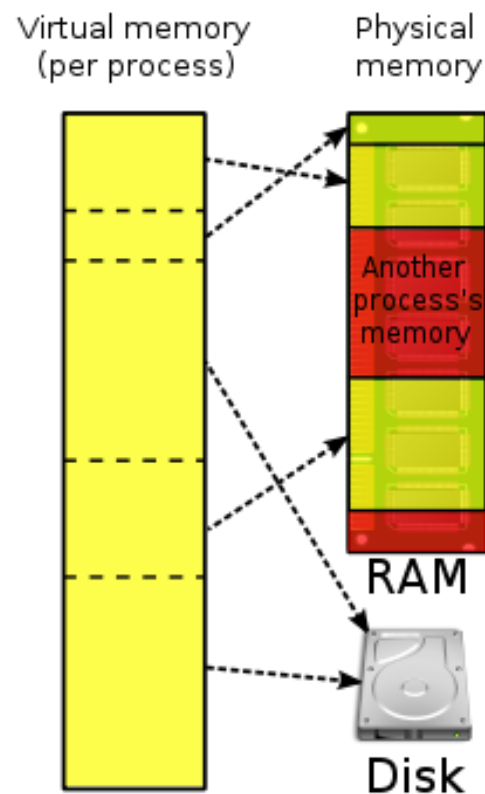
# Pamięć główna (2)

- segmentacja
- kraje jak krawiec
- trudna gospodarka
- marnotrawstwa brak
- przydział statyczny
- przydział dynamiczny



# Pamięć główna (3)

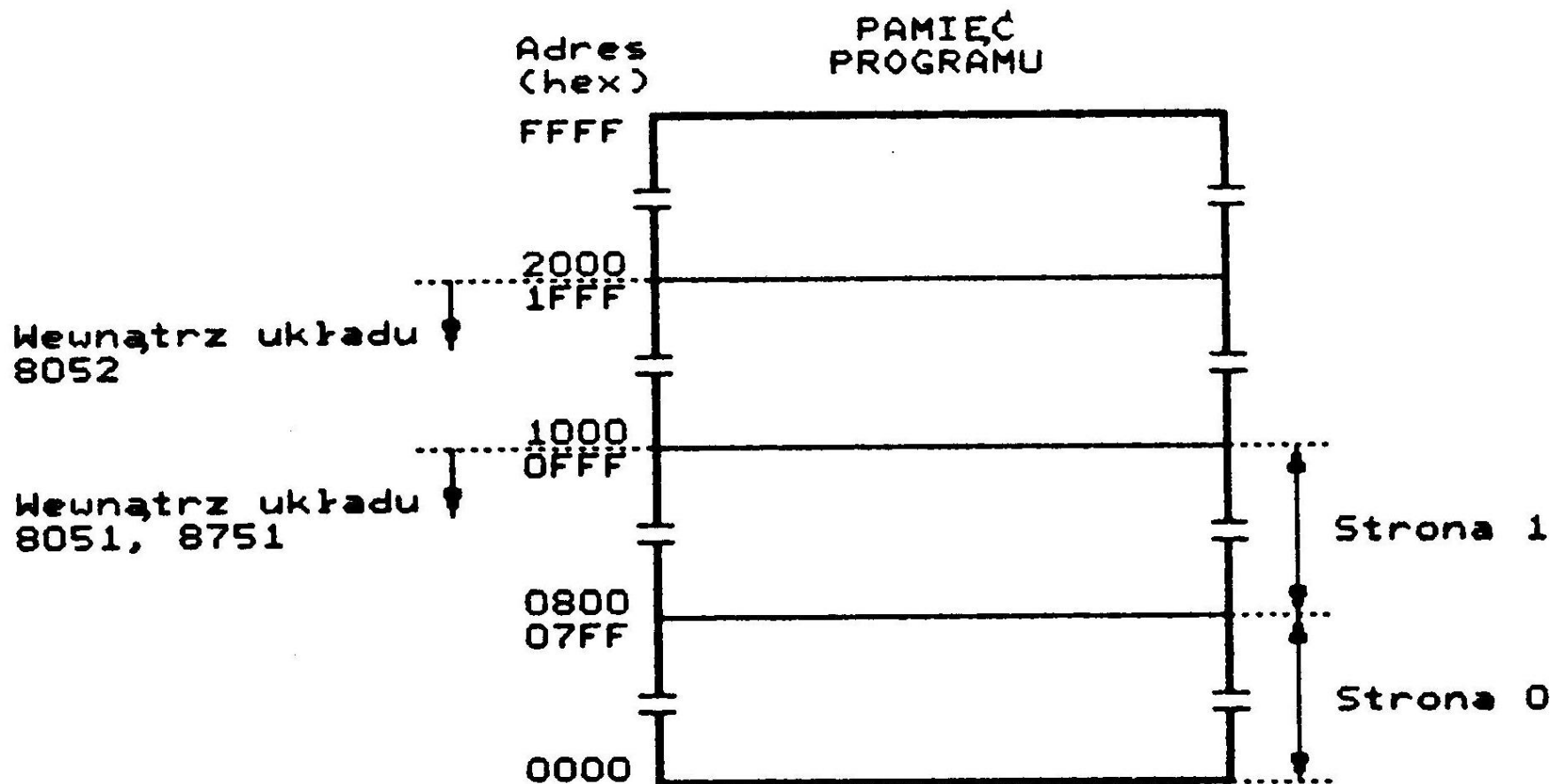
- rozdział statyczny, dynamiczny
- pamięć półprzewodnikowa i udawana
- zasady wymiany jak w cache
- nie jest dobrze jak pamięć udawana  
gra jak półprzewodnikowa





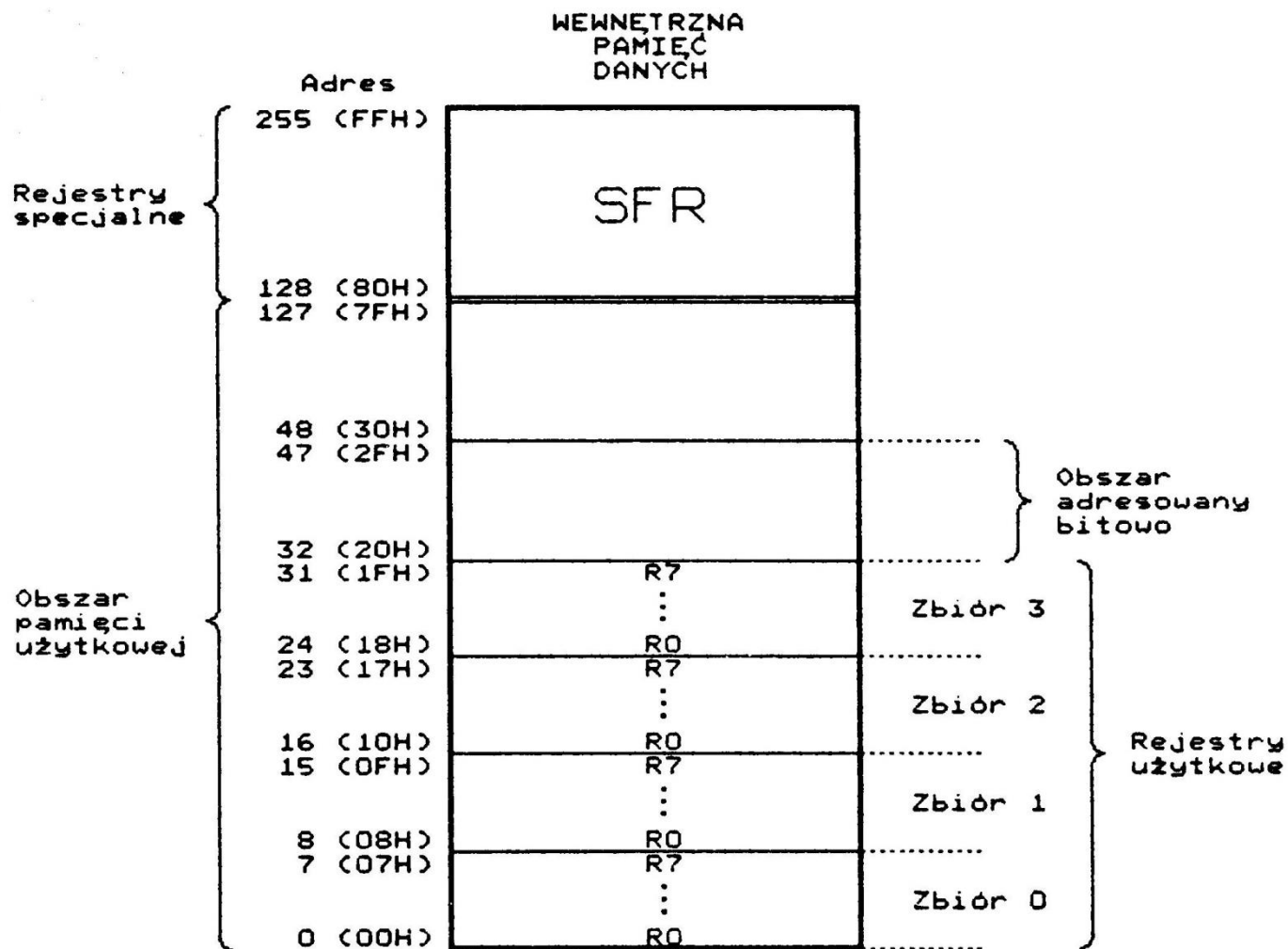


# 8051 - organizacja pamięci programu





# 8051 - organizacja wewnętrznej pamięci danych

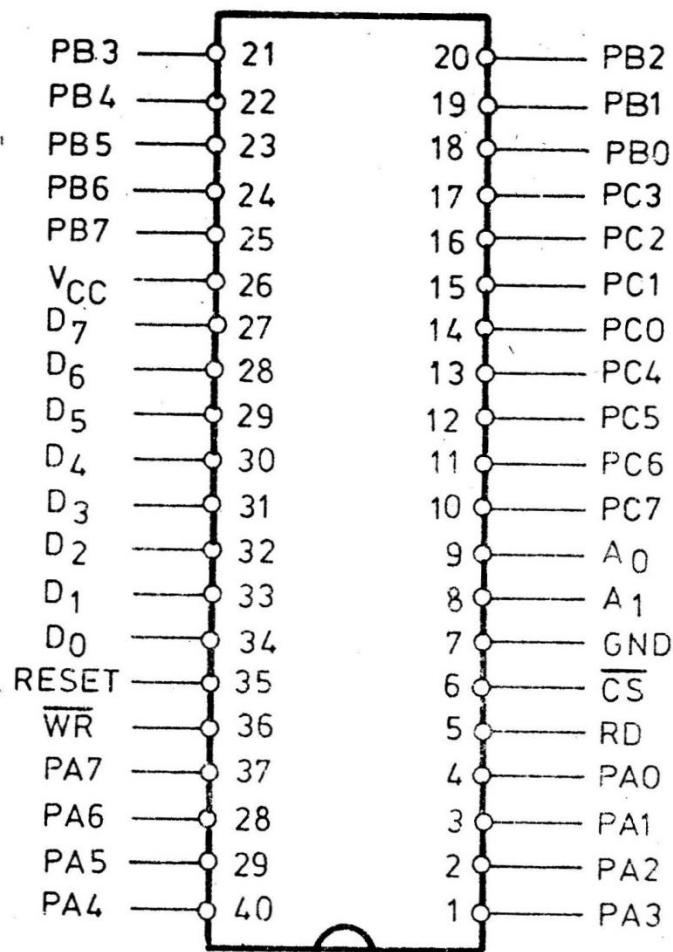
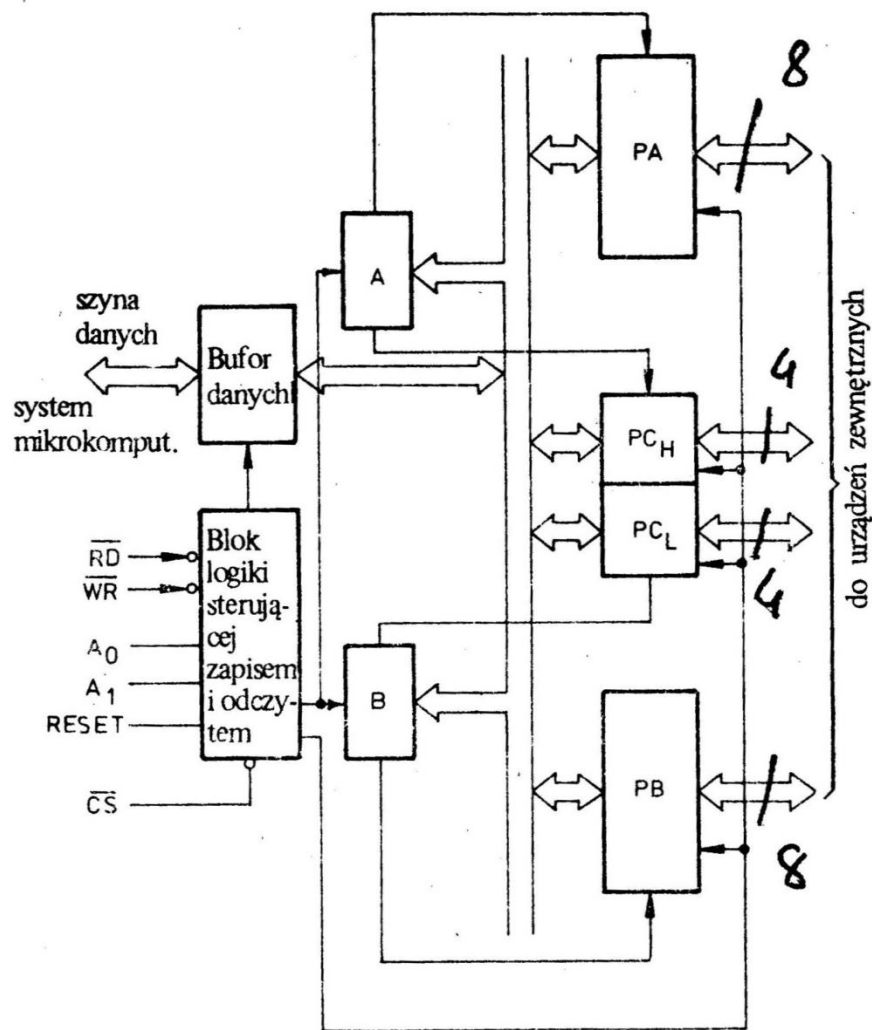


# Układy wejścia-wyjścia klasyczne

- port równoległy - INTEL 8255
  - nadawanie i odbiór słowa - szerokość
- port szeregowy - INTEL 8251
  - nadawanie i odbiór bit po bicie
  - zmiana postaci szeregowej/równoległej
- układ czasowo-licznikowy - INTEL 8253
  - odmierzanie uzależnień czasowych
- te same elementy w INTEL-u 8051



# Port równoległy - schemat blokowy (1)





# Port równoległy - schemat blokowy (2)

Nr operacji	$A_1$	$A_0$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Rodzaje operacji
1	0	0	0	1	0	Operacje wyjścia (CZYTAJ) Kanał A $\rightarrow$ szynę danych
2	0	1	0	1	0	Kanał B $\rightarrow$ szynę danych
3	1	0	0	1	0	Kanał C $\rightarrow$ szynę danych
4	0	0	1	0	0	Operacje wejścia (PISZ) Szyna danych $\rightarrow$ kanał A
5	0	1	1	0	0	Szyna danych $\rightarrow$ kanał B
6	1	0	1	0	0	Szyna danych $\rightarrow$ kanał C
7	1	1	1	0	0	Szyna danych $\rightarrow$ sterowanie
8	x	x	x	x	1	Funkcje zabronione Szyna danych $\rightarrow$ III stan
9	1	1	0	1	0	Warunek niedozwolony

# Tryby pracy (1)

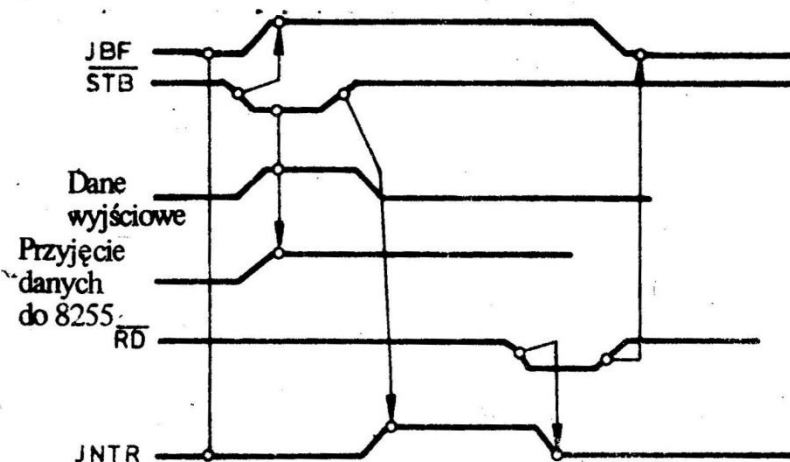
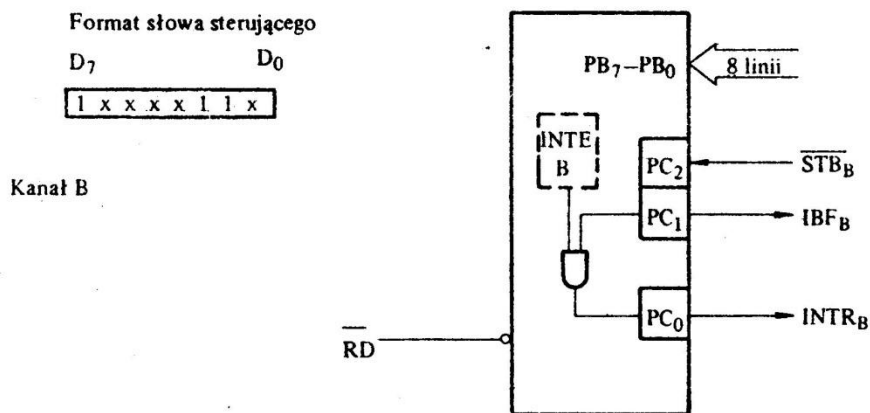
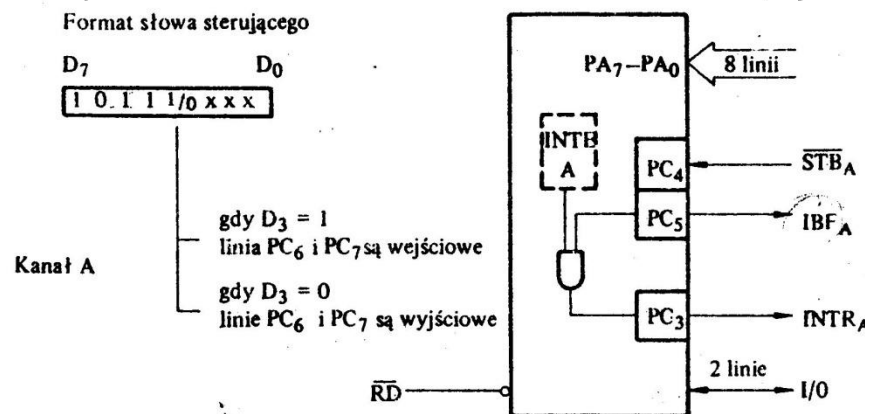
- tryb 0 - niestrobowane wejście-wyjście

Słowo sterujące								Funkcje kanałów			
D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	Kanał A A <sub>7</sub> -A <sub>0</sub>	Kanał C C <sub>7</sub> -C <sub>4</sub>	Kanał B B <sub>7</sub> -B <sub>0</sub>	Kanał C C <sub>3</sub> -C <sub>0</sub>
1	0	0	0	0	0	0	0	WY	WY	WY	WY
1	0	0	0	0	0	0	1	WY	WY	WY	WE
1	0	0	0	0	0	1	0	WY	WY	WE	WY
1	0	0	0	0	0	1	1	WY	WY	WE	WE
1	0	0	0	1	0	0	0	WY	WE	WY	WY
1	0	0	0	1	0	0	1	WY	WE	WY	WE
1	0	0	0	1	0	1	0	WY	WE	WE	WY
1	0	0	0	1	0	1	1	WY	WE	WE	WE
1	0	0	1	0	0	0	0	WE	WY	WY	WY
1	0	0	1	0	0	0	1	WE	WY	WY	WE
1	0	0	1	0	0	1	0	WE	WY	WE	WY
1	0	0	1	0	0	1	1	WE	WY	WE	WE
1	0	0	1	1	0	0	0	WE	WE	WY	WY
1	0	0	1	1	0	0	1	WE	WE	WY	WE
1	0	0	1	1	0	1	0	WE	WE	WE	WY
1	0	0	1	1	0	1	1	WE	WE	WE	WE



# Tryby pracy (2)

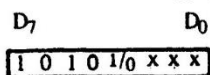
- tryb 1 - strobowane wejście-wyjście



# Tryby pracy (3)

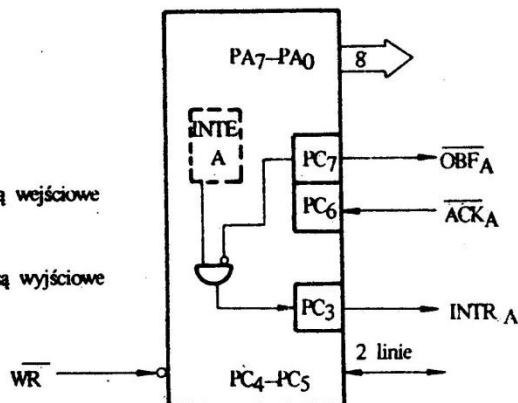
- tryb 1 - strobowane wejście-wyjście

Format słowa sterującego

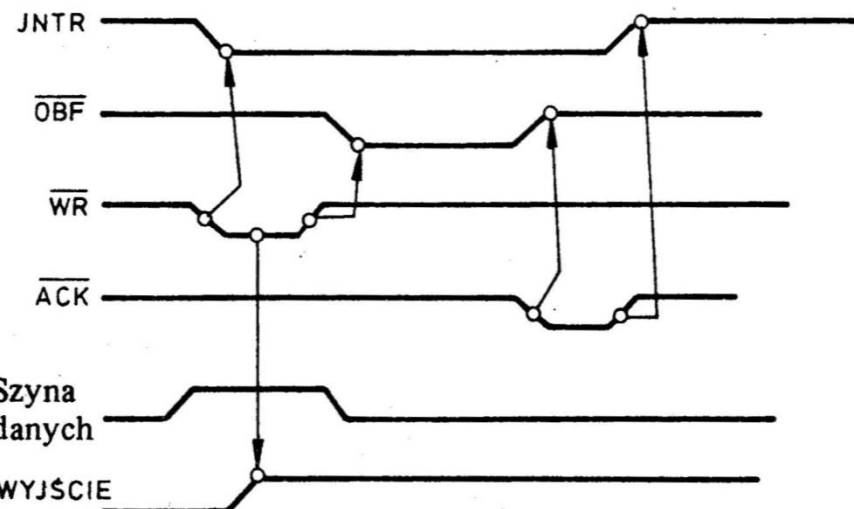
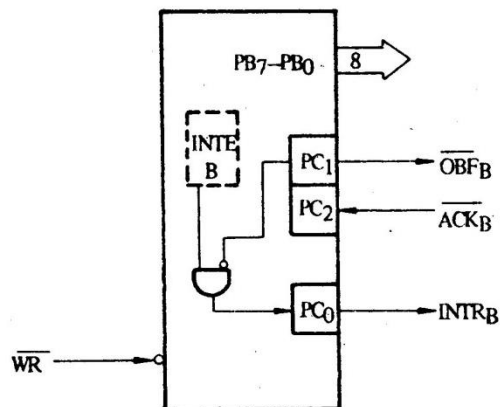
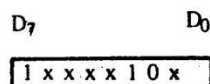


gdy D<sub>3</sub> = 1  
linie PC<sub>4</sub>, PC<sub>5</sub> są wejściowe

gdy D<sub>3</sub> = 0  
linie PC<sub>4</sub> i PC<sub>5</sub> są wyjściowe

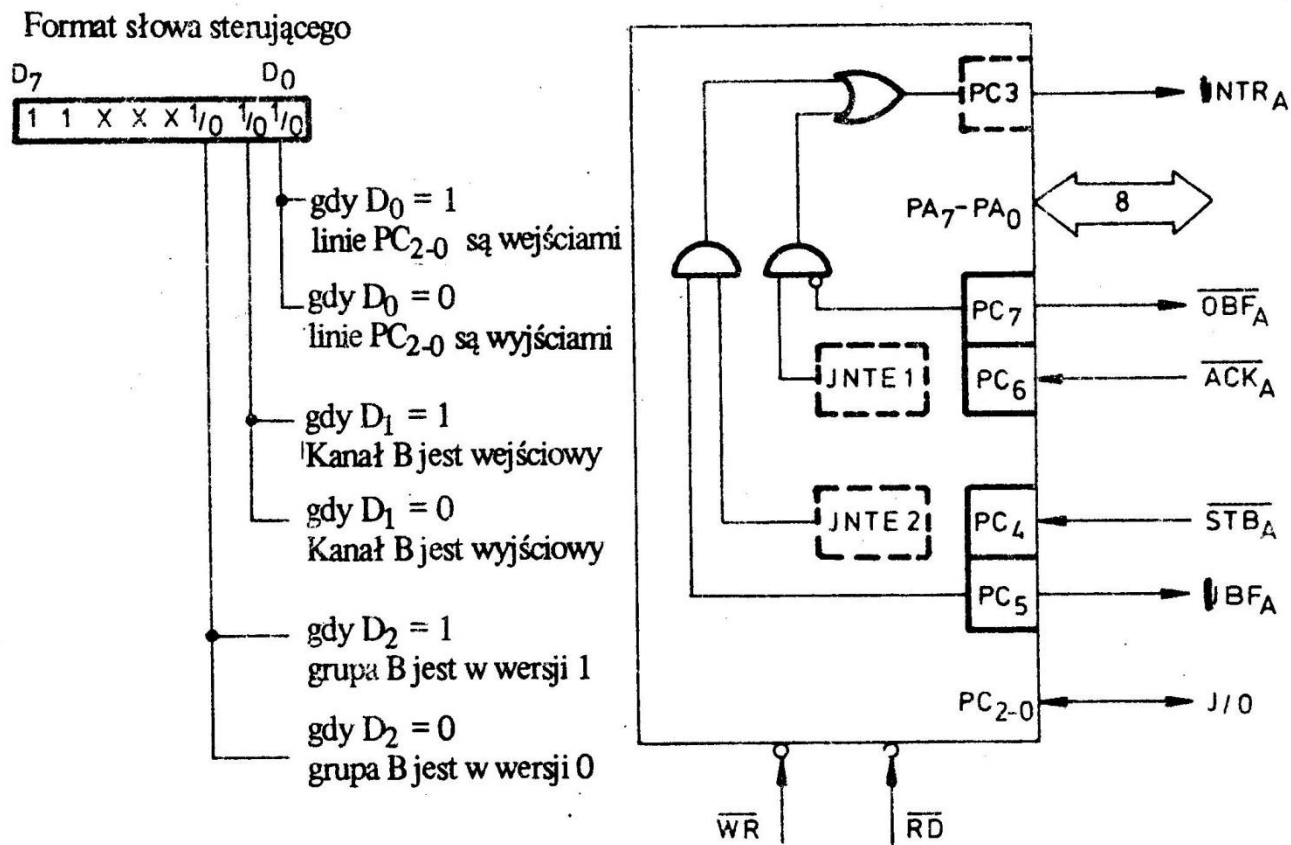


Format słowa sterującego



# Tryby pracy (4)

- tryb 2 - dwukierunkowa magistrala danych



# Tryby pracy (5)

