

中国科学技术大学

2022-2023 学年第一学期

数字逻辑电路期末模拟试卷

仅供学习交流使用

1. (4 分) 用公式法求逻辑函数式 $Y = AB'C' + A'B' + A'D + C + BD$ 的最简或与式.

2. (6 分) 试用卡诺图化简法对一组多输出逻辑函数进行化简

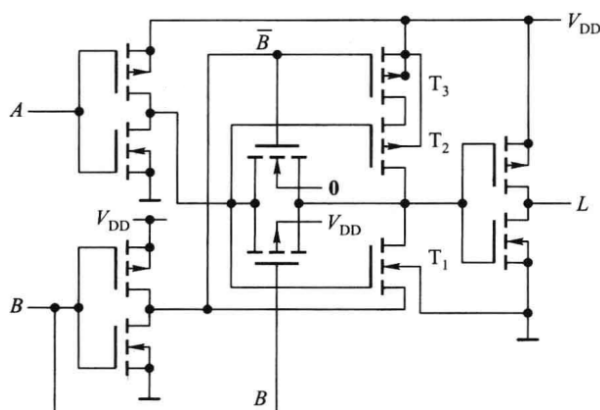
$$Y_1(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 14, 15)$$

$$Y_2(A, B, C, D) = \sum m(0, 2, 3, 6, 7, 10, 11, 12, 13, 15)$$

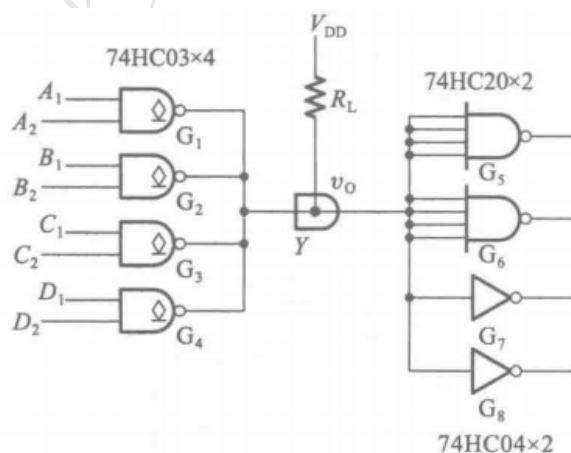
$$Y_3(A, B, C, D) = \sum m(0, 1, 3, 5, 7, 10, 11, 12, 13, 14, 15)$$

化简为最简与或式.

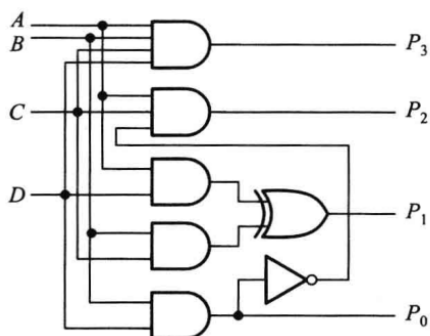
3. (4 分) CMOS 电路如图所示，试写出其输出逻辑函数式。



4. (4 分) 如图所示 $G_1 \sim G_4$ 是 OD 输出结构的与非门 74HC03，它们接成线与结构。试写出线与输出 Y 与输入 A_1 、 A_2 、 B_1 、 B_2 、 C_1 、 C_2 、 D_1 、 D_2 之间的逻辑关系式，并计算外接电阻 R_L 取值的允许范围。已知 $V_{DD} = 5\text{ V}$ ，74HC03 输出高电平时漏电流的最大值为 $I_{OH(\max)} = 5\mu\text{A}$ ，低电平输出电流最大值为 $I_{OL(\max)} = 5.2\text{ mA}$ ，此时的输出低电平为 $V_{OL(\max)} = 0.33\text{ V}$ 。负载门每个输入端的高、低电平输入电流最大值为 $\pm 1\mu\text{A}$ 。要求满足 $V_{OH} \geq 4.4\text{ V}$ ， $V_{OL} \leq 0.33\text{ V}$ 。



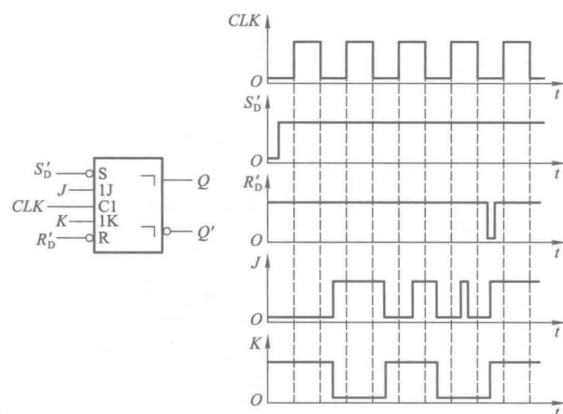
5. (6 分) 组合逻辑电路如图所示。请写出逻辑函数式, 分析其实现的功能。



6. (6 分) 试用译码器 74HC138 和必要的与非门, 设计一个乘法器电路, 实现两位二进制数相乘, 并输出结果。其功能表如下。

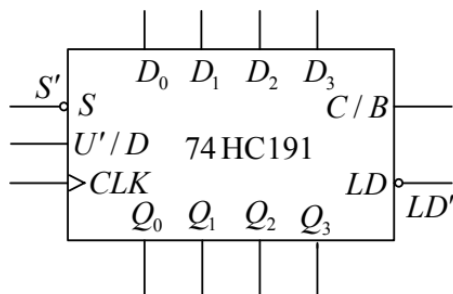
[illegible]

7. (6 分) 若脉冲触发 JK 触发器 CLK 、 R'_D 、 S'_D 、 J 、 K 端的电压波形如图所示, 试画出 Q 、 Q' 端对应的电压波形。

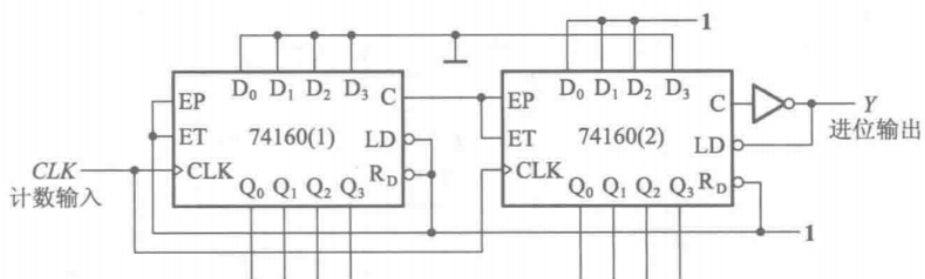


8. (6 分) 74HC191 是同步十六进制加/减计数器, 将 74HC191 设计成十二进制减法计数器, 标出借位输出端。

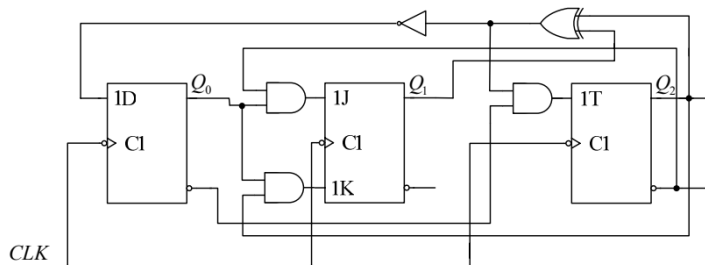
CLK	S'	LD'	U'/D	工作状态
\times	1	1	\times	保持
\times	\times	0	\times	预置数 (异步)
\uparrow	0	1	0	加法计数
\uparrow	0	1	1	减法计数



9. (6 分) 如图所示电路是由两片同步十进制计数器 74160 组成的计数器, 试分析这是多少进制的计数器, 两片之间是几进制。



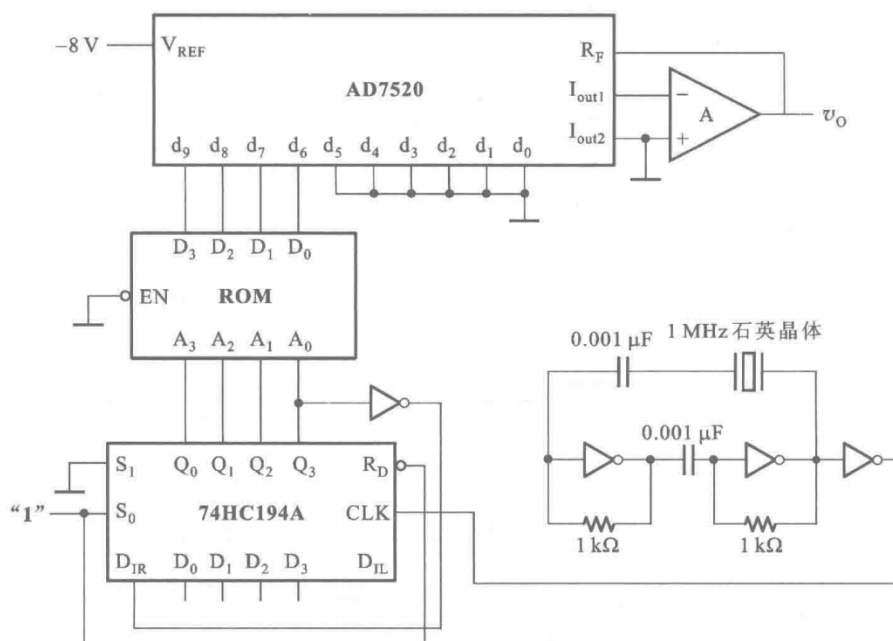
10. (6 分) 电路如图所示, 分析由 DFF、JKFF 和 TFF 组成的时序电路。求电路的驱动方程和状态方程, 列出状态转换表, 画出波形图, 说明电路的功能。



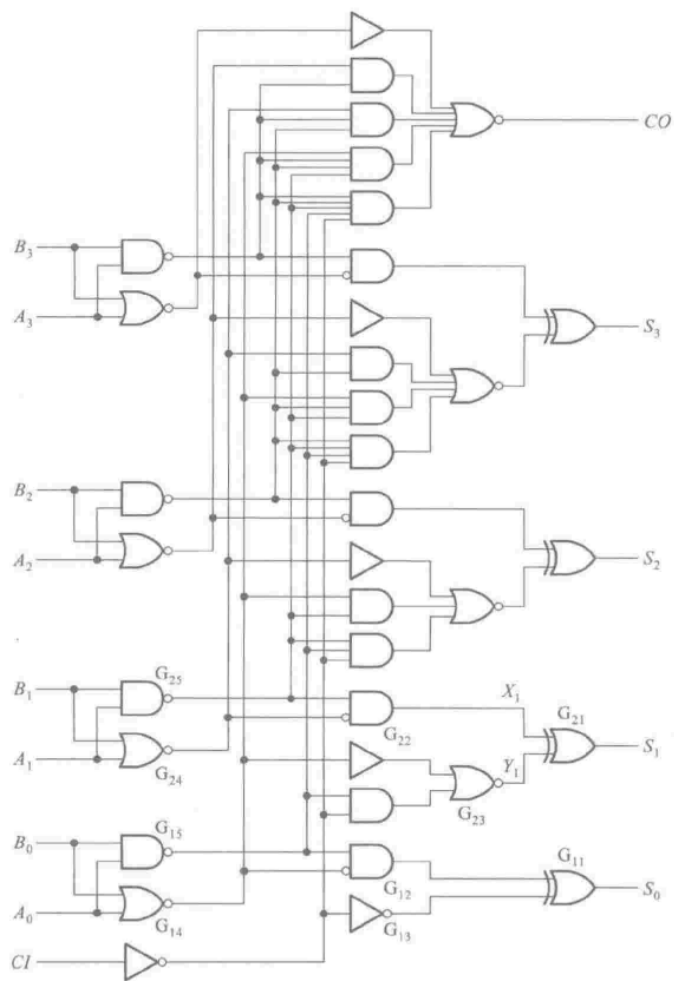
11. (12 分) 如图所示为用 D/A 转换器 AD7520、ROM、移位寄存器 74HC194A 和石英晶体振荡电路组成的波形发生器电路，请说明衡量 D/A 转换电路性能的两个重要指标。设 74HC194A 的初始状态为 $Q_0Q_1Q_2Q_3 = 0000$ 。试画出 v_O 的波形，计算波形上各点电压的幅值，标在波形图上，并计算输出电压波形的周期。

地 址				数 据				地 址				数 据			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1	0	0	1	0	0	1	0
0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	1
0	0	1	1	0	0	1	1	1	0	1	1	0	1	0	0
0	1	0	0	0	1	0	0	1	1	0	0	0	0	1	1
0	1	0	1	0	1	1	1	1	1	0	1	0	1	0	1
0	1	1	0	1	0	0	0	1	1	1	0	0	1	1	1
0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1

R'_D	S_1	S_0	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入



13. (12 分) 试利用两片 4 位二进制并行加法器 74LS283 和必要的门电路组成 1 位二——十进制加法器电路。



14. (12 分) 试用 T 触发器设计一个串行数据检测器，对它的要求是：连续输入 3 个或 3 个以上的 1 时输出为 1，其他输入情况下输出为 0。

2022 秋数字逻辑电路 05 班