



第三章 门电路

本章目录

- 3.1 概述
- 3.2 半导体二极管门电路
- 3.3 CMOS门电路
- 3.4 TTL门电路
- 3.5* ECL集成电路
- 3.6 Bi-CMOS电路
- 3.7 不同类型数字集成电路间的接口

§ 3.1 概述



一、基本概念

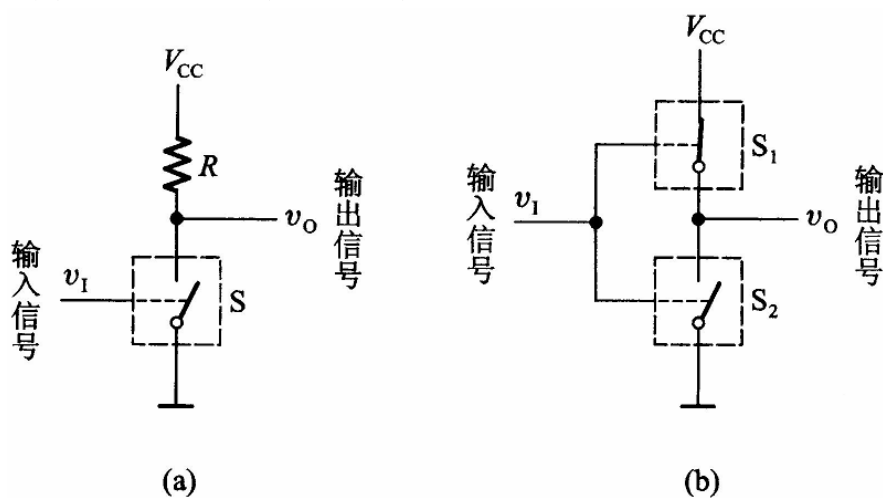
门电路：实现基本逻辑运算和复合逻辑运算的单元电路。

常用的门电路：与门、或门、非门、与非门、或非门、与或非门和异或门。

电子电路中用高、低电平分别表示二值逻辑的1和0两种逻辑状态。

§ 3.1 概述

二、获得高、低电平的基本开关电路



用来获得高、低电平的基本开关电路

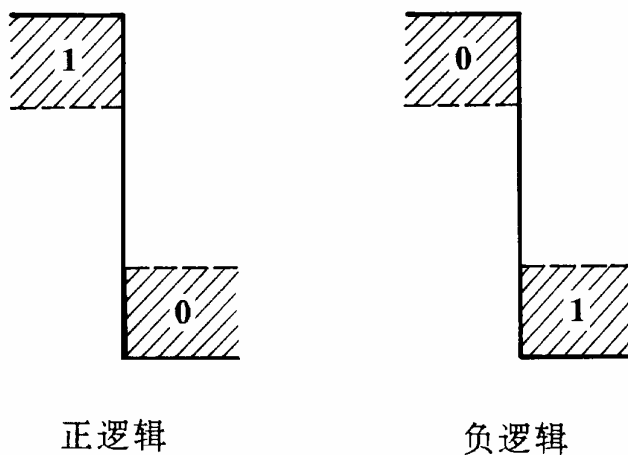
(a) 单开关电路 (b) 互补开关电路

§ 3.1 概述

三、正逻辑与负逻辑

正逻辑：高电平表示逻辑1，低电平表示逻辑0

负逻辑：高电平表示逻辑0，低电平表示逻辑1



四、数字集成电路的分类

1 按集成度的高、低分类

小规模集成电路（小于10个门电路）

中规模集成电路（10~100个门电路）

大规模集成电路（100~10000个门电路）

超大规模集成电路（大于10000个门电路）

2 按制造工艺分类

双极型、单极型、混合型

3 按逻辑功能特点分类

标准化系列逻辑器件

专用集成电路

可编程逻辑器件（PLD）

§ 3.2 半导体二极管门电路

3.2.1 半导体二极管的开关特性

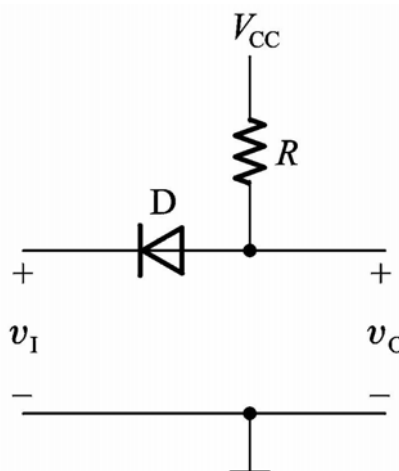
一、二极管的开关电路

设输入高电平： $V_{IH}=V_{CC}$

输入低电平： $V_{IL}=0$

二极管D为理想开关

- $v_I=V_{IH}$
D截止， $v_O=V_{CC}=V_{OH}$
- $v_I=V_{IL}$
D导通， $v_O=0=V_{OL}$

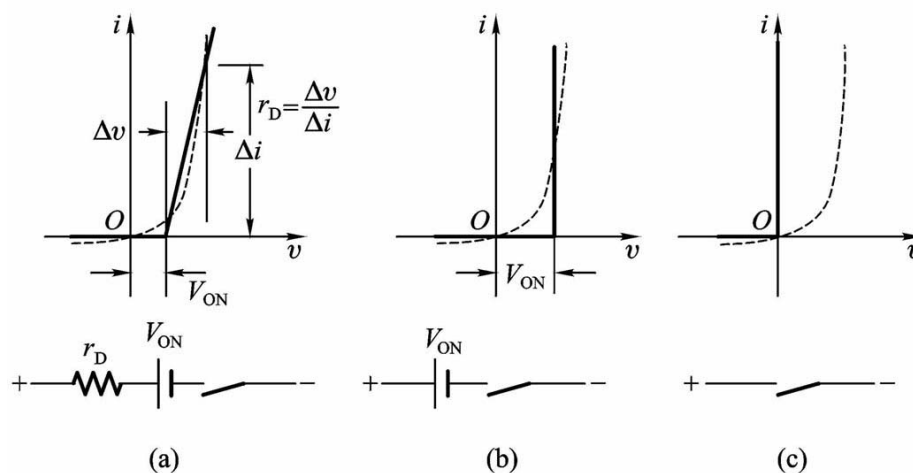
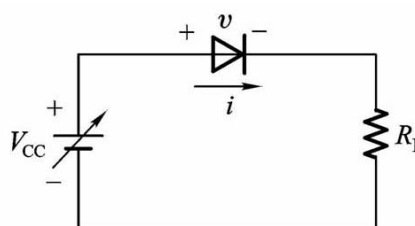


§ 3.2 半导体二极管门电路

二、二极管伏安特性的近似

1 PN结方程 $i = I_S(e^{v/V_T} - 1)$

2 二极管的开关等效电路



2022-9-9

第三章 门电路

7

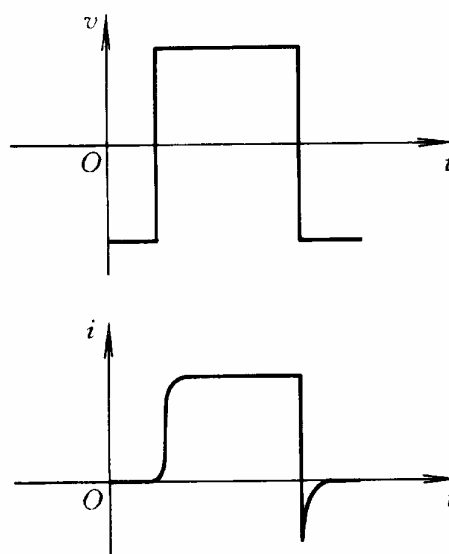
§ 3.2 半导体二极管门电路

三、二极管的动态开关特性

◆二极管由截止转向导通所需的时间称为正向恢复时间；

◆二极管由导通转向截止所需的时间称为反向恢复时间 t_{re} ；

反向恢复时间 t_{re} ：指反向电流从它的峰值衰减到峰值的十分之一所经过的时间。



2022-9-9

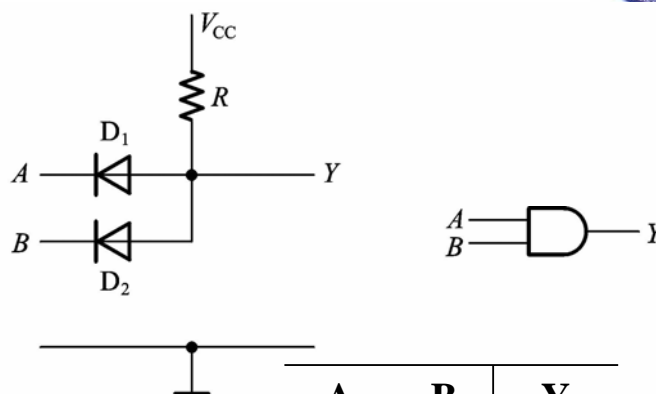
第三章 门电路

8

§ 3.2 半导体二极管门电路

3.2.2 二极管与门

设 $V_{CC} = 5V$ ，A、B的高、低电平分别为 $V_{IH} = 3V$ ， $V_{IL} = 0V$ ，二极管的正向导通压降 $V_{DF} = 0.7V$



A	B	Y
0V	0V	0.7V
0V	3V	0.7V
3V	0V	0.7V
3V	3V	3.7V

规定3V以上为1



0.7V以下为0

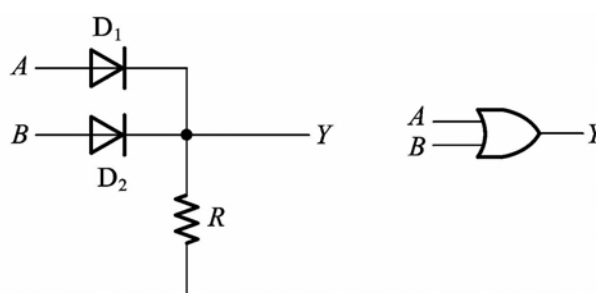
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

二极管门电路缺点：电平有偏移；带负载能力差

§ 3.2 半导体二极管门电路

3.2.3 二极管或门

设 $V_{CC} = 5V$ ，A、B的高、低电平分别为 $V_{IH} = 3V$ ， $V_{IL} = 0V$ ，二极管的正向导通压降 $V_{DF} = 0.7V$



A	B	Y
0V	0V	0V
0V	3V	2.3V
3V	0V	2.3V
3V	3V	2.3V

规定2.3V以上为1



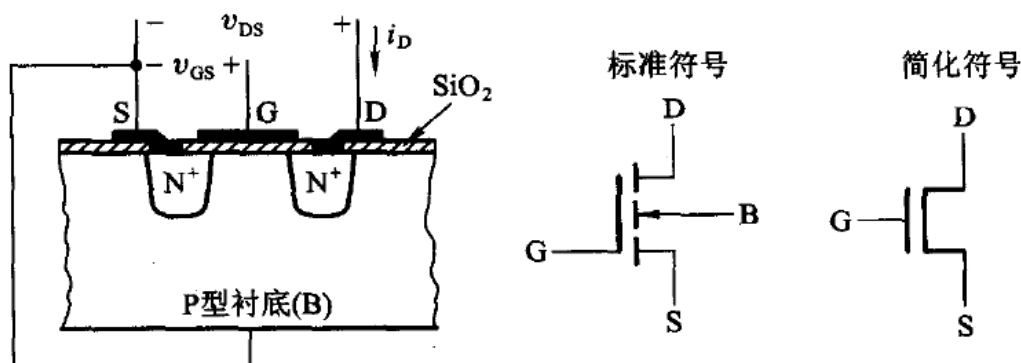
0V以下为0

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

§ 3.3 CMOS门电路

3.3.1 MOS管的开关特性

一、MOS管的结构和工作原理（以N沟道增强型为例）



G：栅极；S：源极；D：漏极；B：衬底

当加 v_{DS} 时，

$v_{GS}=0$ 时，D-S间是两个背向PN结串联， $i_D=0$

加上正电压 v_{GS} ，且足够大至 $v_{GS} > V_{GS(th)}$ ，D-S间形成导电沟道

2022-9-9

第三章 门电路

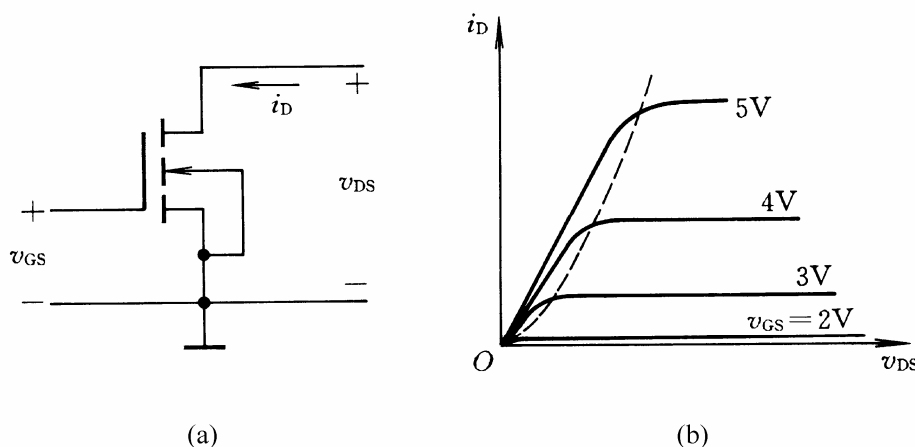
11

§ 3.3 CMOS门电路

二、MOS管的输入特性和输出特性

1 输入特性

2 输出特性： $i_D = f(v_{DS})$ 对应不同的 v_{GS} 下的一族曲线。



2022-9-9

第三章 门电路

12

§ 3.3 CMOS门电路



漏极特性曲线（分三个区域）

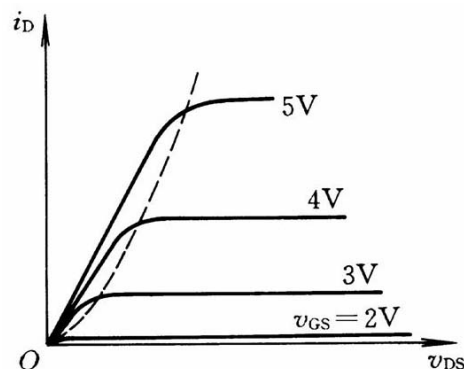
(1) 截止区: $v_{GS} < V_{GS(th)}$

$$i_D = 0, R_{OFF} > 10^9 \Omega$$

(2) 恒流区: $v_{DS} > v_{GS} - V_{GS(th)} > 0$

i_D 基本上由 v_{GS} 决定, 与 v_{DS} 关系不大

$$i_D = I_{DS} \left(\frac{v_{GS}}{V_{GS(th)}} - 1 \right)^2, I_{DS} = i_D \big|_{v_{GS} = 2V_{GS(th)}}$$



(3) 可变电阻区: $v_{GS} - V_{GS(th)} > v_{DS} > 0$

$$i_D \text{ 与 } v_{DS} \text{ 的比值近似为常数 } R_{ON} \big|_{v_{DS} \approx 0} = \frac{1}{2K(v_{GS} - V_{GS(th)})}$$

2022-9-9

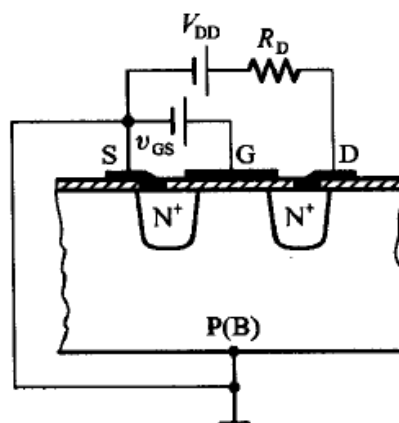
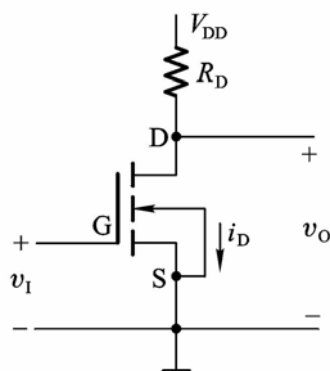
第三章 门电路

13

§ 3.3 CMOS门电路



三、MOS管的基本开关电路



因为 $R_{OFF} > 10^9 \Omega$, $R_{ON} < 1K\Omega$, 只要 $R_{ON} \ll R_D \ll R_{OFF}$, 则:

当 $v_I = V_{IL} < V_{GS(th)}$ \longrightarrow MOS管截止 $\longrightarrow v_O = V_{OH} \approx V_{DD}$

当 $v_I = V_{IH} > V_{GS(th)}$ \longrightarrow MOS管导通 $\longrightarrow v_O = V_{OL} \approx 0$

所以 MOS管 $D-S$ 间相当于一个受 v_I 控制的开关。

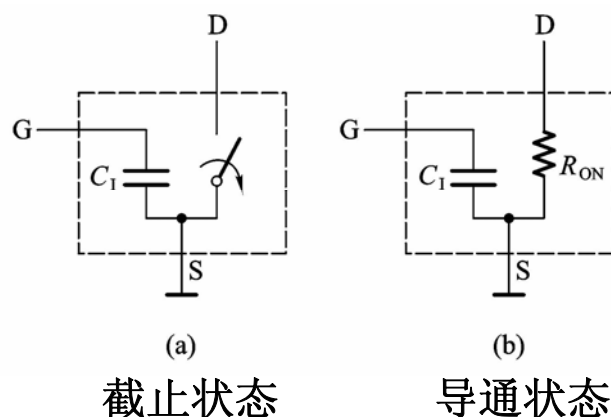
2022-9-9

第三章 门电路

14

§ 3.3 CMOS门电路

四、MOS管的开关等效电路



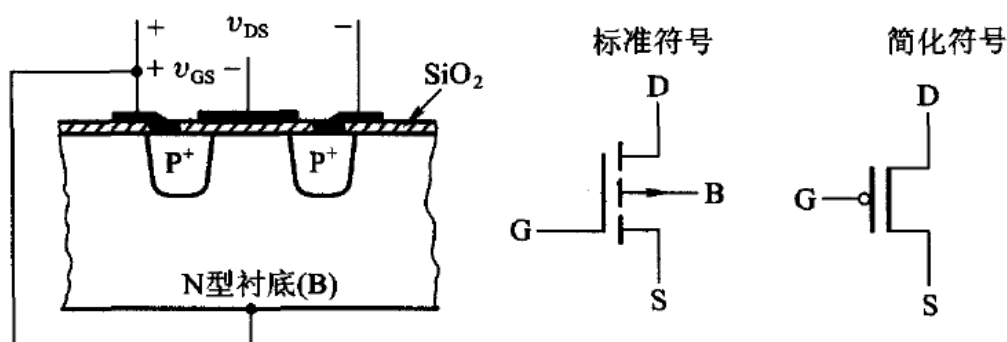
五、MOS管的四种类型

N沟道增强型、P沟道增强型、N沟道耗尽型、P沟道耗尽型

§ 3.3 CMOS门电路

◆P沟道增强型

PMOS管的结构和工作原理



当加 v_{DS} 时，

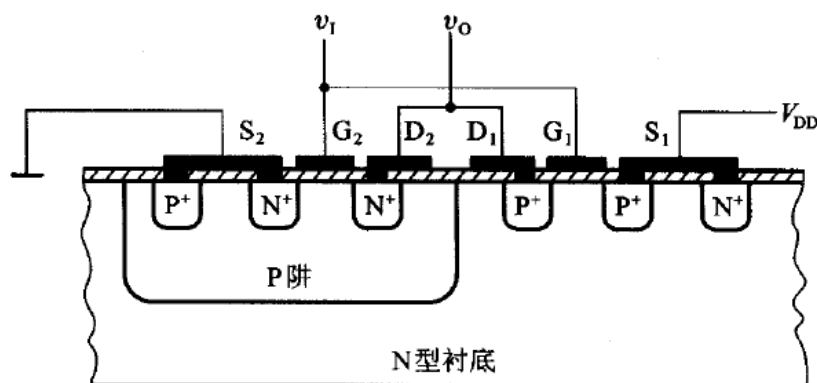
$v_{GS}=0$ 时，D-S间是两个背向PN结串联， $i_D=0$

加上负电压 v_{GS} ，且足够大至 $|v_{GS}| > |V_{GS(th)}|$ ，D-S间形成导电沟道

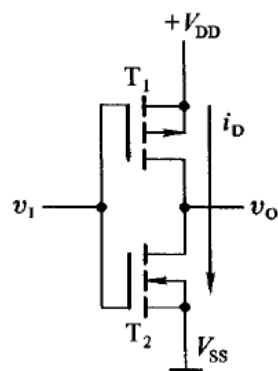
§ 3.3 CMOS门电路

3.3.2 CMOS反相器的电路结构和工作原理

一、CMOS反相器的电路结构



(a) 结构示意图



(b) 电路图

2022-9-9

第三章 门电路

17

§ 3.3 CMOS门电路

●工作原理

设 T_1 和 T_2 的开启电压为 $V_{GS(th)P}$ 和 $V_{GS(th)N}$,

$V_{GS(th)N} = |V_{GS(th)P}|$, 且 $V_{DD} > V_{GS(th)N} + |V_{GS(th)P}|$,

T_1 和 T_2 具有相同的导通内阻 R_{ON} ,

T_1 和 T_2 具有相同的截止内阻 R_{OFF}

(1) $v_I = V_{IH} = V_{DD}$ 时

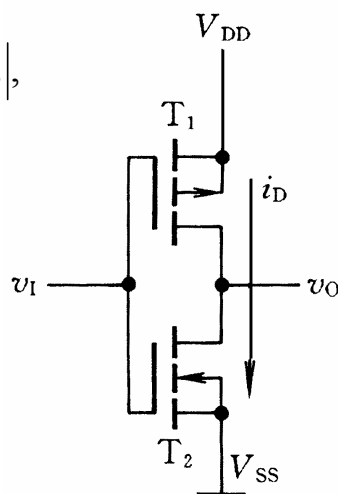
$|v_{GS1}| = 0 < |V_{GS(th)P}|$, $v_{GS2} = V_{DD} > V_{GS(th)N}$

T_1 截止, T_2 导通, $V_{OL} \approx 0$

(2) $v_I = V_{IL} = 0$ 时

$|v_{GS1}| = V_{DD} > |V_{GS(th)P}|$, $v_{GS2} = 0 < V_{GS(th)N}$

T_1 导通, T_2 截止, $V_{OH} \approx V_{DD}$



2022-9-9

第三章 门电路

18

§ 3.3 CMOS门电路



二、电压传输特性和电流传输特性

1 电压传输特性

输出电压随输入电压变化的曲线。

* AB段: $v_I < V_{GS(th)N}$

T_1 导通, T_2 截止 $\Rightarrow v_O = V_{OH} \approx V_{DD}$

* CD段: $v_I > V_{DD} - |V_{GS(th)P}|$

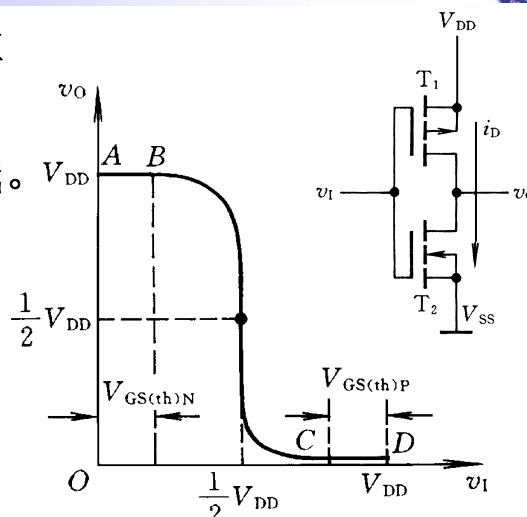
T_2 导通, T_1 截止 $\Rightarrow v_O = V_{OL} \approx 0$

* BC段: $V_{GS(th)N} < v_I < V_{DD} - |V_{GS(th)P}|$

T_1, T_2 同时导通, 若 T_1, T_2 参数完全对称, $v_I = \frac{1}{2}V_{DD}$ 时, $v_O = \frac{1}{2}V_{DD}$

电压传输特性转折区中点对应的输入电压称为反相器的阈值电压,

用 V_{TH} 表示: $V_{TH} \approx \frac{1}{2}V_{DD}$



2022-9-9

第三章 门电路

19

§ 3.3 CMOS门电路



2 电流传输特性

漏极电流随输入电压变化的曲线。

* AB段: $v_I < V_{GS(th)N}$

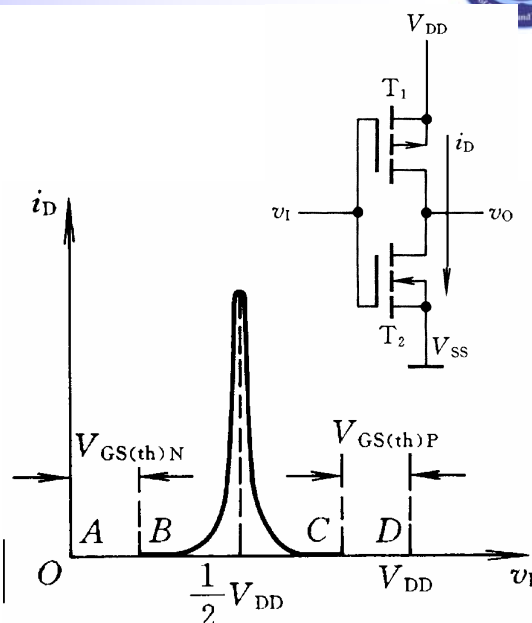
T_1 导通, T_2 截止 $\Rightarrow i_D \approx 0$

* CD段: $v_I > V_{DD} - |V_{GS(th)P}|$

T_2 导通, T_1 截止 $\Rightarrow i_D \approx 0$

* BC段: $V_{GS(th)N} < v_I < V_{DD} - |V_{GS(th)P}|$

T_1, T_2 同时导通, 有电流 i_D 流过 T_1 和 T_2



2022-9-9

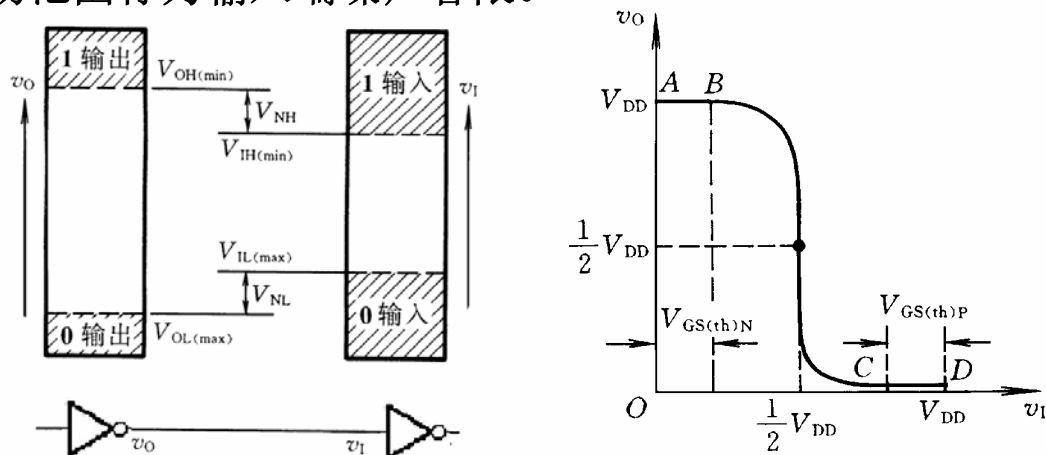
第三章 门电路

20

§ 3.3 CMOS门电路

三、输入端噪声容限

在输出高、低电平变化允许范围内，允许输入高、低电平的波动范围称为输入端噪声容限。



高电平噪声容限: $V_{NH} = V_{OH(min)} - V_{IH(min)}$

低电平噪声容限: $V_{NL} = V_{IL(max)} - V_{OL(max)}$

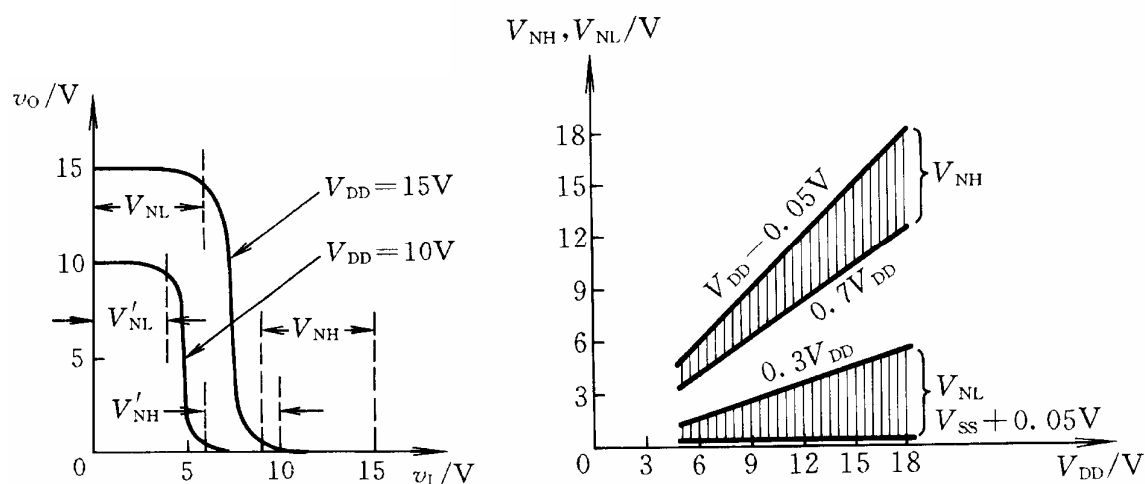
2022-9-9

第三章 门电路

21

§ 3.3 CMOS门电路

• CMOS反相器输入噪声容限与 V_{DD} 的关系



结论：可以通过提高 V_{DD} 来提高噪声容限

2022-9-9

第三章 门电路

22

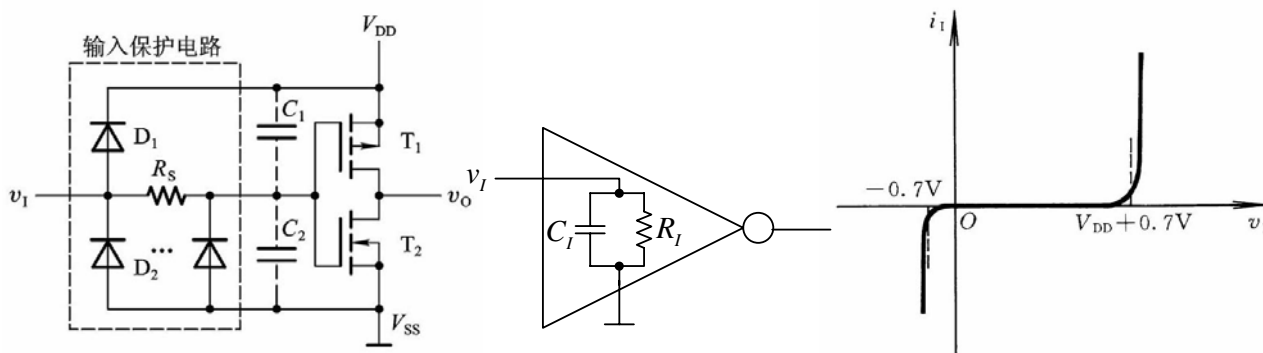
§ 3.3 CMOS门电路

3.3.3 CMOS 反相器的静态输入特性和输出特性

一、输入特性

从反相器输入端看进去的输入电压与输入电流的关系。

• CMOS反相器的输入保护电路与输入特性



当 $0 \leq v_I \leq V_{DD}$ ，输入端保护电路不起作用

当 $v_I > V_{DD} + V_{DF}$ 时， D_1 导通；当 $v_I < -V_{DF}$ 时， D_2 导通

2022-9-9

第三章 门电路

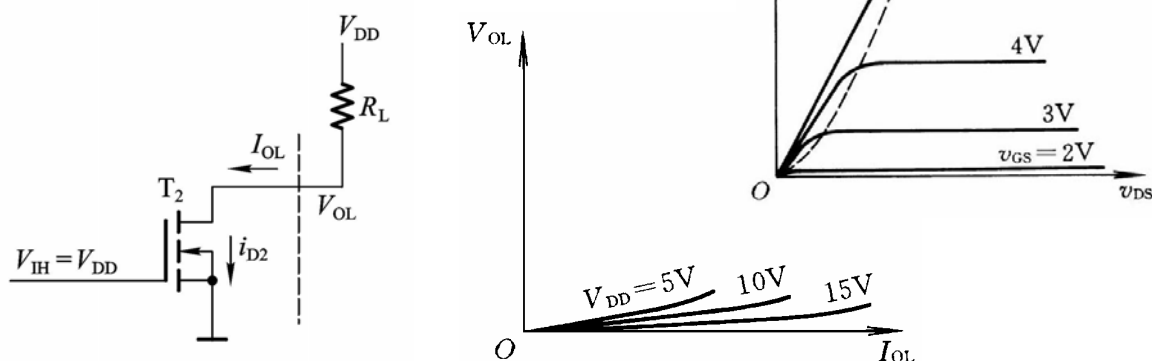
23

§ 3.3 CMOS门电路

二、输出特性

从反相器输出端看进去的输出电压与输出电流的关系，称为输出特性。

1 低电平输出特性



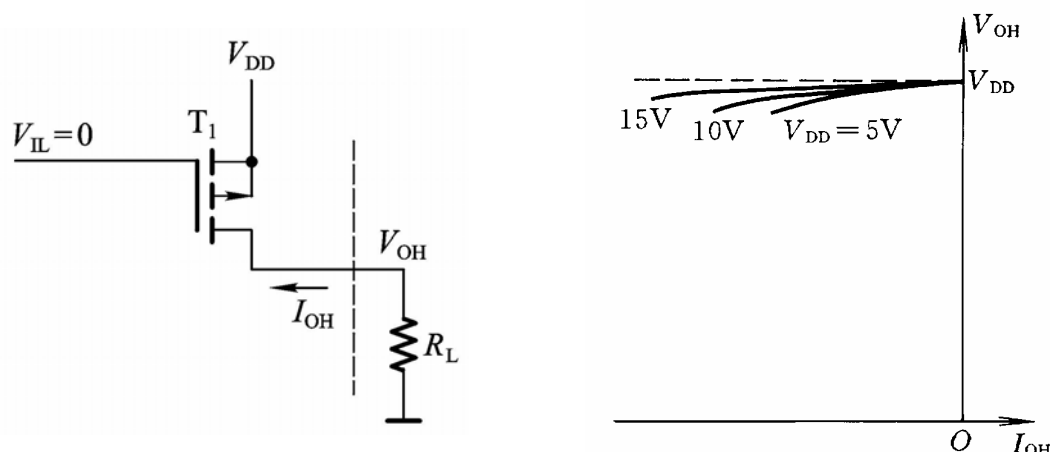
V_{OL} 随 I_{OL} 的增加而提高； V_{OL} 随 V_{DD} 的增加而下降

2022-9-9

第三章 门电路

24

2 高电平输出特性



V_{OH} 随 $|I_{OH}|$ 的增加而下降； V_{OH} 随 V_{DD} 的增加而提高

3.3.4 CMOS反相器的动态特性

动态特性：电路状态转换过程中所表现出来的一些性质。

一、传输延迟时间

传输延迟时间：输出电压变化落后于输入电压变化的时间。

t_{PHL} ：输出由高电平跳变为低电平时的传输延迟时间

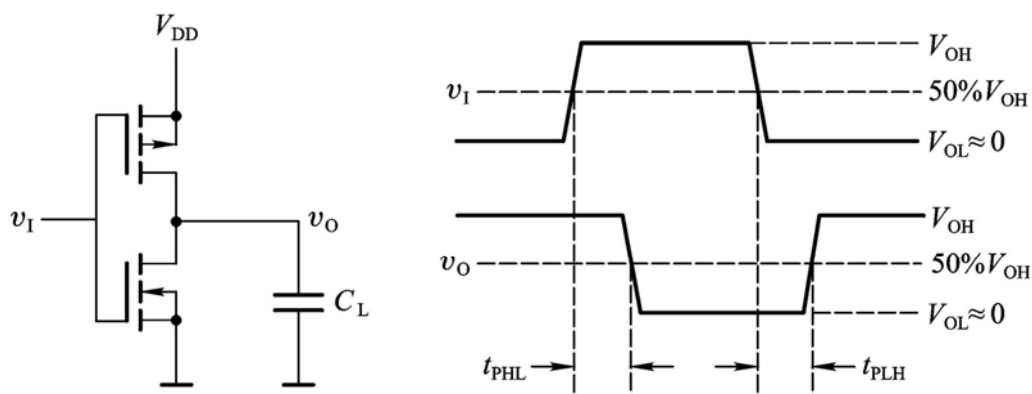
t_{PLH} ：输出由低电平跳变为高电平时的传输延迟时间

t_{pd} ：平均传输延迟时间， $t_{pd} = (t_{PHL} + t_{PLH}) / 2$

§ 3.3 CMOS门电路

• CMOS反相器传输延迟时间的定义

t_{PHL} 和 t_{PLH} 是以输入和输出波形对应边上等于最大幅度50%的两点间时间间隔来定义的。



3-3-22

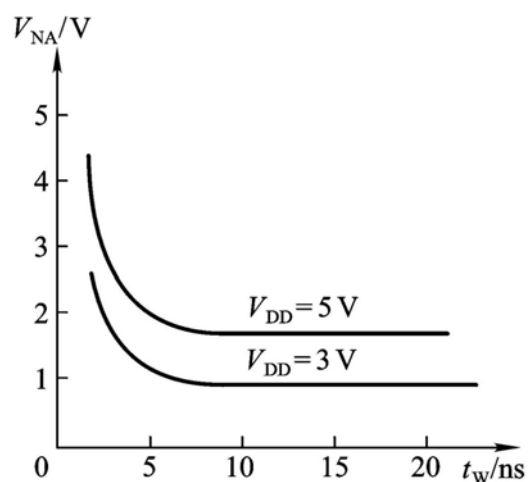
§ 3.3 CMOS门电路

二、交流噪声容限

反映CMOS反相器的动态抗干扰能力。

t_w : 噪声电压的持续时间

V_{NA} : 交流噪声容限



3-3-23

§ 3.3 CMOS门电路

三、动态功耗

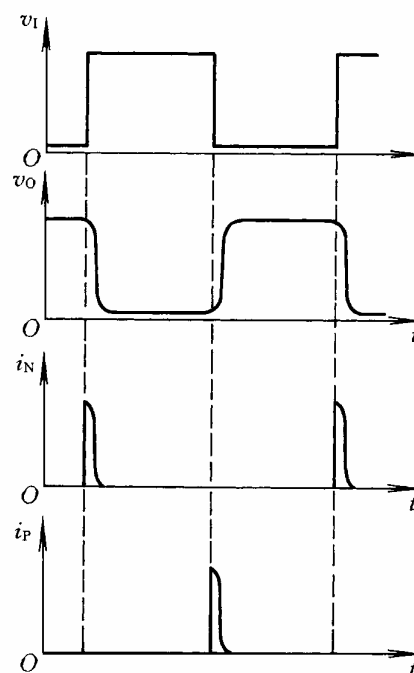
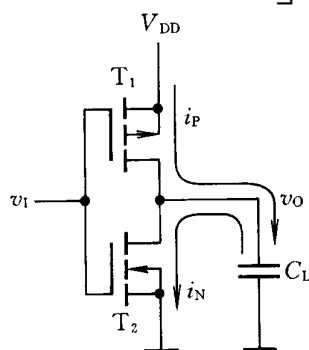
1 负载电容充放电功耗

$$P_C = \frac{1}{T} \left[\int_0^{T/2} i_N v_O dt + \int_{T/2}^T i_P (V_{DD} - v_O) dt \right]$$

$$i_N = -C_L \frac{dv_O}{dt}$$

$$i_P = C_L \frac{dv_O}{dt}$$

$$P_C = C_L f V_{DD}^2$$



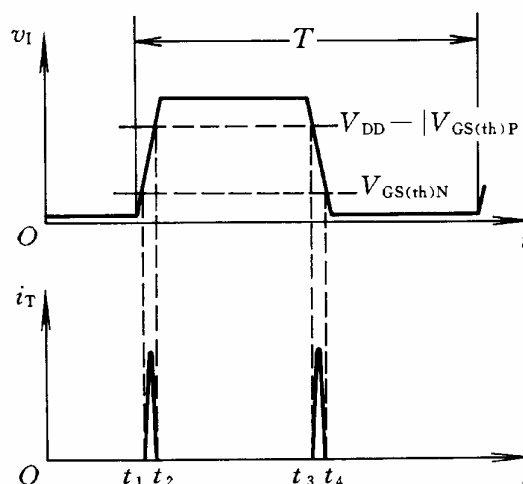
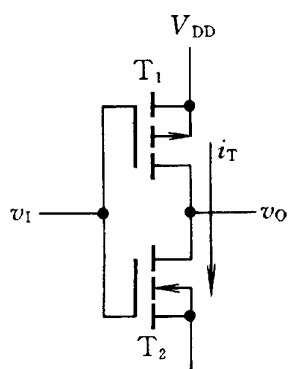
2022-9-9

第三章 门电路

29

§ 3.3 CMOS门电路

2 瞬时导通功耗



$$P_T = V_{DD} I_{TAV} \quad I_{TAV} = \frac{1}{T} \left(\int_{t_1}^{t_2} i_T dt + \int_{t_3}^{t_4} i_T dt \right) \quad P_T = C_{PD} f V_{DD}^2$$

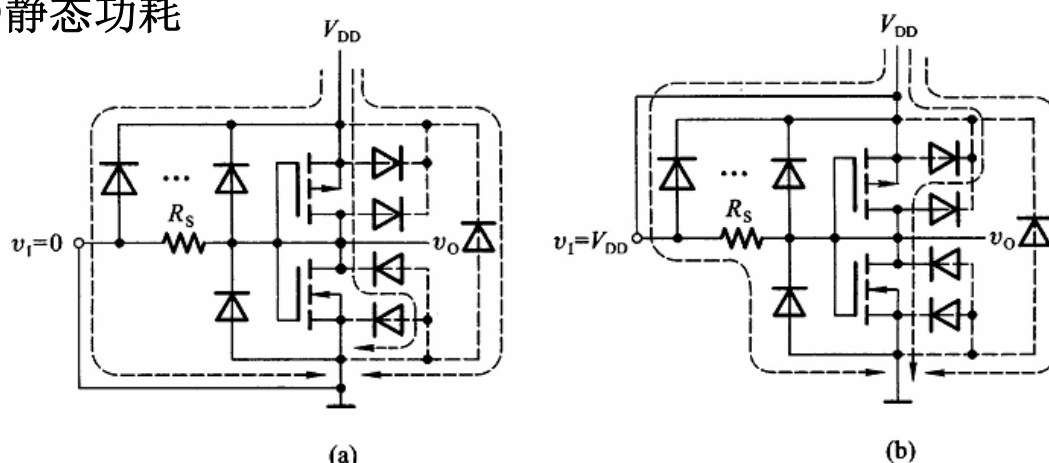
总的动态功耗: $P_D = P_T + P_C = (C_L + C_{PD}) f V_{DD}^2$

2022-9-9

第三章 门电路

30

●静态功耗



CMOS 反相器的静态漏电流

(a) $v_i = 0$ (b) $v_i = V_{DD}$

静态功耗极小，与动态功耗相比，可以忽略

§ 3.3 CMOS门电路

例3.3.1计算CMOS反相器的总功耗 P_{TOT} 。已知电源电压 $V_{DD} = 5V$ ，静态电源电流 $I_{DD} = 1\mu A$ ，负载电容 $C_L = 100pF$ ，功耗电容 $C_{PD} = 20pF$ 。输入信号重复频率 $f = 100kHz$ 。

解：总的动态功耗：

$$\begin{aligned} P_D &= (C_L + C_{PD}) f V_{DD}^2 \\ &= (100 + 20) \times 10^{-12} \times 100 \times 10^3 \times 5^2 \text{ W} = 0.3 \text{ mW} \end{aligned}$$

静态功耗：

$$P_S = I_{DD} V_{DD} = 10^{-6} \times 5 \text{ W} = 0.005 \text{ mW}$$

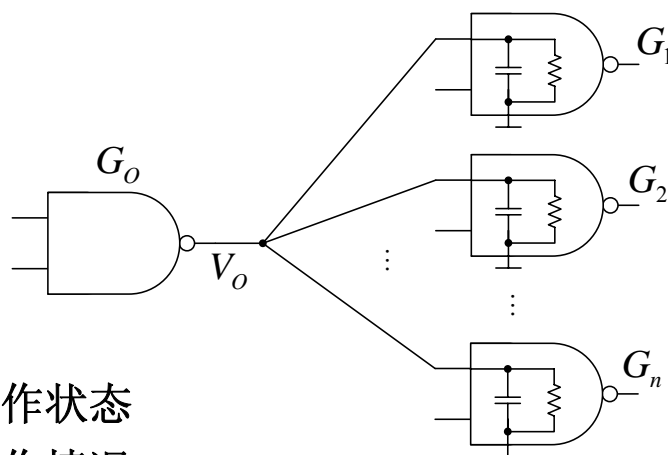
总功耗：

$$P_{TOT} = P_D + P_S = 0.305 \text{ mW}$$

§ 3.3 CMOS门电路

四、扇出

扇出系数：门电路能够驱动同类门的最大数目。



1 直流工作状态

2 动态工作情况

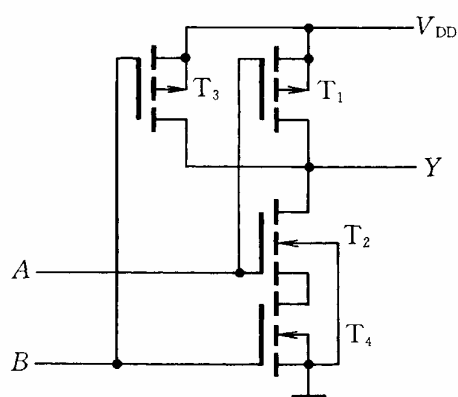
注：随着开关频率的升高，扇出数将随之下降。

§ 3.3 CMOS门电路

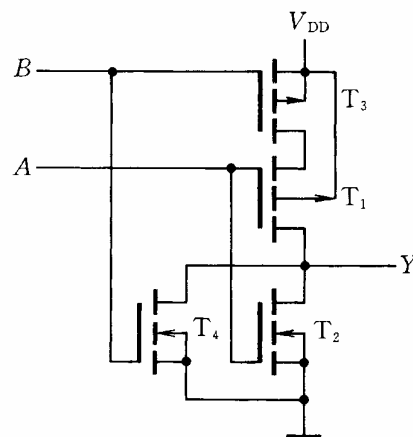
3.3.5 其他类型的CMOS门电路

一、各种逻辑功能的CMOS门电路

1 与非门



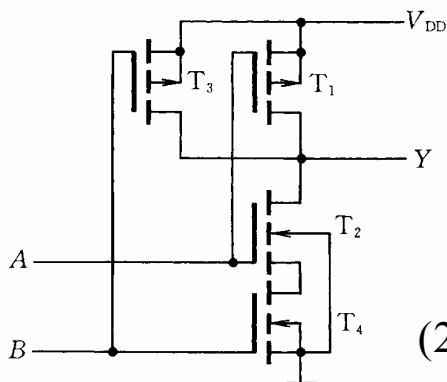
2 或非门



1 与非门

存在的缺点：

(1)输出电阻 R_o 受输入状态影响



$$A = 1, B = 1 \text{ 则 } R_o = R_{ON2} + R_{ON4} = 2R_{ON}$$

$$A = 0, B = 0 \text{ 则 } R_o = R_{ON1} // R_{ON3} = \frac{1}{2} R_{ON}$$

$$A = 1, B = 0 \text{ 则 } R_o = R_{ON3} = R_{ON}$$

$$A = 0, B = 1 \text{ 则 } R_o = R_{ON1} = R_{ON}$$

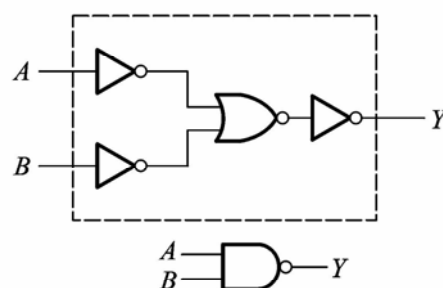
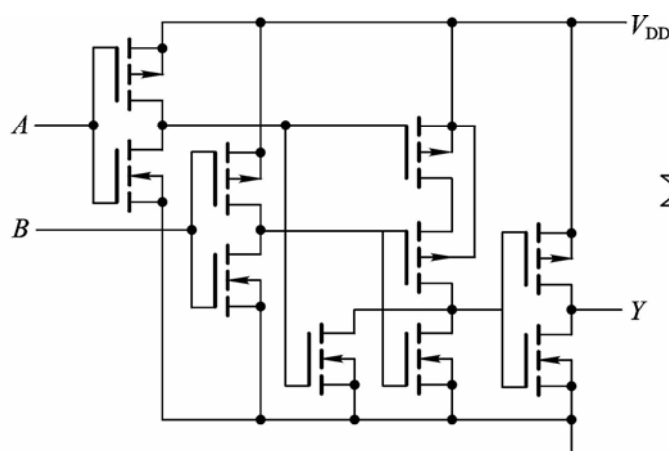
(2)输出的高、低电平受输入端数目的影响

(3)输入端工作状态不同时对电压传输特性有一定影响

§ 3.3 CMOS门电路

2 解决方法：带缓冲级的结构

●带缓冲级的CMOS与非门结构

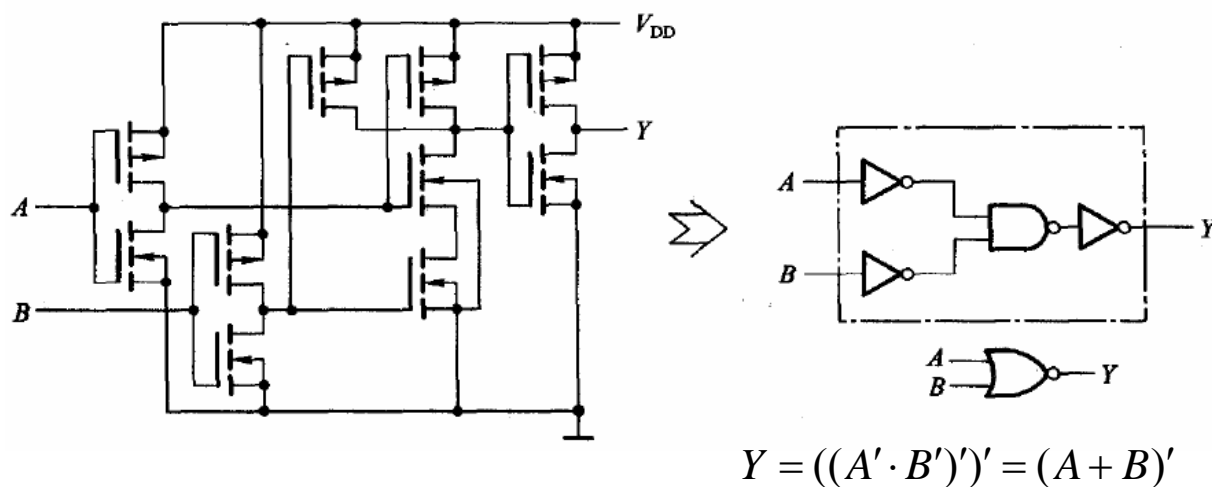


$$Y = ((A' + B'))' = (AB)'$$

或非门+缓冲器 \Rightarrow 与非门

§ 3.3 CMOS门电路

●带缓冲级的CMOS或非门结构

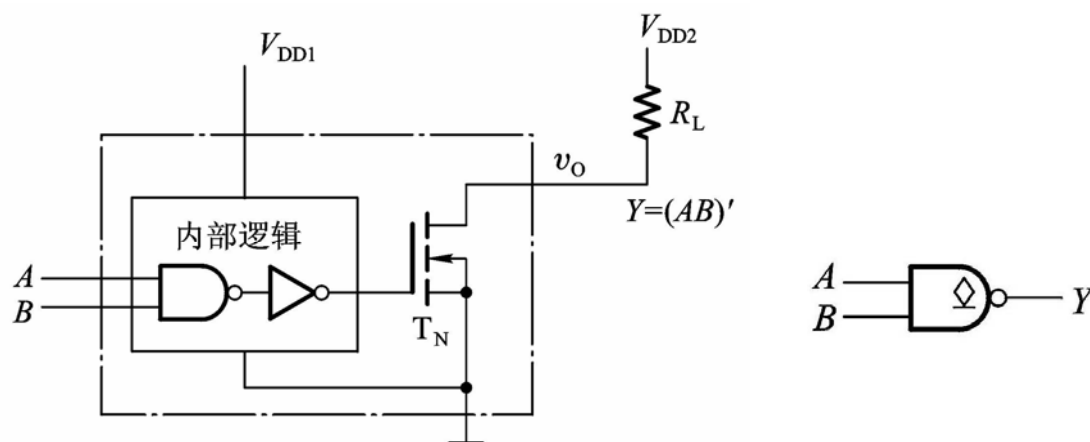


与非门+缓冲器 \Rightarrow 或非门

§ 3.3 CMOS门电路

二、漏极开路输出门电路（OD门）

1 结构和符号

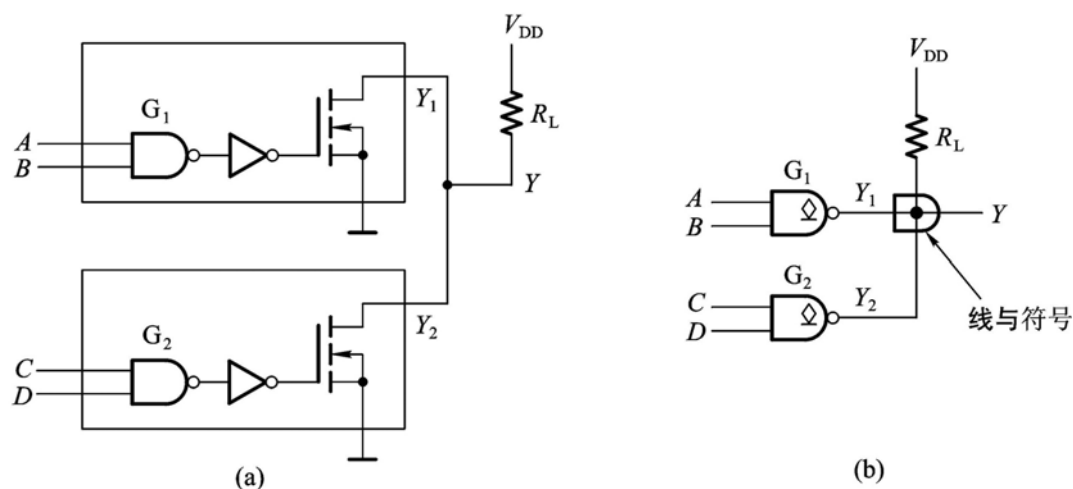


应用之一：电平转换

§ 3.3 CMOS门电路



应用之二：实现线与逻辑



$$Y = Y_1 Y_2 = (AB)'(CD)' = (AB + CD)'$$

2022-9-9

第三章 门电路

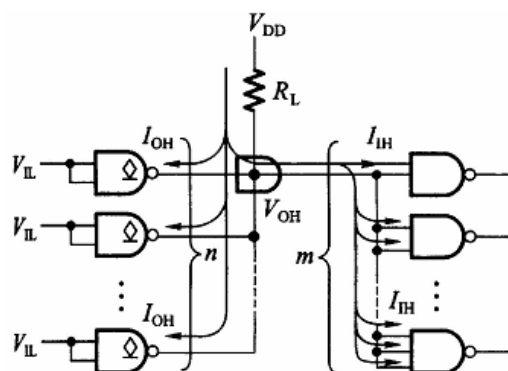
39

§ 3.3 CMOS门电路



2 R_L 的计算方法

(1) OD门输出管全部截止时, $v_O > V_{OH} \Rightarrow R_L$ 不能太大



R_L 最大值的计算

$$V_{DD} - (nI_{OH} + mI_{IH})R_L \geq V_{OH}$$

$$R_L \leq (V_{DD} - V_{OH}) / (nI_{OH} + mI_{IH}) = R_{L(max)}$$

2022-9-9

第三章 门电路

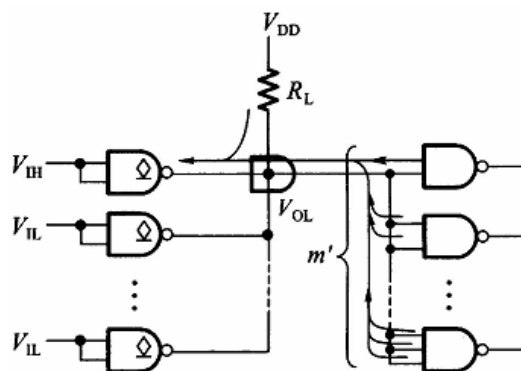
40

§ 3.3 CMOS门电路



2 R_L 的计算方法

(2)OD门仅有一个输出管导通, I_{OL} 有最大值 $\Rightarrow R_L$ 不能太小



R_L 最小值的计算

$$(V_{DD} - V_{OL})/R_L + m'|I_{IL}| \leq I_{OL(max)}$$

$$R_L \geq (V_{DD} - V_{OL})/(I_{OL(max)} - m'|I_{IL}|) = R_{L(min)}$$

2022-9-9

第三章 门电路

41

§ 3.3 CMOS门电路



例: 试为图示电路中的外接电阻 R_L 选定合适的阻值。已知 G_1 、 G_2 和 G_3 为OD与非门74HC03, 输出管截止时的漏电流为 $I_{OH(max)}=5\mu A$, 输出管导通时允许的最大负载电流为 $I_{OL(max)}=5.2mA$ 。 G_4 、 G_5 和 G_6 均为74HC00系列与非门, 它们的高电平和低电平输入电流的最大值均为 $1\mu A$ 。若 $V_{DD}=5V$, 要求OD门的输出高电平 $V_{OH} \geq 4.4V$, 输出低电平 $V_{OL} \leq 0.33V$ 。

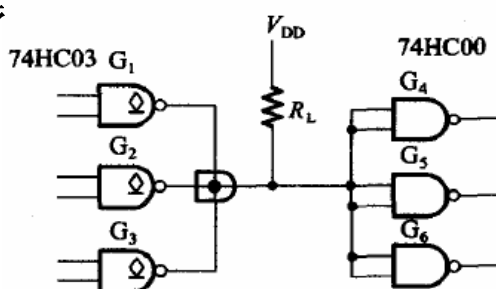
解: OD门输出为高电平时

$$R_{L(max)} = \frac{V_{DD} - V_{OH}}{nI_{OH(max)} + mI_{IH(max)}} = \frac{5 - 4.4}{3 \times 5 \times 10^{-6} + 6 \times 10^{-6}} = 28.6k\Omega$$

OD门输出为低电平时

$$R_{L(min)} = \frac{V_{DD} - V_{OL}}{I_{OL(max)} - m'|I_{IL(max)}|} = \frac{5 - 0.33}{5.2 \times 10^{-3} - 6 \times 10^{-6}} = 0.90k\Omega$$

R_L 允许的取值范围为: $0.90k\Omega < R_L < 28.6k\Omega$



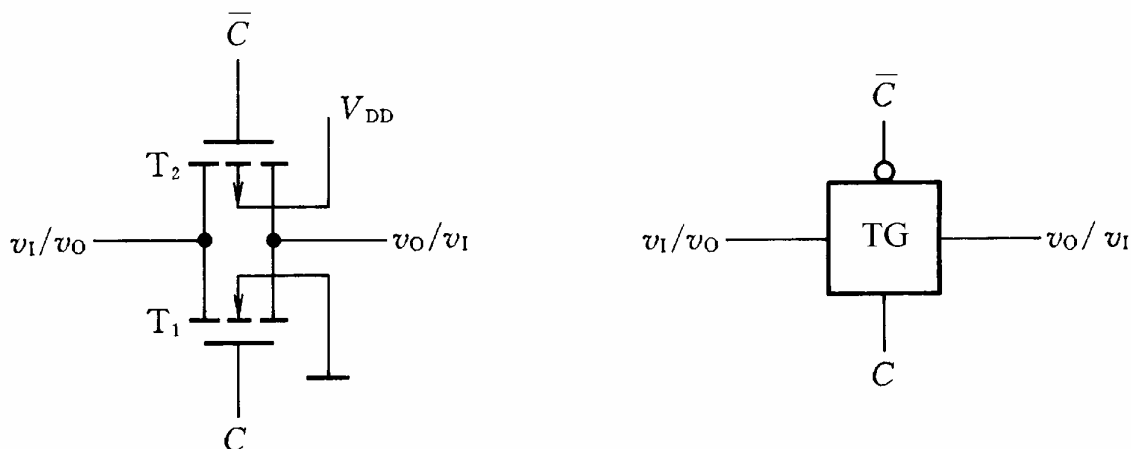
2022-9-9

第三章 门电路

42

三、CMOS传输门

1 CMOS传输门的电路结构和符号



§ 3.3 CMOS门电路

2 CMOS传输门的工作状态

v_I 为正，另一端经 R_L 接地

设 $R_L \gg R_{TG}$, $V_{IH} = V_{DD}$, $V_{IL} = 0$

(1) 当 $C = 0, C' = 1$

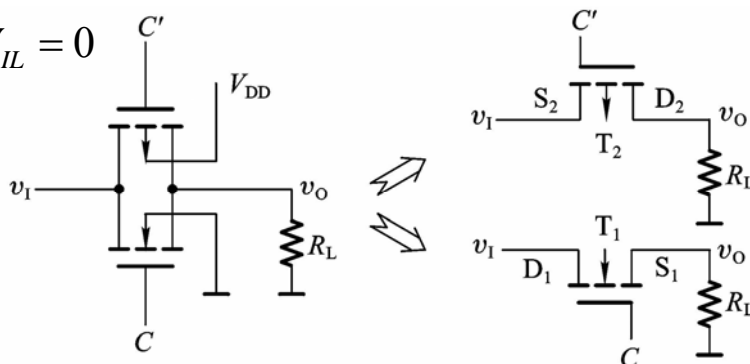
T_1 、 T_2 均截止，
传输门相当于断开

(2) 当 $C = 1, C' = 0$

$0 < v_I < V_{DD} - V_{GS(th)N}$, T_1 导通

$|V_{GS(th)P}| < v_I < V_{DD}$, T_2 导通

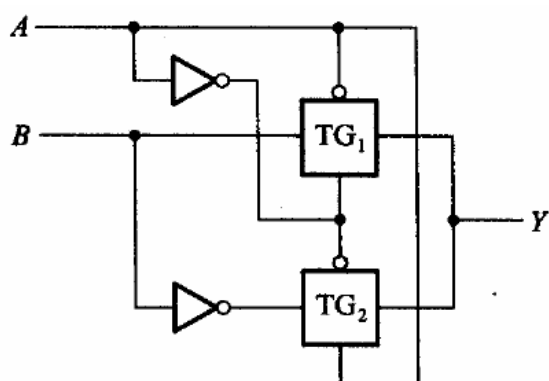
\therefore 传输门导通



§ 3.3 CMOS门电路

3 传输门和反相器实现逻辑电路

传输门和反相器实现的异或门电路



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

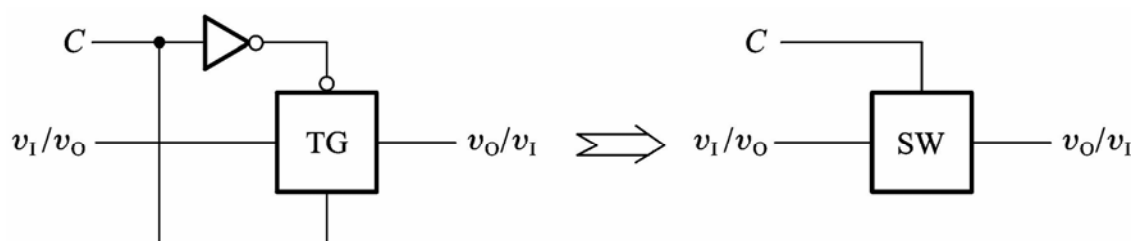
2022-9-9

第三章 门电路

45

§ 3.3 CMOS门电路

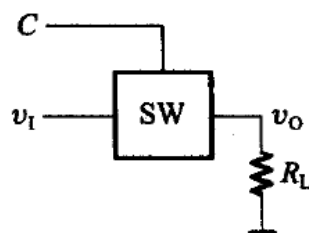
4 双向模拟开关



$C = 0$ 时，开关截止

$$C = 1 \text{ 时, } v_O = \frac{R_L}{R_L + R_{TG}} v_I$$

电压传输系数 K_{TG} : $K_{TG} = \frac{v_O}{v_I} = \frac{R_L}{R_L + R_{TG}}$



2022-9-9

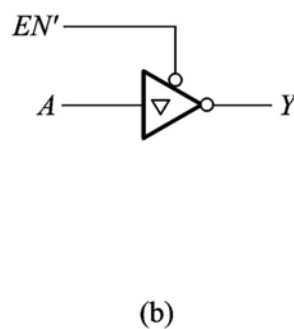
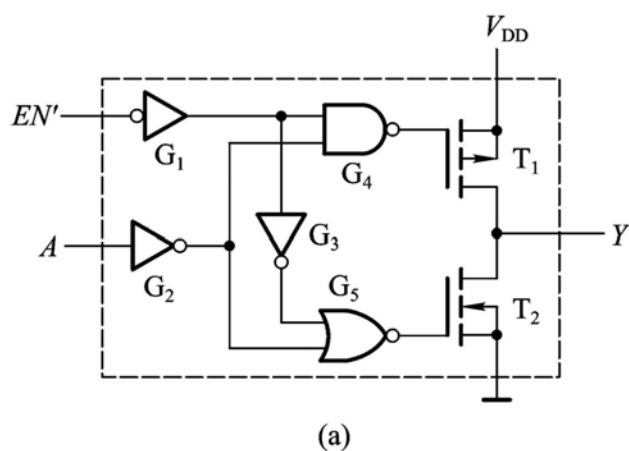
第三章 门电路

46

§ 3.3 CMOS门电路

四、三态输出的CMOS门电路

输出有三个状态：高电平、低电平、高阻态



$EN' = 0$ 时, $Y = A'$

$EN' = 1$ 时, $Y = Z$ (高阻)

2022-9-9

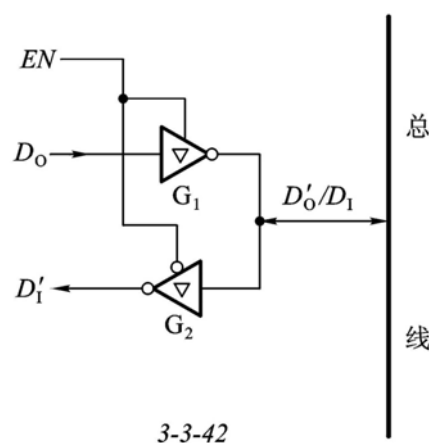
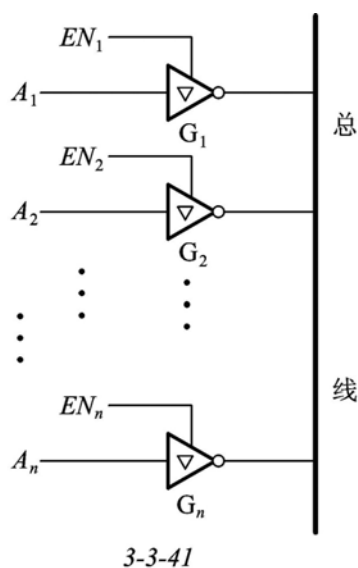
第三章 门电路

47

§ 3.3 CMOS门电路

三态门的用途:

- 用三态输出反相器接成总线结构
- 用三态输出反相器实现数据双向传输



2022-9-9

第三章 门电路

48



3.3.6 CMOS集成电路的正确使用

一、输入电路的静电防护

- 1 存储和运输CMOS器件，最好采用金属屏蔽层作包装材料；
- 2 将CMOS器件插入或拔出电路板时，应关闭电源；
- 3 与CMOS器件直接接触的工具、仪表等必须良好接地；
- 4 不用的输入端不能悬空

二、输入电路的过流保护

- 1 输入端接低内阻信号源时，应在输入端与信号源之间串入保护电阻；
- 2 输入端接有大电容时，应在输入端与电容间接入保护电阻；
- 3 输入端接长线时，应在门电路的输入端接入保护电阻



3.3.7 CMOS数字集成电路的各种系列

- 4000系列
- HC：高速CMOS系列
- HCT：与TTL兼容的高速CMOS系列
- AHC：先进高速CMOS系列
- AHCT：与TTL兼容的先进高速CMOS系列
- LVC：低压CMOS系列
- ALVC：先进低压CMOS系列
- AVC：超低压CMOS系列
- 54系列：工作环境温度（ $-55 \sim +125^{\circ}\text{C}$ ）
- 74系列：工作环境温度（ $-40 \sim +85^{\circ}\text{C}$ ）



§ 3.3 CMOS门电路

表3.3.2 各种CMOS系列门电路性能的比较（以74xx04为例）

参数名称和符号	74HC04	74HCT04	74AHC04	74AHCT04	74LVC04	74ALVC04
电源电压范围 V_{DD}/V	2~6	4.5~5.5	2~5.5	4.5~5.5	1.65~3.6	1.65~3.6
输入高电平最小值 $V_{IH(min)}/V$	3.15	2	3.15	2	2	2
输入低电平最大值 $V_{IL(max)}/V$	1.35	0.8	1.35	0.8	0.8	0.8
输出高电平最小值 $V_{OH(min)}/V$	4.4	4.4	4.4	4.4	2.2	2.0
输出低电平最大值 $V_{OL(max)}/V$	0.33	0.33	0.44	0.44	0.55	0.55
高电平输出电流最大值 $I_{OH(max)}/mA$	-4	-4	-8	-8	-24	-24
低电平输出电流最大值 $I_{OL(max)}/mA$	4	4	8	8	24	24
高电平输入电流最大值 $I_{IH(max)}/\mu A$	1	1	1	1	5	5
低电平输入电流最大值 $I_{IL(max)}/\mu A$	-1	-1	-1	-1	-5	-5
平均传输延迟时间 t_{pd}/ns	9	14	5.3	5.5	3.8	2
输入电容最大值 C_i/pF	10	10	10	10	5	3.5
功耗电容 C_{pd}/pF	20	20	12	14	8	23

注：1.表中给出的参数（除电源电压范围以外）中，74HC/HCT和74AHC/74AHCT是 $V_{DD}=4.5V$ 下的参数，74LVC04和74ALVC04是 $V_{DD}=3V$ 下的参数。

2. $V_{OH(min)}$ 和 $V_{OL(max)}$ 是最大负载电流下的输出电压。

2022-9-9

第三章 门电路

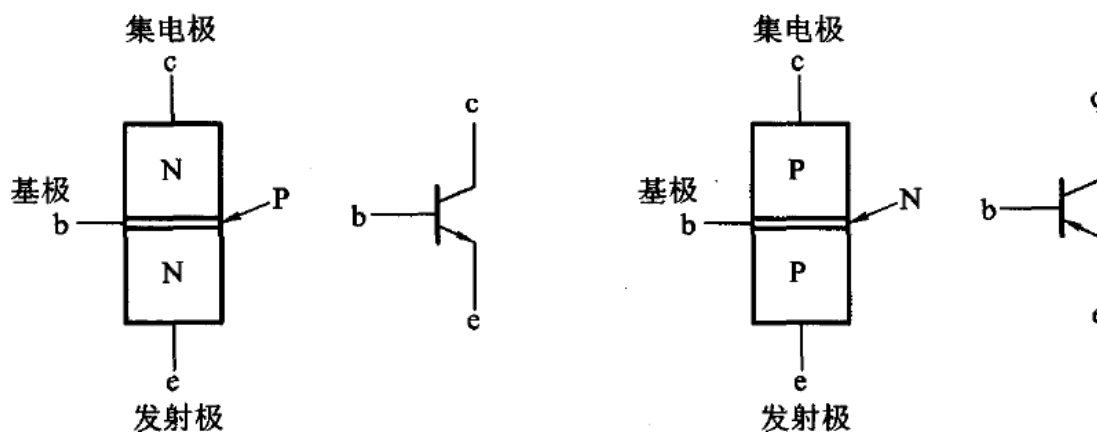
51



§ 3.4 TTL门电路

3.4.1 双极型三极管的开关特性

一、双极型三极管的结构



2022-9-9

第三章 门电路

52

§ 3.4 TTL门电路

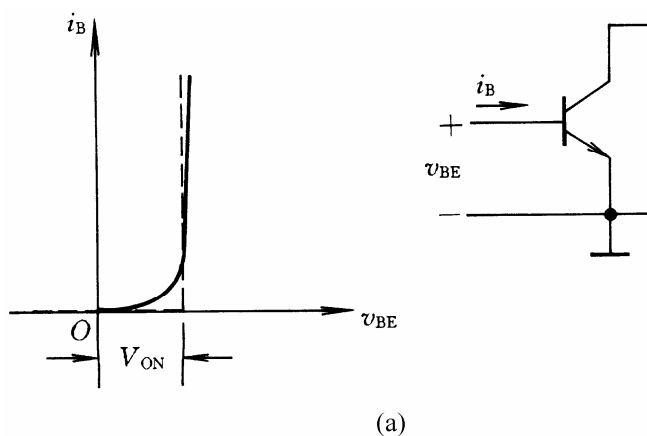


二、双极型三极管的输入特性和输出特性

1 输入特性曲线 (NPN)

输入特性: $i_B = f(v_{BE})$

- V_{ON} : 开启电压
- 硅管, $0.5 \sim 0.7V$
- 锗管, $0.2 \sim 0.3V$



2022-9-9

第三章 门电路

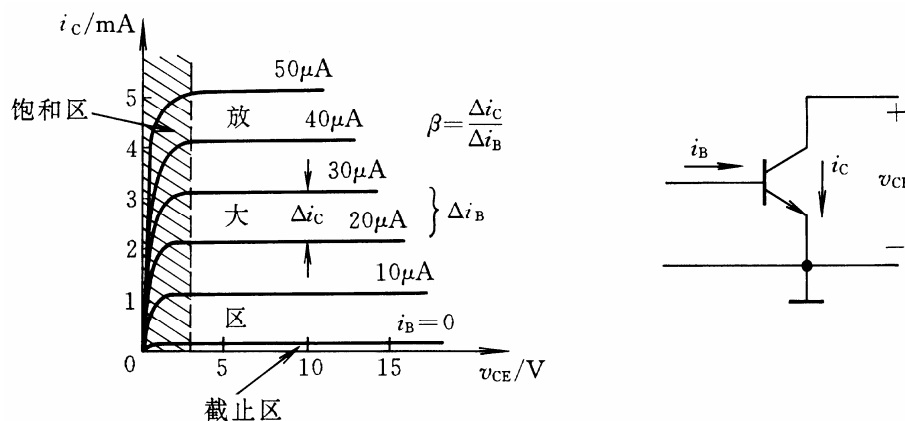
53

§ 3.4 TTL门电路



2 输出特性曲线 (NPN)

输出特性: $i_C = f(v_{CE})$ 对应不同的 i_B 下的一族曲线。



• 特性曲线分三个部分

- (1) 放大区: $v_{BE} > V_{ON}$ 且 $v_{CE} > v_{BE}$; $\Delta i_C = \beta \Delta i_B$
- (2) 饱和区: $v_{BE} > V_{ON}$ 且 $v_{CE} < v_{BE}$; Δi_C 随 Δi_B 增加变缓, 趋于饱和
- (3) 截止区: $v_{BE} < V_{ON}$ 且 $v_{CE} > v_{BE}$; $i_B = 0, i_C = 0$

2022-9-9

第三章 门电路

54

§ 3.4 TTL门电路

三、双极型三极管的基本开关电路——三极管反相器

工作状态分析：

(1) 设 $v_I = V_{IL} = 0$, 则 $v_{BE} < V_{ON}$

三极管截止, $i_B = 0, i_C = 0, v_O = V_{OH} = V_{CC}$

(2) $v_I > V_{ON}$, 三极管开始进入放大区

$$i_B = \frac{v_I - V_{ON}}{R_B} \quad v_O = v_{CE} = V_{CC} - i_C R_C = V_{CC} - \beta i_B R_C$$

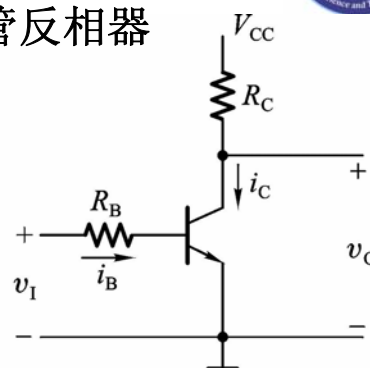
(3) v_I 继续升高, i_B 增加, v_O 下降。当 R_C 上压降接近于 V_{CC} 时, $v_O \approx 0$ 。

三极管工作在深度饱和状态 $v_O = V_{OL} \approx 0$ 。

双极型晶体管工作状态的判断：

$$I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} \approx \frac{V_{CC} - V_{CE(sat)}}{\beta R_C} \approx \frac{V_{CC}}{\beta R_C}$$

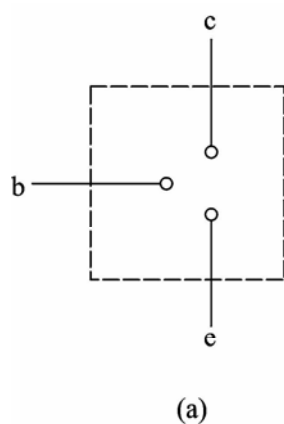
若 $i_B > I_{BS}$, 三极管工作在饱和状态



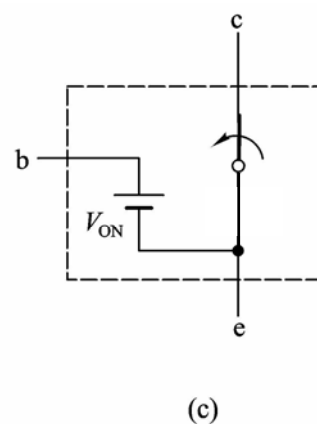
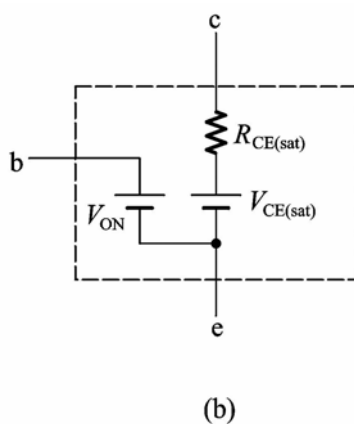
§ 3.4 TTL门电路

四、三极管的开关等效电路

截止状态



饱和导通状态



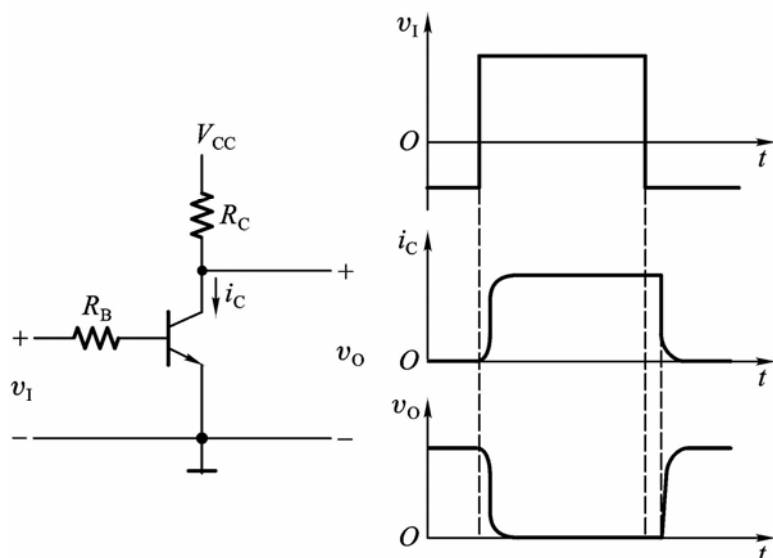
$$V_{CC} \gg V_{CE(sat)}$$

$$R_C \gg R_{CE(sat)}$$

§ 3.4 TTL门电路



五、双极型三极管反相器的动态开关特性



在饱和与截止两个状态之间转换时， i_C 的变化将滞后于 v_I ，则 v_O 的变化也滞后于 v_I 。

2022-9-9

第三章 门电路

57

§ 3.4 TTL门电路



例3.4.1 图示反相器电路中，已知 $V_{CC}=5V$ ，二极管的正向导通压降为 $0.7V$ ，三极管发射结的开启电压 $V_{ON}=0.7V$ 。三极管的饱和导通压降和饱和导通内阻可忽略不计。若输入信号的高、低电平分别为 $3.4V$ 和 $0.2V$ ，试计算

(1) 三极管的电流放大倍数应取多少才能保证输入高电平信号时三极管饱和导通？

(2) 输出的高、低电平值。

解： (1) $\beta = (V_{CC} - V_{D3}) / R_2 I_{BS}$

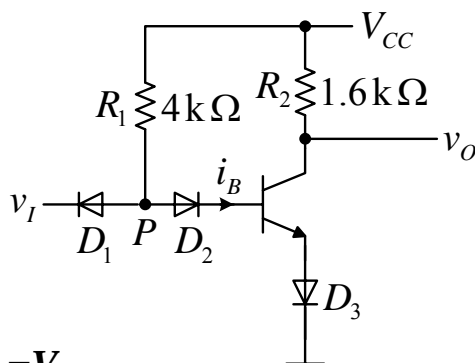
$$I_{BS} = (V_{CC} - V_{D2} - V_{D3} - V_{ON}) / R_1$$

$$\beta = (V_{CC} - V_{D3}) R_1 / (V_{CC} - V_{D2} - V_{D3} - V_{ON}) R_2$$

$$= (5 - 0.7) \times 4 / (5 - 0.7 - 0.7 - 0.7) \times 1.6 = 3.7$$

(2) 输入 $V_{IL}=0.2V$ ，三极管截止， $V_{OH}=V_{CC}$

输入 $V_{IH}=3.4V$ ，三极管饱和， $V_{OL}=0.7V$



2022-9-9

第三章 门电路

58

§ 3.4 TTL门电路

3.4.2 TTL反相器的电路结构和工作原理

一、电路结构

设 $V_{CC} = 5V, V_{IH} = 3.4V, V_{IL} = 0.2V$

PN结导通压降 $V_{ON} = 0.7V$

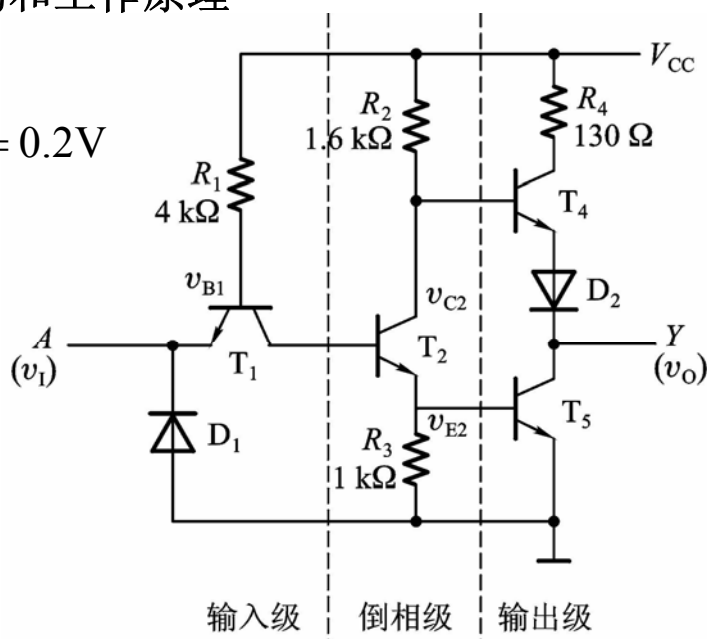
(1) $v_I = V_{IL} = 0.2V (A = 0)$

$v_O = V_{OH} = 3.4V (Y = 1)$

(2) $v_I = V_{IH} = 3.4V (A = 1)$

$v_O = V_{OL} = 0.2V (Y = 0)$

$\therefore Y = A'$



2022-9-9

第三章 门电路

59

§ 3.4 TTL门电路

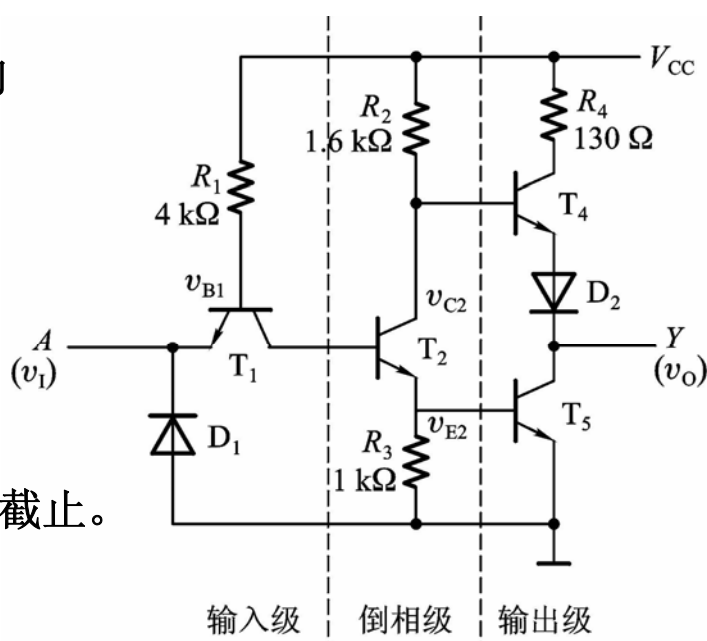
●需要说明的几个问题:

(1) T_2 的输出 v_{C2} 和 v_{E2} 变化方向相反, 故称倒相级。

(2) 输出级在稳态下, T_4 和 T_5 总有一个导通、一个截止。既能降低功耗又提高了带负载能力, 称推拉式。

(3) D_2 保证 T_5 导通时 T_4 可靠地截止。

(4) D_1 抑制负向干扰



2022-9-9

第三章 门电路

60



§ 3.4 TTL门电路

3.4.6 TTL数字集成电路的各种系列

➤74系列

➤74H系列：高速TTL系列

➤74L系列：低功耗TTL系列

➤74S系列：肖特基系列

➤74LS系列：低功耗肖特基系列

➤74AS系列：先进肖特基系列

➤74ALS系列：先进低功耗肖特基系列

➤74F系列：快速TTL系列

●54系列：环境温度（ $-55 \sim +125^{\circ}\text{C}$ ），电源电压：4.5~5.5V

●74系列：环境温度（ $0 \sim +70^{\circ}\text{C}$ ），电源电压：4.75~5.25V

2022-9-9

第三章 门电路

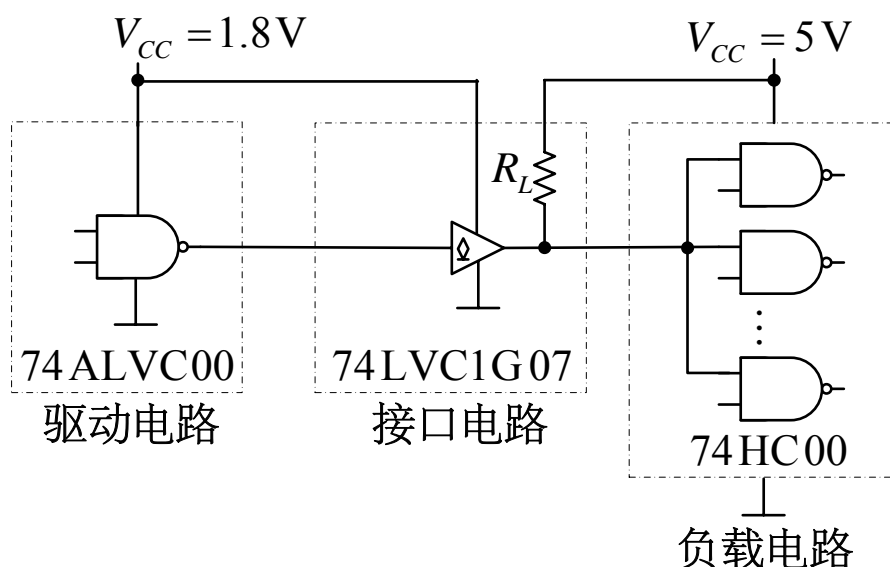
61

§ 3.7 不同类型数字集成电路间的接口



3.7.2 不同逻辑电平电路间的接口

1 用OD输出的缓冲/驱动器实现逻辑电平转换



2022-9-9

第三章 门电路

62

§ 3.7 不同类型数字集成电路间的接口

2 用双电源总线接口电路实现逻辑电平转换

