



中国科学技术大学

## 数字逻辑电路习题课讲义

学    院：信息科学技术学院

班    级：2022 秋数字逻辑电路 05 班

主    讲：高源

日    期：2022 年 11 月 24 日

# 目录

|                            |    |
|----------------------------|----|
| 1 第一章 数制和码制 .....          | 2  |
| 1.1 考点分析 .....             | 2  |
| 1.2 重要问题 .....             | 3  |
| 1.2.1 补码 .....             | 3  |
| 1.2.2 二进制数和格雷码的转换 .....    | 3  |
| 1.2.3 十进制数和 BCD 码的转换 ..... | 3  |
| 2 第二章 逻辑代数基础 .....         | 4  |
| 2.1 考点分析 .....             | 4  |
| 2.2 重要问题 .....             | 7  |
| 2.2.1 逻辑函数化简 .....         | 7  |
| 2.2.2 无关项 .....            | 7  |
| 2.2.3 理解和使用卡诺图 .....       | 7  |
| 3 第三章 门电路 .....            | 9  |
| 3.1 考点分析 .....             | 9  |
| 3.2 重要问题 .....             | 11 |
| 3.2.1 CMOS 电路分析 .....      | 11 |
| 4 第四章 组合逻辑电路 .....         | 14 |
| 4.1 重要问题 .....             | 15 |
| 4.1.1 组合逻辑电路功能分析 .....     | 15 |
| 4.1.2 基于中规模电路的一般设计问题 ..... | 17 |
| 4.1.3 常见中规模电路的功能扩展问题 ..... | 19 |
| 5 第五章 半导体存储电路 .....        | 22 |
| 5.1 考点分析 .....             | 22 |
| 5.2 重要问题 .....             | 23 |
| 5.2.1 绘制波形图 .....          | 23 |

# 第一章 数制和码制

## 1.1 考点分析

1. 数制转换。例：将十进制数 20.22 转换为等值的十六进制数。
  - 十进制转换八进制、十六进制可以通过转换二进制过渡。
  - 十进制转换二进制：整数除 2 取余倒序，小数乘 2 取整正序。
  - 有效数字问题：。
2. 二进制运算。例：使用四位加法器实现三位二进制数乘 3 运算。
  - 二进制运算都通过转换为加法来实现。二进制减法——加上补码；二进制乘法——移位相加（原码）；二进制除法——移位相加（补码）。
3. 二进制补码运算。例：用二进制补码计算完成减法  $21-5$ 。
  - 首先根据运算的操作数和结果的绝对值最大值确定补码的位数（如果补码位数少了可能导致溢出，结果出错）。
  - 如何快速验证补码运算结果是否正确呢？**请同学们**在习题课前自己思考一下。
4. 一般补码运算。例：设计余三循环码的补码电路。
  - 补码的概念。补码本身是基于模运算概念提出的，所有求补码的问题，首先要明确模是多少。
  - 伪码的问题。BCD 码，余三循环码等都是四位十进制代码，除了 10 个有效代码外，其余 6 个为伪码，求补码电路设计的时候要考虑到这一点。
5. 十进制数和十进制代码的转换。例：将 4.3 转换为余三码。
  - 每一位都转换为对应的十进制代码即可。
6. 常用编码方式要熟悉，尤其是格雷码。

- 2020 年秋季学期期末时序逻辑电路设计题目要求“状态编码采用 4 位格雷码”，部分同学忽略了对于格雷码编码方式的掌握，因此从设计的第一步就出现了问题。对于这种情况，当年的评分标准是得分打 5 折。

## 1.2 重要问题

### 1.2.1 补码

1. 给原码求补码：按位求反加一。

补充：按位求反可以通过和 1 按位异或实现，如果提供加法器直接利用进位输入可以实现加一操作。

2. 给补码求原码：补码的补码就是原码。

3. 原码转换十进制数：基本的数制转换问题，符号取决于符号位，数值大小通过按位数值乘权重加权求和。

4. 补码转换十进制数：两种方法。

- 补码先转换为原码，原码再转换十进制数。
- 补码直接转换为十进制数：**思考题**。

### 1.2.2 二进制数和格雷码的转换

1. 二进制数 101101 对应的格雷码为。

二进制码转换为格雷码方法：

2. 格雷码 110111 对应的二进制码为。

格雷码转换二进制码方法：

### 1.2.3 十进制数和 BCD 码的转换

1. 十进制数 254.25 对应的 8421BCD 码为。

十进制数转换为 BCD 码的方法：

## 第二章 逻辑代数基础

### 2.1 考点分析

1. 基本逻辑运算符号表示。例：给出矩形轮廓符号构成的电路图，写出逻辑函数式。

- 特定外形符号和矩形轮廓符号都要掌握。

2. 逻辑函数化简一定要注意是否指明方法，同时注意要求的最简形式是哪种逻辑函数表达式形式。

- 2020 年秋季学期期末第一题逻辑函数化简要求用公式法化简为最简“或非-或非”形式。一些同学没有注意到“公式法”采用卡诺图化简，或者直接给出最简与或式，这些都是要扣分的。
- 公式法化简题目答题规范要求给出必要的化简过程（不要求把教材上介绍的公式基本形式及其名字写出来，但是要能体现用了哪个公式），如果没有必要化简过程直接给出结果一样会扣分，视结果正误酌情给分。
- 卡诺图法化简题目答题规范要求画出标准卡诺图，同时给出正确的卡诺圈（可能不唯一）。这一块注意画卡诺图的时候不要只画 1，0 和  $\times$  也要画出来；另一个要注意的是无关项的合理使用。

3. 公式法化简。例：利用公式法将逻辑函数

$$Y = AC + B'C + BD' + CD' + AB + A'BCD' + AC'$$

化简为最简与或式。

一些小技巧：

- 
- 
- 
-

4. 逻辑代数基本定理。例：写出  $Y = AB + (C + D)'$  的对偶式。

- 反演定理。逻辑式中“.”和“+”互换，“0”和“1”互换，原变量和反变量互换，需遵守“先括号、然后乘、最后加”的运算优先次序，同时注意不属于单个变量上的反号应保留不变。
- 对偶定理。逻辑式中“.”和“+”互换，“0”和“1”互换。

5. 逻辑函数不同表示形式之间的转换。例：根据波形图画出逻辑电路图。

- 注意真值表的特殊地位。真值表是最直观的一种表达，是连接电子世界和语义世界的桥梁，无论是 CMOS 电路分析，还是组合逻辑电路分析与设计，真值表都是其中至关重要的组成部分。掌握了真值表的应用，对于学好这门课程有着重要意义。

6. 最小项之和与最大项之积标准形式。例：将或与形式逻辑函数

$$Y = (A + B + C)(A' + B + C')(A + C' + D')(A' + D)(B + C + D')$$

化简为最简与或式。

- 最大项之积部分标星号，不属于考察内容，但是在处理或与形式的逻辑函数，可以用最大项之积和最小项之和的关系将其转换为熟悉的最小项之和形式。在使用最大项的时候，注意其编号和最小项编号的区别。
- 最小项之和是逻辑函数的标准形式，任何逻辑函数都可以表示为最小项之和形式。因此，能够产生（一定变量数）所有最小项的译码器和数据选择器可以被用来设计任何组合逻辑电路。
- 真值表、卡诺图，这两种重要的工具，本质上就是最小项之和的“图形化表达”。

7. 卡诺图法化简。例：将逻辑函数

$$Y(A, B, C, D) = \sum m(2, 3, 4, 5, 6, 7, 12, 13) + d(10, 14, 15)$$

化简为最简的与或非式。

- 卡诺图法化简本质上是利用“几何相邻”表征“逻辑相邻”。当变量数不超过 4 的时候“几何相邻”还比较直观，但随着变量数继续增加，“几何相邻”不再直观，即此时卡诺图法的优势不再明显，一般情况下如果题目出现变量数超过 4 的逻辑函数化简，往往是可以透过一些简单运算（比如利用基本的定

理)来减少逻辑变量数量的(例如,  $A$  和  $B'$  总是一起出现, 那就可以用一个逻辑变量代替这两个变量)。

- 卡诺图法化简易错点:
- 有无关项的逻辑函数、多输出的逻辑函数, 直接采用卡诺图法化简。
- 如何用卡诺图化简得到最简与或非式, 可以思考有几种常用方法。

#### 8. 多输出逻辑函数化简。例: 对多输出逻辑函数

$$\begin{cases} Y_1(A, B, C, D) = \sum(3, 4, 5, 6, 7, 8, 9, 12, 13, 14, 15) \\ Y_2(A, B, C, D) = \sum(2, 3, 4, 6, 7, 12, 14) \\ Y_3(A, B, C, D) = \sum(2, 6, 8, 9) \end{cases}$$

整体进行化简。

- 首先确定使用卡诺图法。
- 这类问题没有固定的求解方法和准则, 因此题目不会太复杂。这类题目的考察的思想是, 对于一组逻辑函数整体化简, 合适地利用公共项可能比单独地化简更好。
- 这里提供一种思路供读者参考。首先从所有卡诺图中找到“几何相邻”最少的部分, 对应可以画圈的选择最少, 这一部分在当前逻辑函数内必须作为整体化简, 进而在其他卡诺图中把公共项标注出。

#### 9. 无关项的概念。例: 无关项的组成。

- 注意约束项和任意项的区别。
- 组合逻辑电路中的“伪码”和时序逻辑电路设计中“任意次态”在逻辑函数表达中都作为无关项处理。

#### 10. 逻辑函数式不同表示形式之间的转换。例: 用与非门实现某组合逻辑电路。

- 示例

$$Y = AC + BC'$$

请写出该逻辑函数式的各种表达形式(或与、或非、与或非、与非)

- 总结技巧:

## 2.2 重要问题

### 2.2.1 逻辑函数化简

1. 方法选择：电子学的一个基本原则“客户至上”。选择方法之前先看题目是否指定方法，如未指定再根据待化简的逻辑函数选择合适的方法。
2. 公式化简的一个技巧：

3. 一类特殊形式的逻辑函数化简。求逻辑函数式

$$Y = (A + B + C)(A' + B + C')(A + C' + D')(A' + D)(B + C + D')$$

的最简与或式。

两种方法。

- 
- 

4. 多变量逻辑函数的卡诺图法。一般建议 4 变量及以下使用卡诺图法，主要原因是当变量数超过 4 的时候，卡诺图上对应逻辑相邻的几何相邻不再直观。

### 2.2.2 无关项

1. 概念分析：无关项包括任意项 和约束项，其中\_\_\_\_\_是否加入逻辑函数式中对逻辑函数式的取值可能有影响。
2. 化简中的应用：

### 2.2.3 理解和使用卡诺图

1. 卡诺图与最小项之和标准形式等价。



- 例：已知四变量函数  $Y_1$  和  $Y_2$ ：

$$Y_1(A, B, C, D) = \sum m(2, 3, 4, 6, 8, 10, 12, 14)$$

$$Y_2(A, B, C, D) = \sum m(0, 1, 2, 5, 7, 8, 12, 14) + d(3, 9, 10)$$

求复合函数  $Y_1 \oplus Y_2$  最小项之和的形式。

2. 卡诺图的逻辑相邻性与卡诺图基于翻折的递归生成方式之间的联系。

3. 关于卡诺图的作图规范。

## 第三章 门电路

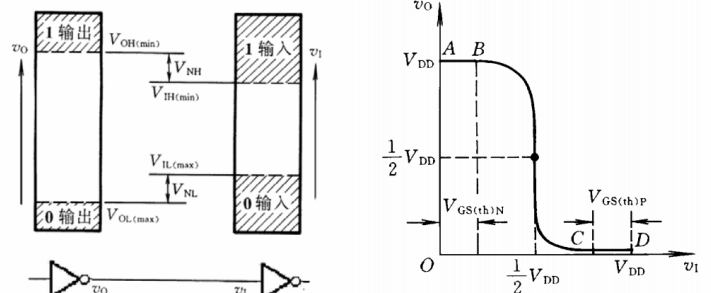
### 3.1 考点分析

1. 正负逻辑。例：正逻辑的与门对应负逻辑的哪种门。

- 门电路的本质描述是

2. 门电路输入端噪声容限。例：门电路输入端噪声容限的概念是。

- 在输出高、低电平变化允许范围内，允许输入高、低电平的波动范围称为输入端噪声容限。

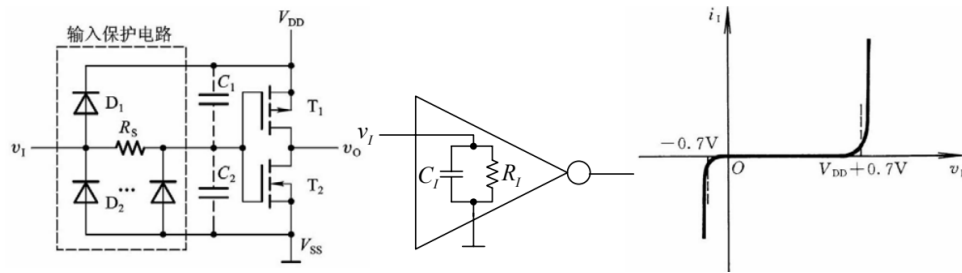


$$V_{NH} = V_{OH(\min)} - V_{IH(\min)}$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)}$$

- 理解噪声容限。

3. 输入保护电路。例：在分析脉冲波形产生和整形电路时常常会遇到电压突变，注意有时候会受到 CMOS 输入保护电路二极管钳位的影响。



- 当  $0 \leq v_I \leq V_{DD}$ , 输入端保护电路不起作用。
  - 当  $v_I > V_{DD} + V_{DF}$  时,  $D_1$  导通; 当  $v_I < -V_{DF}$  时,  $D_2$  导通。
4. 门电路功耗计算。例：计算 CMOS 反向器的总功耗。已知电源电压  $V_{DD} = 5V$ , 静态电源电流  $I_{DD} = 1\mu A$ , 负载电容  $C_L = 100pF$ , 功耗电容  $C_{PD} = 20pF$ 。输入信号重复频率  $f = 100kHz$ 。
- 负载电容充放电功耗。
  - 瞬时导通功耗。
  - 总的动态功耗
  - 静态功耗可以忽略。
5. 扇出系数。例：扇出系数的定义是。
- 定义：门电路能够驱动同类门的最大数目。
  - 特点：随着开关频率的升高，扇出数将随之下降。
6. CMOS 门电路分析。例：请写出图中 CMOS 门电路的输出逻辑表达式。
- 模块化方法。
  - 真值表法。
7. OD 门上拉电阻取值范围分析。例：教材习题 3.10。
- OD 门输出为高电平时

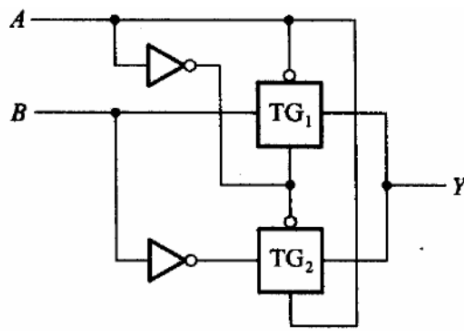
- OD 门输出为低电平时

8. 三态门。例：三态门能够输出的三种状态是。

- 逻辑电路分析题目，如果遇到三态门（或者传输门），**要注意哪些易错点？**

9. 传输门。例：使用传输门和反相器实现异或门电路。

- 电路图



## 3.2 重要问题

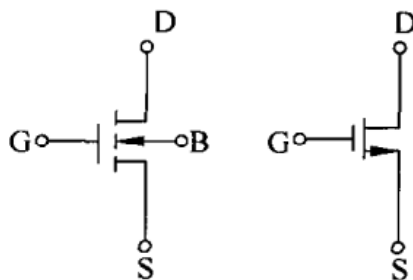
### 3.2.1 CMOS 电路分析

1. 两种方法：模块化方法和真值表法（本质）。

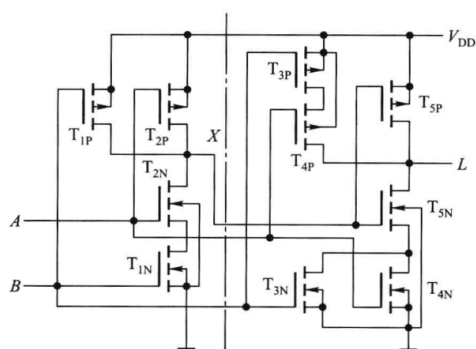
2. 模块化方法：

3. 真值表法：

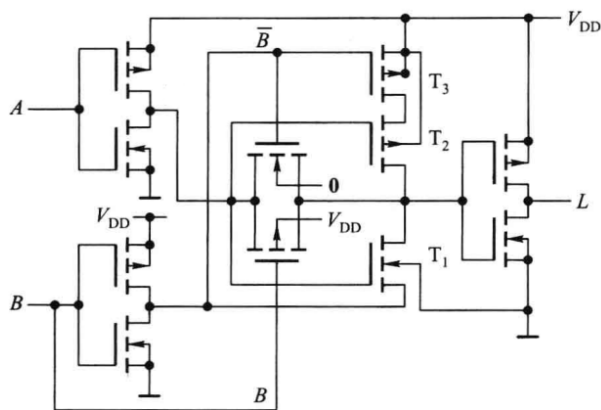
4. 如何识别 CMOS 管子是哪种类型：



5. 模块化方法例题。CMOS 电路如图所示，试写出其输出逻辑函数式。



6. 真值表法例题。CMOS 电路如图所示，试写出其输出逻辑函数式。



7. 高阻态。由 CMOS 传输门构成的电路如图所示。 $CS$  为控制端， $A$ 、 $B$  为输入， $L$  为输出，试写出逻辑函数式，并说明该电路的逻辑功能。

请允许我尘埃落定 用沉默埋葬了过去

## 第四章 组合逻辑电路

1. 组合逻辑电路分析。例：分析电路实现的功能。

- 流程：逻辑电路图 → 逻辑函数式 → 真值表 → 自然语言描述。
- 功能分析：试总结这类题目的解决方法，如果没有思路的话可以看看讲义后面给出的几道例题嘿嘿。

2. 组合逻辑电路设计。例：设计二进制除法电路。

- 流程：自然语言描述 → 真值表 → 逻辑函数式 → 逻辑电路图。
- 逻辑抽象：确定逻辑变量数及其含义。如果题目中没有给出，在答题的时候一定要写清楚。假设逻辑变量  $A$  表示开关的通断状态，其中  $A = 0$  表示开关断开， $A = 1$  表示开关闭合。
- 基于中规模器件的设计：一般情况下会考察基于译码器或数据选择器的设计，实际上就是利用二者生成的最小项来实现。部分题目会考察基于加法器的设计，需要将逻辑函数表示为逻辑变量以及常数之间的算术运算。

3. 功能扩展。例：用两片三线八线译码器实现某四变量逻辑函数。

- 建议掌握（理解或者背下来）译码器和数据选择器的功能扩展方式。
- 流程：输入分配；片间关系确定；输出获取。
- 一般性的分析方法可以参考《数字逻辑电路学习指导》。

4. 组合逻辑型 PLA。例：写出 PLA 电路的输出逻辑函数。

- 与或逻辑阵列。

5. 竞争冒险现象。例：什么是组合逻辑电路中的竞争—冒险现象，有哪些方法可以消除。

- 竞争：基本概念自己完成填空，如果不熟悉的话可以去翻阅教材，这个概念性问题习题课就不讲了。

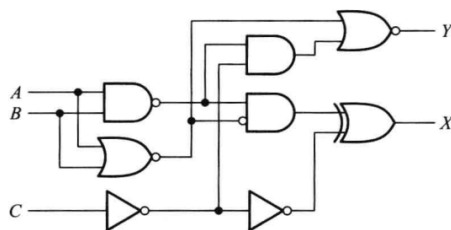
- 竞争-冒险:
- 消除方法:

## 4.1 重要问题

### 4.1.1 组合逻辑电路功能分析

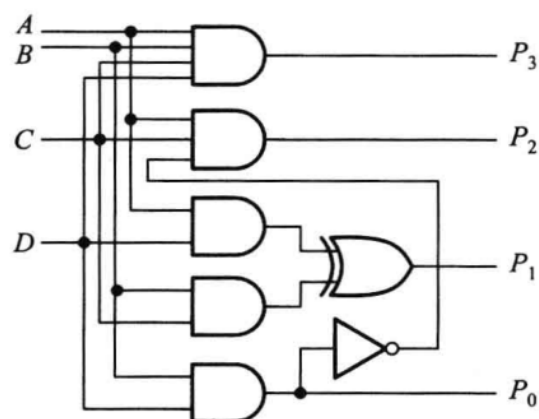
1. 请同学们在习题课前自己尝试下面的例题，然后总结这类题目的解题技巧。

2. 组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。

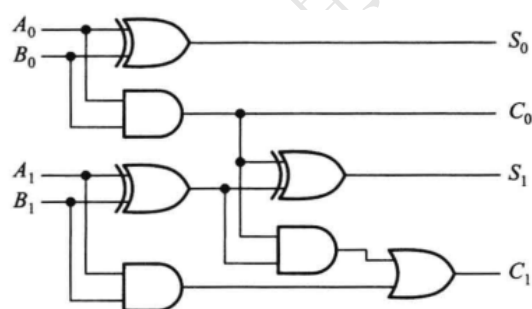


3. 组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。

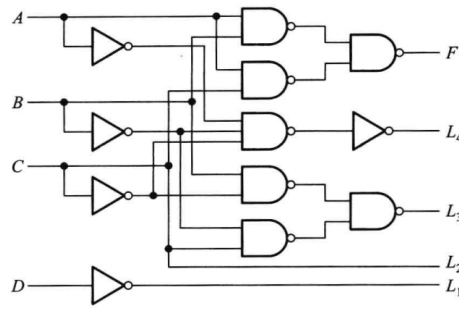




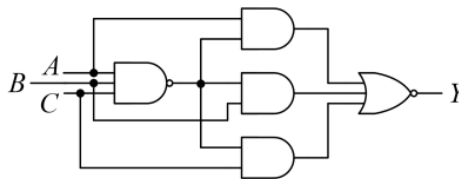
4. 组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。



5. 组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。



6. (2021 秋数电期末试题) 分析如图所示的组合逻辑电路，写出输出逻辑函数式，画出波形图，并说明电路功能。



#### 4.1.2 基于中规模电路的一般设计问题

1. 首先明确，常见的可以用来设计任何逻辑电路（生成任何组合逻辑函数）的器件只有译码器和数据选择器，原因是
2. 思考译码器和数据选择器在用来设计逻辑函数时的区别
3. 除此以外，加法器也常常用于算术运算功能组合逻辑电路设计。思考，如何用一个 4 位加法器实现一个 3 位二进制数乘 3 运算。

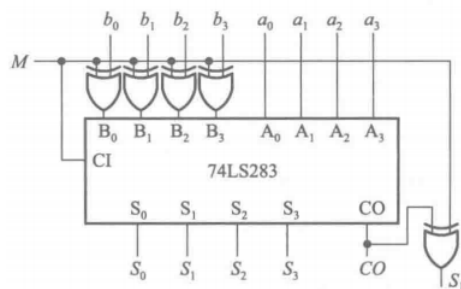
4. 试画出用 3 线-8 线译码器 74HC138 和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = AC \\ Y_2 = A'B'C + AB'C' + BC \\ Y_3 = B'C' + ABC' \end{cases}$$

5. 用 8 选 1 数据选择器 74HC151 产生逻辑函数。(注：在考试的时候会给出中规模电路模块的功能表)

$$Y = AC'D + A'B'CD + BC + BC'D'$$

6. 试用 4 位并行加法器 74LS283 设计一个加/减运算电路。当控制信号  $M = 0$  时它将两个输入的 4 位二进制数相加，而  $M = 1$  时它将两个输入的 4 位二进制数相减。两数相加的绝对值不大于 15。允许附加必要的门电路。



7. 人的血型有 A、B、AB、O 4 种。输血时输血者的血型与受血者血型必须符合图中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路, 判断输血者与受血者的血型是否符合上述规定。(提示: 可以用两个逻辑变量的 4 种取值表示输血者的血型。用另外两个逻辑变量的 4 种取值表示受血者的血型。)

### 4.1.3 常见中规模电路的功能扩展问题

1. 功能扩展是第四章里难度较大的一类问题。好消息是, 一方面近几年考试都没有考过(除了 2020 年的一道 3 线-8 线译码器功能扩展是教材例题), 另一方面常见的中规模器件只有少数几种, 记住每种的功能扩展方法即可解题。
2. 如果想独立分析解题, 这个一般没有固定的方法, 这也是这类问题难点所在。这里基于经验向读者推荐一些思路, 以作为启发。首先, 确定所需的模块电路的个数, 并确定他们之间的关系(例如优先级), 进而分配一些“主要的(和基本功能相关的)”输入输出。接着关注扩展输入输出。一个成熟的芯片不会存在冗余部分(因为对于电子电路来说, 输入输出越多、连线越多、节点越多, 电路出现故障的可能性就越大), 而功能扩展端本身是“不影响”主要功能的, 它的存在就是为了功能扩展方便而设计的。分析功能表, 关注功能扩展输入和输出之间的关系, 确定在扩展的时候如何使用。实际上, 各个模块电路的关系的实现正是利用功能扩展端完成的。
3. 优先编码器 74HC148 的功能扩展。从功能表中可以看出, 选通输入端  $S'$  控制电路是否工作( $S' = 0$  工作), 扩展输出  $Y'_S$  和  $Y'_{EX}$  共同指示电路的工作状态,  $Y'_S Y'_{EX} = 11$  表示电路不工作,  $Y'_S Y'_{EX} = 01$  表示电路工作但无编码输入,

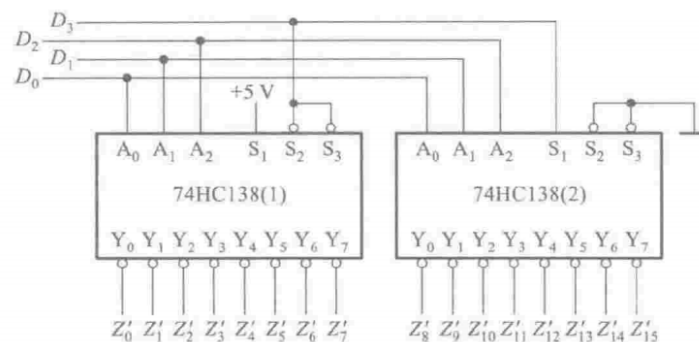
$Y'_S Y'_{EX} = 10$  表示电路正常编码。

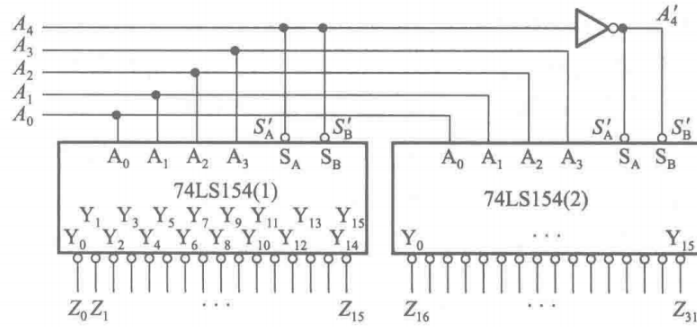
| $S'$ | $I'_0$ | $I'_1$ | $I'_2$ | $I'_3$ | $I'_4$ | $I'_5$ | $I'_6$ | $I'_7$ | $Y'_2$ | $Y'_1$ | $Y'_0$ | $Y'_S$ | $Y'_{EX}$ |
|------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-----------|
| 1    | ×      | ×      | ×      | ×      | ×      | ×      | ×      | ×      | 1      | 1      | 1      | 1      | 1         |
| 0    | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 0      | 1         |
| 0    | ×      | ×      | ×      | ×      | ×      | ×      | ×      | 0      | 0      | 0      | 0      | 1      | 0         |
| 0    | ×      | ×      | ×      | ×      | ×      | ×      | 0      | 1      | 0      | 0      | 1      | 1      | 0         |
| 0    | ×      | ×      | ×      | ×      | ×      | 0      | 1      | 1      | 0      | 1      | 0      | 1      | 0         |
| 0    | ×      | ×      | ×      | ×      | 0      | 1      | 1      | 1      | 0      | 1      | 1      | 1      | 0         |
| 0    | ×      | ×      | ×      | 0      | 1      | 1      | 1      | 1      | 1      | 0      | 0      | 1      | 0         |
| 0    | ×      | ×      | 0      | 1      | 1      | 1      | 1      | 1      | 1      | 0      | 1      | 1      | 0         |
| 0    | ×      | 0      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 0      | 1      | 0         |
| 0    | ×      | 0      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 0      | 1      | 0         |
| 0    | 0      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 0         |

#### 4. 译码器 74HC138 的功能扩展。

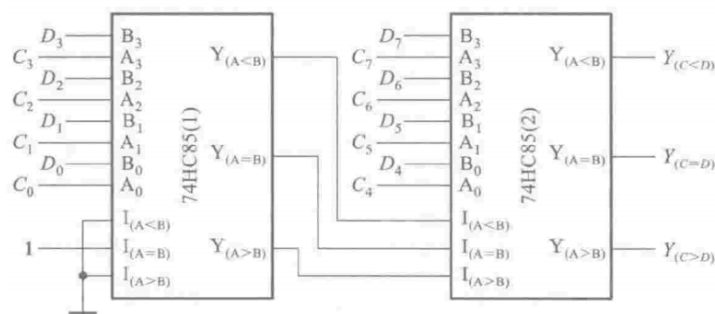
| $S_1$ | $S'_2 + S'_3$ | $A_2$ | $A_1$ | $A_{11}$ | $Y'_0$ | $Y'_1$ | $Y'_2$ | $Y'_3$ | $Y'_4$ | $Y'_5$ | $Y'_6$ | $Y'_7$ |
|-------|---------------|-------|-------|----------|--------|--------|--------|--------|--------|--------|--------|--------|
| 0     | ×             | ×     | ×     | ×        | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      |
| ×     | 1             | ×     | ×     | ×        | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0     | 0     | 0        | 0      | 1      | 1      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0     | 0     | 1        | 1      | 0      | 1      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0     | 1     | 0        | 1      | 1      | 0      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0     | 1     | 1        | 1      | 1      | 1      | 0      | 1      | 1      | 1      | 1      |
| 1     | 0             | 1     | 0     | 0        | 1      | 1      | 1      | 1      | 0      | 1      | 1      | 1      |
| 1     | 0             | 1     | 0     | 1        | 1      | 1      | 1      | 1      | 1      | 0      | 1      | 1      |
| 1     | 0             | 1     | 1     | 0        | 1      | 1      | 1      | 1      | 1      | 1      | 0      | 1      |
| 1     | 0             | 1     | 1     | 1        | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 0      |

从功能表中可以看出，选通输入端  $S_1 = 1$ 、 $S'_2 + S'_3 = 0$  时电路正常工作。





5. 数值比较器 74HC85 的功能扩展。



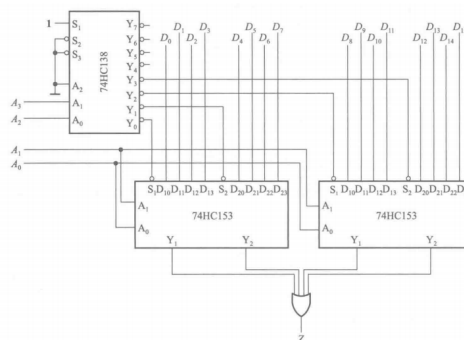
6. 数据选择器 74HC138 的功能扩展。试用两片双 4 选 1 数据选择器 74HC153 和 3 线—8 线译码器 74HC138 接成 16 选 1 的数据选择器。

双 4 选 1 数据选择器 74HC153 的输出逻辑函数为

$$Y_1 = [D_{10} (A'_1 A'_0) + D_{11} (A'_1 A_0) + D_{12} (A_1 A'_0) + D_{13} (A_1 A_0)] \cdot S_1$$

$$Y_2 = [D_{20} (A'_1 A'_0) + D_{21} (A'_1 A_0) + D_{22} (A_1 A'_0) + D_{23} (A_1 A_0)] \cdot S_2$$

选通输入  $S_1$  和  $S_2$  分别控制每一片是否工作，地址输入  $A_1 A_0$  控制每一片内将哪个数据输入端的输入送至输出。



## 第五章 半导体存储电路

### 5.1 考点分析

1. SR 锁存器、触发器的不定状态。例：绘制波形图。

- 思考：什么是“不定”，什么时候出现，画波形图如何处理。

2. 触发器类型识别。

- 思考：怎么判断给出的图形符号对应哪种类型的触发器。

3. 触发器的两个重要特性。例：按照触发方式分类有哪几种，其中哪种抗干扰能力最强。

- 逻辑功能和触发方式，二者独立。

4. 触发器电路分析。例：绘制波形图。

- 思考：从触发器的两个重要特性出发，如何分析触发器电路完成作图，以及有哪些作图规范。

5. ROM 点阵图。例：如图是某 PROM 电路编程后的点阵图，请列出数据表。

- 数据表是什么，怎么画。

6. 存储器容量。例：256K×16 位的 RAM 芯片，其地址线有多少条，数据线有多少条。

- 容量计算。作业题目中有涉及。注意单位问题：位还是字节。
- 容量扩展。字扩展怎么实现，位扩展怎么实现。同时扩展，先位扩展再字扩展。

7. 利用存储器实现组合逻辑函数。

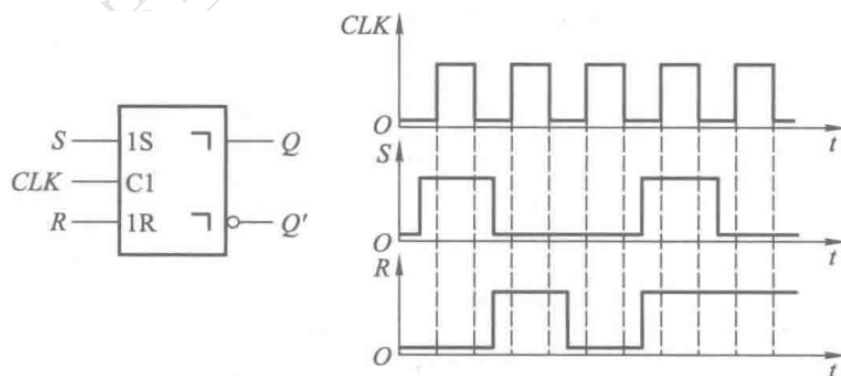
- 从 ROM 的数据表可见：若以地址线为输入变量，则数据线即为一组关于地址变量的逻辑函数。

## 5.2 重要问题

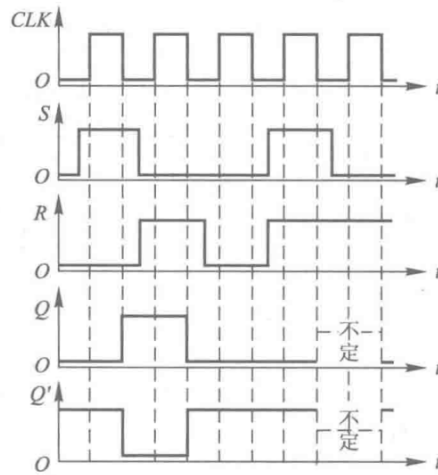
### 5.2.1 绘制波形图

1. SR 触发器中的不定状态。

- 若脉冲触发 SR 触发器各输入端的电压波形如图中所给出，试画出  $Q$ 、 $Q'$  端对应的电压波形。设触发器的初始状态为  $Q = 0$ 。







2. 异步 D 触发器。

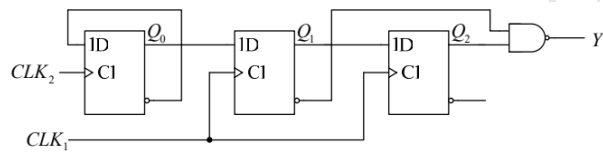
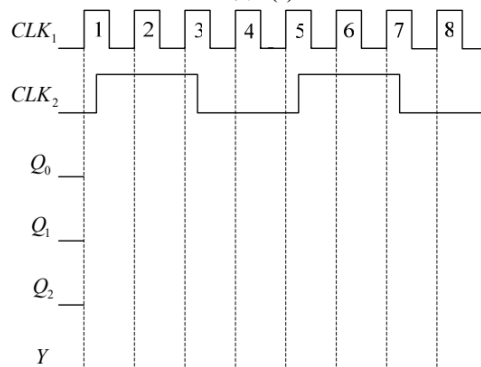


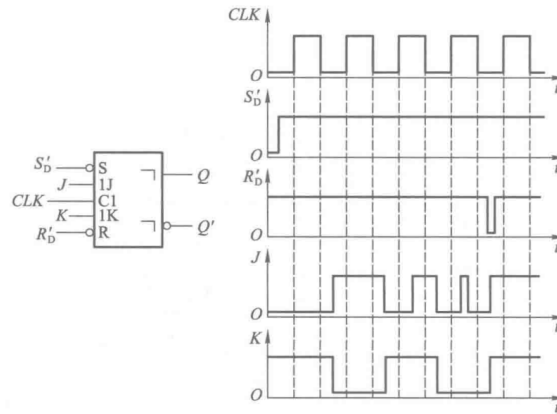
图 1 (a)



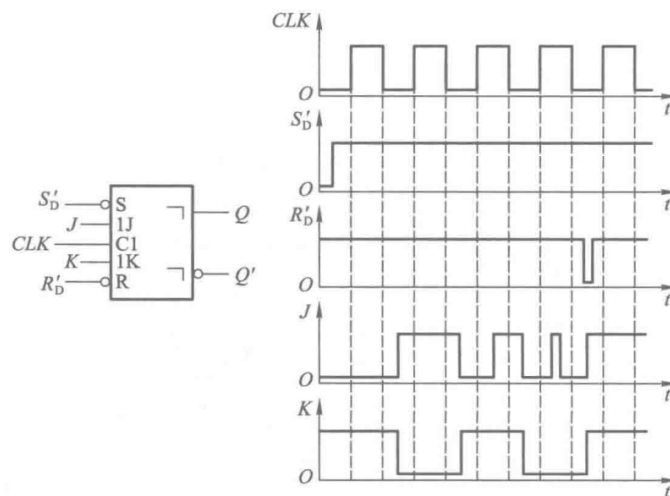
绘制波形图的题目中，常见易错点有哪些？

3. JK 触发器。存在“一次翻转”问题。

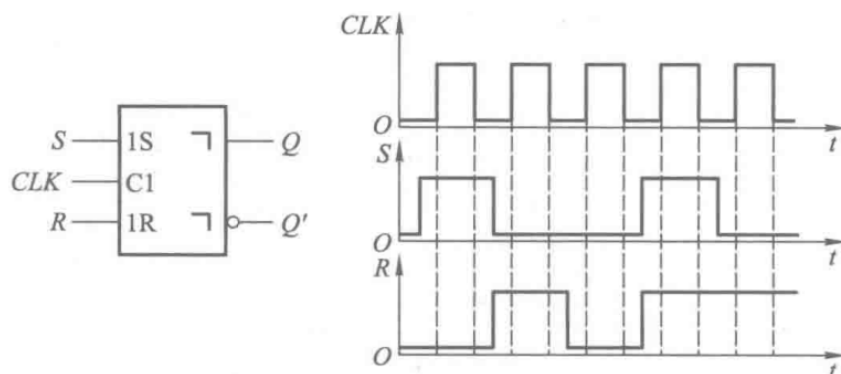
若脉冲触发 JK 触发器  $CLK$ 、 $R'_D$ 、 $S'_D$   $J$ 、 $K$  端的电压波形如图所示，试画出  $Q$ 、 $Q'$  端对应的电压波形。



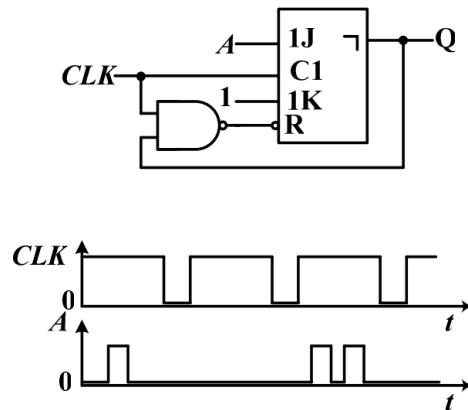
4. 触发器按触发方式可分为\_\_\_\_\_触发器、\_\_\_\_\_触发器和\_\_\_\_\_触发器；其中\_\_\_\_\_触发器抗干扰能力最强。
5. 256K×16 位的 RAM 芯片，其地址线是\_\_\_\_\_条，数据线是\_\_\_\_\_条。
6. 若脉冲触发 JK 触发器  $CLK$ 、 $R'_D$ 、 $S'_D$ 、 $J$ 、 $K$  端的电压波形如图所示，试画出  $Q$ 、 $Q'$  端对应的电压波形。



7. 若脉冲触发 SR 触发器各输入端的电压波形如图中所给出，试画出  $Q$ 、 $Q'$  端对应的电压波形。设触发器的初始状态为  $Q = 0$ 。



8. 如图所示的主从 JK 触发器电路中, 已知  $CLK$  和  $A$  的电压波形如图所示, 试画出  $Q$  端对应的电压波形。设触发器的初始状态为  $Q=0$ 。



9. 电路如图所示。试对应时钟信号  $CLK$  和输入  $A$  的波形, 画出  $Q_1$ 、 $Q_2$  和输出  $Y$  的波形, 设触发器的初始状态均为 0。

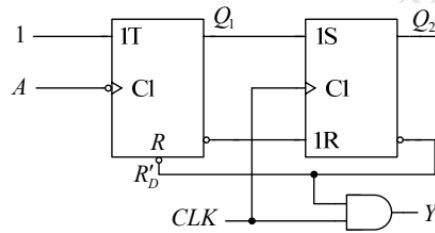
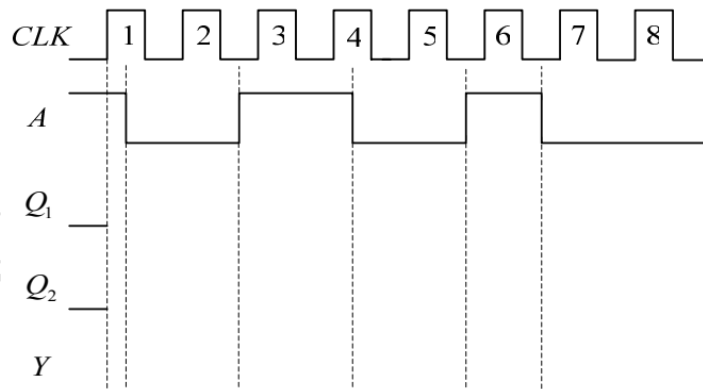
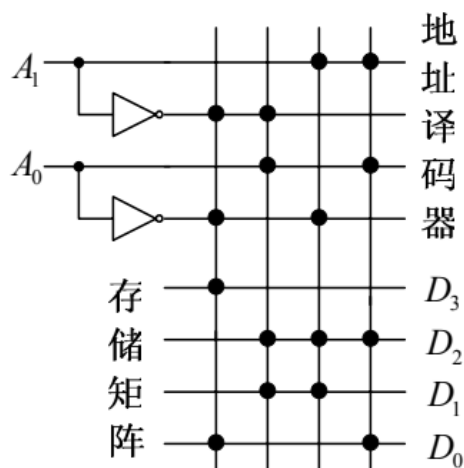


图 1-1 (a)



10. 如图是某 PROM 电路编程后的点阵图。

- (1) 列出数据表;
- (2) 若把地址  $A_1, A_0$  看作输入, 数据  $D_3, D_2, D_1, D_0$  作为输出, 分别写出  $D_3, D_2, D_1, D_0$  的表达式。



11. 电路如图所示。试对应时钟信号  $CLK_1$  和  $CLK_2$  的波形，画出输出  $Q_0$ 、 $Q_1$ 、 $Q_2$  和  $Y$  的波形，设触发器的初始状态均为 0。

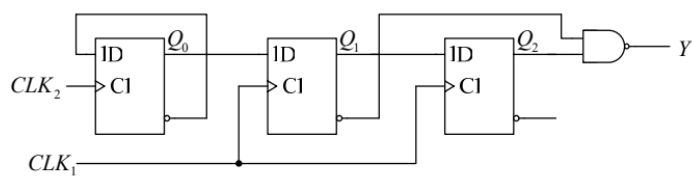
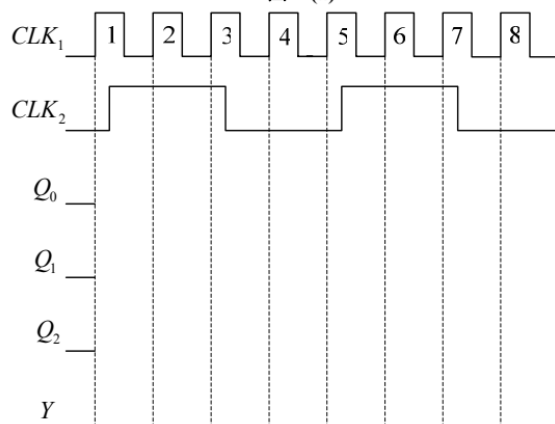
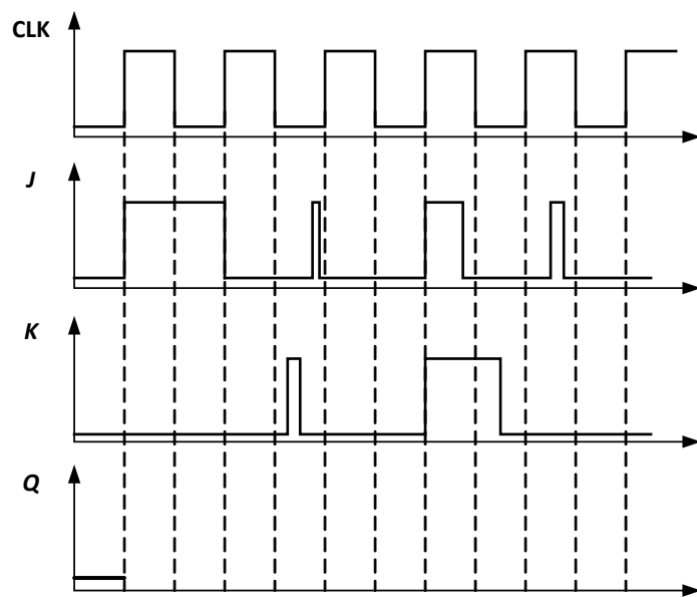


图 1 (a)



12. 主从电路结构、正脉冲触发的  $JK$  触发器的  $J$ 、 $K$  端输入波形如下图所示，试画出  $Q$  端对应的波形，设  $Q$  的初始状态为 0。



13. 电路如图所示。试对应时钟信号  $CLK$  和输入  $A$  的波形, 画出输出  $Q_1$  和  $Q_2$  的波形, 设触发器的初始状态均为 0。

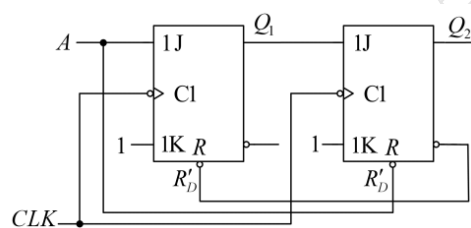


图 7 (a)

