

第六章 时序逻辑电路

本章目录

- 6.1 概述
- 6.2 时序逻辑电路的分析方法
- 6.3 若干常用的时序逻辑电路
- 6.4 时序逻辑电路的设计方法
- 6.5 用可编程逻辑器件实现同步时序逻辑电路
- 6.6 时序逻辑电路中的竞争—冒险现象

2022-9-9

第六章 时序逻辑电路

1

§ 6.1 概述

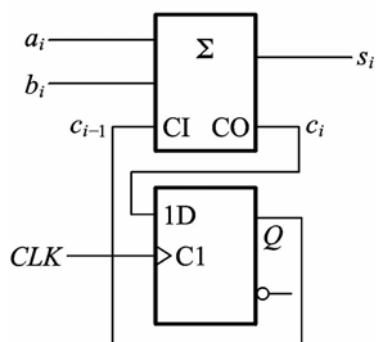


一、时序逻辑电路的特点

1 逻辑功能特点：任一时刻的输出不仅取决于该时刻的输入，还与电路原来的状态有关。

2 电路结构特点：

例：串行加法器，两个多位数从低位到高位逐位相加



(1) 通常包含组合电路和存储电路两个部分，存储电路是必不可少的。

(2) 存储电路的输出状态必须反馈到组合电路的输入端，与输入信号共同决定组合逻辑电路的输出。

2022-9-9

第六章 时序逻辑电路

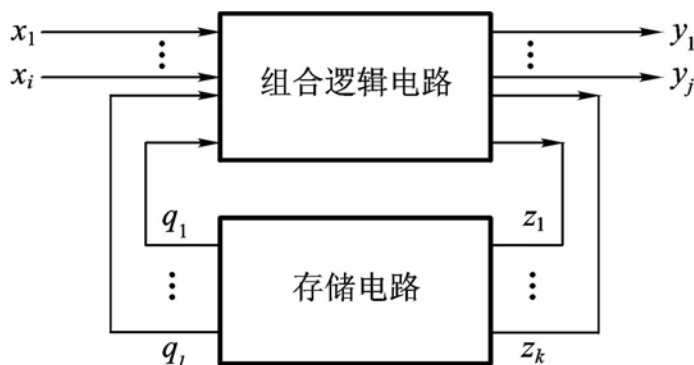
2

§ 6.1 概述



二、时序逻辑电路的一般结构与功能描述方法

1 时序逻辑电路的结构框图



输入变量: $X(x_1, x_2, \dots, x_i)$; 输出变量: $Y(y_1, y_2, \dots, y_j)$;

存储电路的输入信号: $Z(z_1, z_2, \dots, z_k)$;

存储电路的输出信号: $Q(q_1, q_2, \dots, q_l)$

2022-9-9

第六章 时序逻辑电路

3

§ 6.1 概述



2 时序逻辑电路的功能描述（可用三个方程组来描述）

$$\begin{cases} y_1 = f_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ y_j = f_j(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases} \Rightarrow \text{输出方程 } Y = F[X, Q]$$

$$\begin{cases} z_1 = g_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ z_k = g_k(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases} \Rightarrow \text{驱动方程 } Z = G[X, Q]$$

$$\begin{cases} q_1^* = h_1(z_1, z_2, \dots, z_i, q_1, q_2, \dots, q_l) \\ \vdots \\ q_l^* = h_l(z_1, z_2, \dots, z_i, q_1, q_2, \dots, q_l) \end{cases} \Rightarrow \text{状态方程 } Q^* = H[Z, Q]$$

2022-9-9

第六章 时序逻辑电路

4



三、时序逻辑电路的分类

1 根据存储电路的动作特点分类：

同步时序电路：所有触发器状态的变化都是在同一时钟信号控制下同时发生的。

异步时序电路：触发器状态的变化不是同时发生的。

2 根据输出信号特点分类：

米利(Mealy)型电路：输出信号不仅取决于存储电路的状态，还取决于输入变量。

穆尔(Moore)型电路：输出信号仅取决于存储电路的状态。

注：时序电路工作时是在电路的有限个状态间按一定规律转换的，所以又将时序电路称为**状态机**。

§ 6.2 时序逻辑电路的分析方法



6.2.1 同步时序逻辑电路的分析方法

分析：找出给定时序电路的逻辑功能。

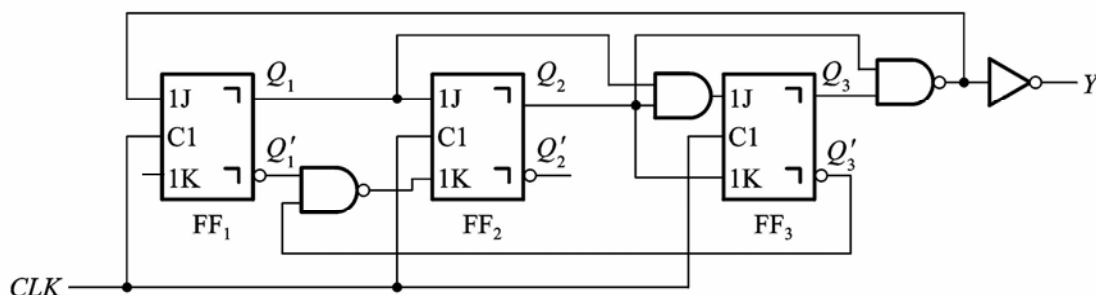
分析同步时序逻辑电路的一般步骤：

- (1) 从给定的逻辑图中写出每个触发器的**驱动方程**；
- (2) 将驱动方程代入相应触发器的特性方程，得到**状态方程**；
- (3) 根据逻辑图写出电路的**输出方程**。

§ 6.2 时序逻辑电路的分析方法



例6.2.1 分析图示时序逻辑电路的逻辑功能，写出它的驱动方程、状态方程和输出方程。 FF_1 、 FF_2 和 FF_3 是三个主从结构的TTL触发器，下降沿动作，输入端悬空时和逻辑1等效。

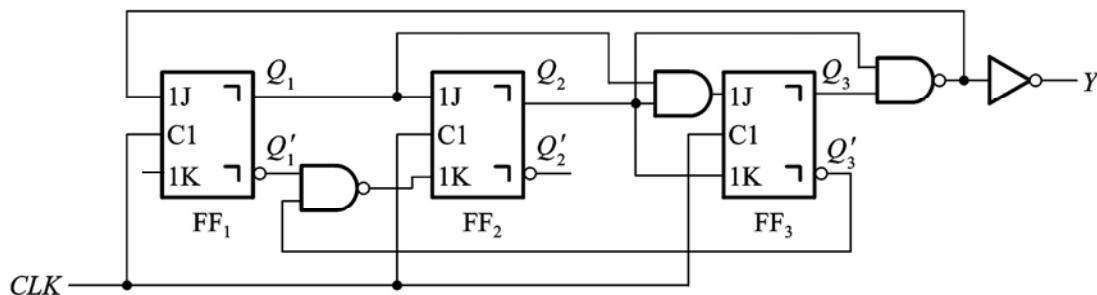


2022-9-9

第六章 时序逻辑电路

7

§ 6.2 时序逻辑电路的分析方法



1. 写出驱动方程:

$$\begin{cases} J_1 = (Q_2 Q_3)', & K_1 = 1 \\ J_2 = Q_1, & K_2 = (Q_1' Q_3)' \\ J_3 = Q_1 Q_2, & K_3 = Q_2 \end{cases}$$

2. 代入JK触发器的特性方程

$Q^* = JQ' + K'Q$, 得状态方程:

$$\begin{cases} Q_1^* = (Q_2 Q_3)' \cdot Q_1' \\ Q_2^* = Q_1 Q_2' + Q_1' Q_3' Q_2 \\ Q_3^* = Q_1 Q_2 Q_3' + Q_2' Q_3 \end{cases}$$

3. 写出输出方程: $Y = Q_2 Q_3$

2022-9-9

第六章 时序逻辑电路

8



§ 6.2 时序逻辑电路的分析方法

6.2.2 时序逻辑电路的状态转换表、状态转换图、状态机流程图和时序图

1 状态转换表

反映时序逻辑电路的输出、次态和输入、现态间对应取值关系的表格称为状态转换表。

逻辑方程组转换为状态转换表的步骤：

- (1) 将任何一组输入及电路初态代入状态方程和输出方程，算出电路的次态和现态下的输出；
- (2) 以次态作为新的初态，和这时的输入再代入状态方程和输出方程，又得到新的次态和输出；
- (3) 继续上述过程，直至状态出现循环；
- (4) 将全部计算结果列成真值表。

2022-9-9

第六章 时序逻辑电路

9



§ 6.2 时序逻辑电路的分析方法

例6.2.2 试列出例6.2.1电路的状态转换表。

$$\text{状态方程: } \begin{cases} Q_1^* = (Q_2 Q_3)' \cdot Q_1' \\ Q_2^* = Q_1 Q_2' + Q_1' Q_3' Q_2 \\ Q_3^* = Q_1 Q_2 Q_3' + Q_2' Q_3 \end{cases}$$

$$\text{输出方程: } Y = Q_2 Q_3$$

状态转换表

Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Q_1^*	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

状态转换表的另一种形式

CLK	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0

2022-9-9

第六章 时序逻辑电路

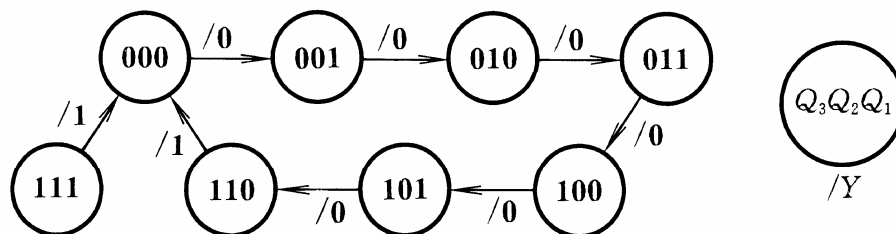
10

§ 6.2 时序逻辑电路的分析方法

二、状态转换图

反映时序逻辑电路状态转换关系及相应输入、输出取值的几何图形称为状态转换图。

例6.2.1的状态转换图。



- 每个圆圈表示电路的一个状态；
- 箭头表示状态转换的方向；
- 箭头旁注明状态转换前的输入变量取值和输出值。

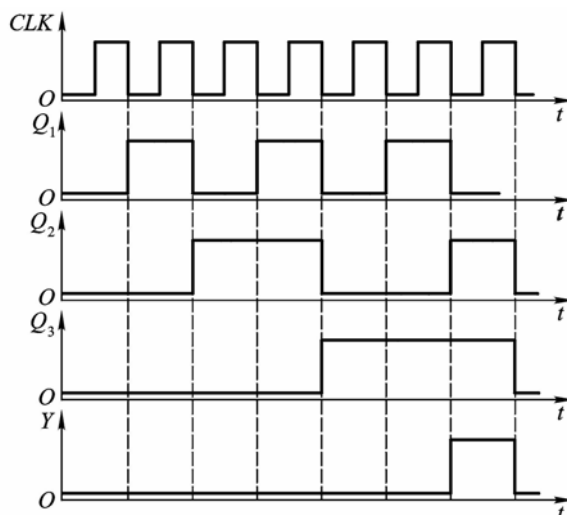
三、状态机流程图

§ 6.2 时序逻辑电路的分析方法

四、时序图

在输入信号和时钟脉冲序列作用下，电路状态、输出状态随时间变化的波形图称为时序图。

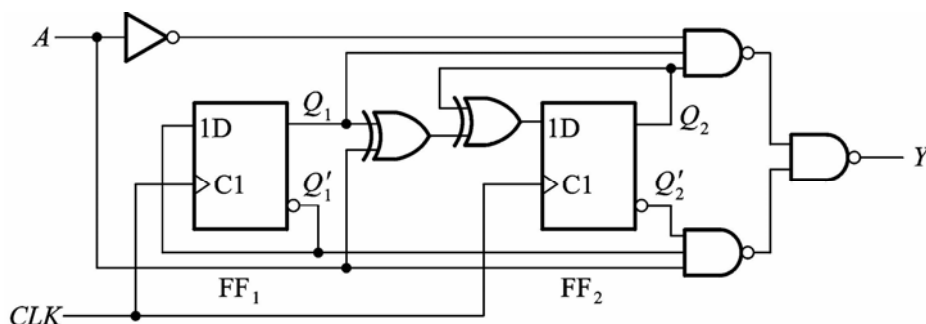
例6.2.1的时序图。



§ 6.2 时序逻辑电路的分析方法



例6.2.3 分析图示时序逻辑电路的逻辑功能，写出它的驱动方程、状态方程和输出方程。画出电路的状态转换图和时序图。



解：

(1) 驱动方程: $\begin{cases} D_1 = Q_1' \\ D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$ (2) 状态方程: $\begin{cases} Q_1^* = D_1 = Q_1' \\ Q_2^* = D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$

(3) 输出方程: $Y = ((A'Q_1Q_2)' \cdot (AQ_1'Q_2'))' = A'Q_1Q_2 + AQ_1'Q_2'$

2022-9-9

第六章 时序逻辑电路

13

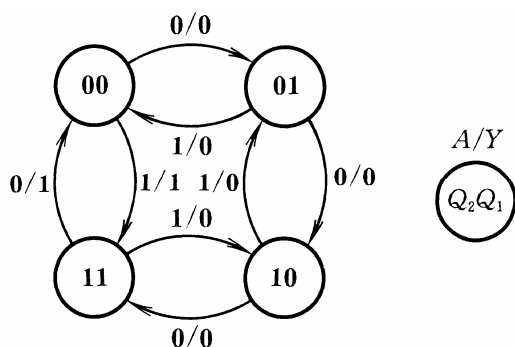
§ 6.2 时序逻辑电路的分析方法



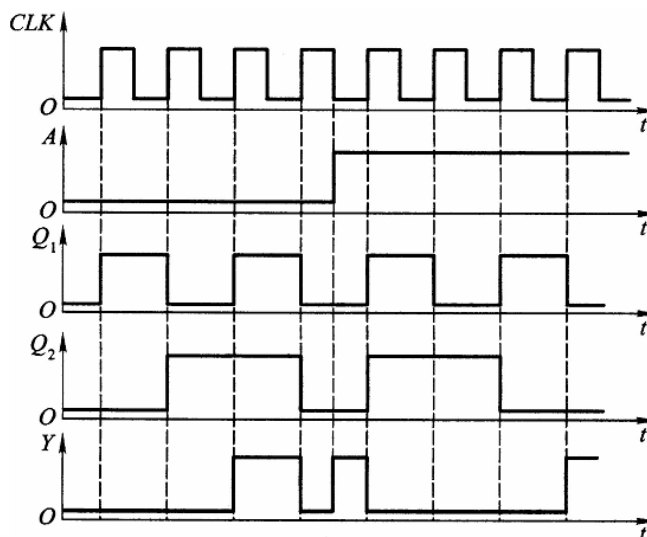
(4) 状态转换表

$Q_2^*Q_1^*/Y$	Q_2Q_1	00	01	10	11
A					
0		01/0	10/0	11/0	00/1
1		11/1	00/0	01/0	10/0

(5) 状态转换图



(6) 时序图



2022-9-9

第六章 时序逻辑电路

14

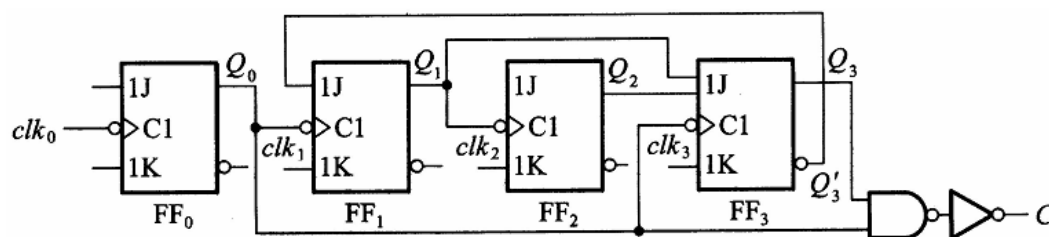
§ 6.2 时序逻辑电路的分析方法



*6.2.3 异步时序逻辑电路的分析方法

● 电路中的触发器没有统一的时钟信号，触发器状态的变化不是同时发生的。

例6.2.4 已知异步时序电路的逻辑图如图所示，试分析它的逻辑功能，列出电路的状态转换表，画出状态转换图。触发器和门电路均为TTL电路。

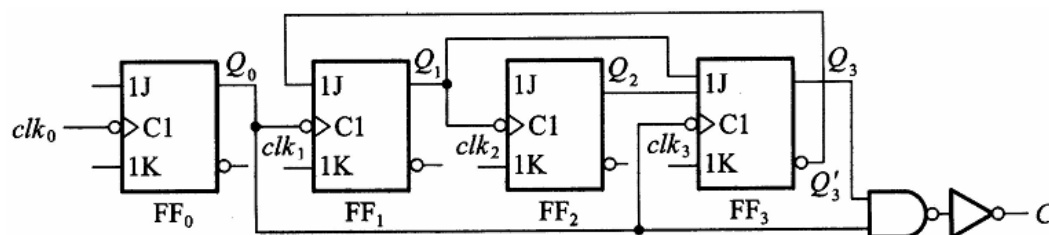


2022-9-9

第六章 时序逻辑电路

15

§ 6.2 时序逻辑电路的分析方法



解： 驱动方程：

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3', K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_1 Q_2, K_3 = 1 \end{cases}$$

状态方程：

$$\begin{cases} Q_0^* = Q_0' \cdot clk_0 \\ Q_1^* = Q_3' Q_1' \cdot clk_1 \\ Q_2^* = Q_2' \cdot clk_2 \\ Q_3^* = Q_1 Q_2 Q_3' \cdot clk_3 \end{cases}$$

输出方程： $C = Q_0 Q_3$

2022-9-9

第六章 时序逻辑电路

16

§ 6.2 时序逻辑电路的分析方法



状态转换表

状态方程:

$$\begin{cases} Q_0^* = Q_0' \cdot clk_0 \\ Q_1^* = Q_3' Q_1' \cdot clk_1 \\ Q_2^* = Q_2' \cdot clk_2 \\ Q_3^* = Q_1 Q_2 Q_3' \cdot clk_3 \end{cases}$$

输出方程:

$$C = Q_0 Q_3$$

clk_0 的 顺序	触发器状态				时钟信号				输出 C
	Q_3	Q_2	Q_1	Q_0	clk_3	clk_2	clk_1	clk_0	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

2022-9-9

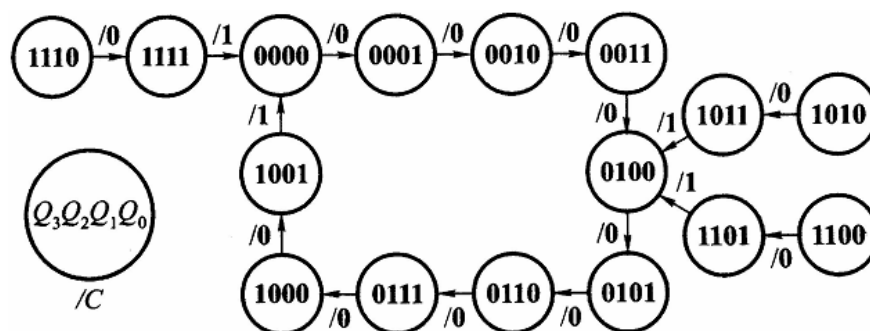
第六章 时序逻辑电路

17

§ 6.2 时序逻辑电路的分析方法



状态转换图



逻辑功能: 异步十进制加法计数器电路

2022-9-9

第六章 时序逻辑电路

18

§ 6.3 若干常用的时序逻辑电路

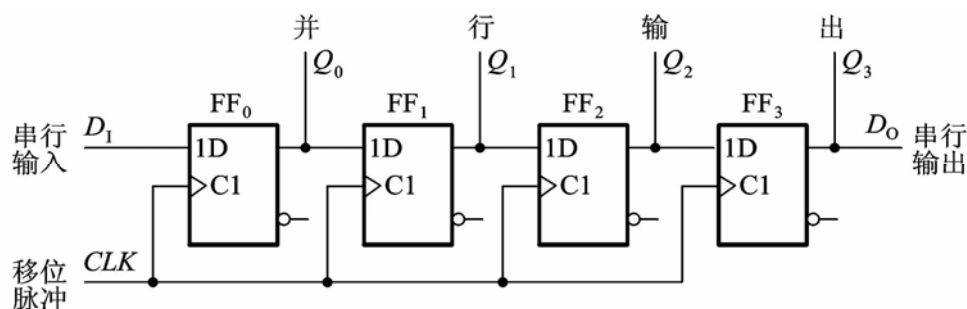
6.3.1 移位寄存器

移位寄存器：具有储存代码和移位的功能。

移位：指寄存器里存储的代码能在移位脉冲的作用下依次左移或右移。

应用：寄存代码、数据的串-并转换、数值运算、数据处理等。

1 用D触发器构成的移位寄存器

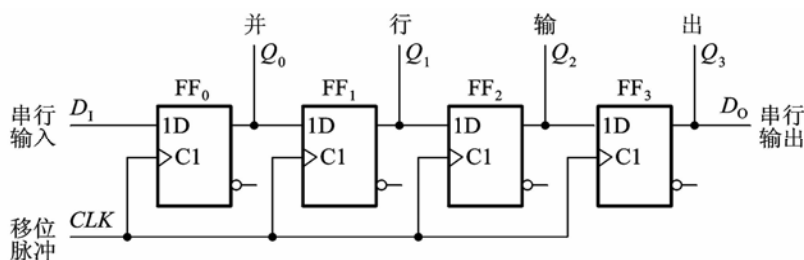


2022-9-9

第六章 时序逻辑电路

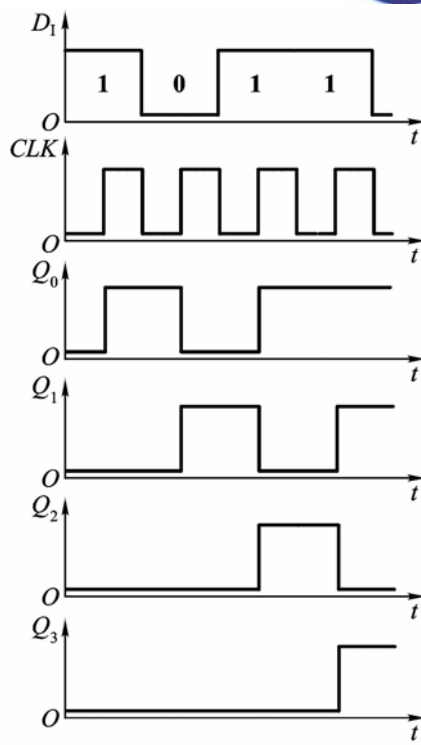
19

§ 6.3 若干常用的时序逻辑电路



移位寄存器中代码的移动情况

CLK的顺序	输入 D_1	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	1



2022-9-9

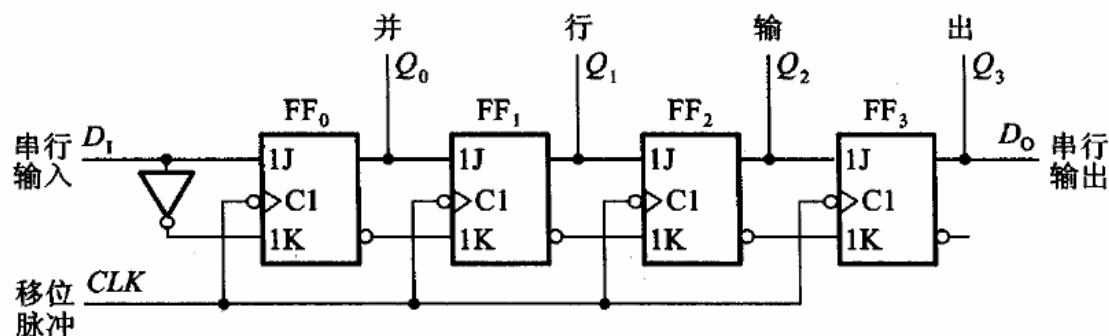
第六章 时序逻辑电路

20

§ 6.3 若干常用的时序逻辑电路



2 用JK触发器构成的移位寄存器



2022-9-9

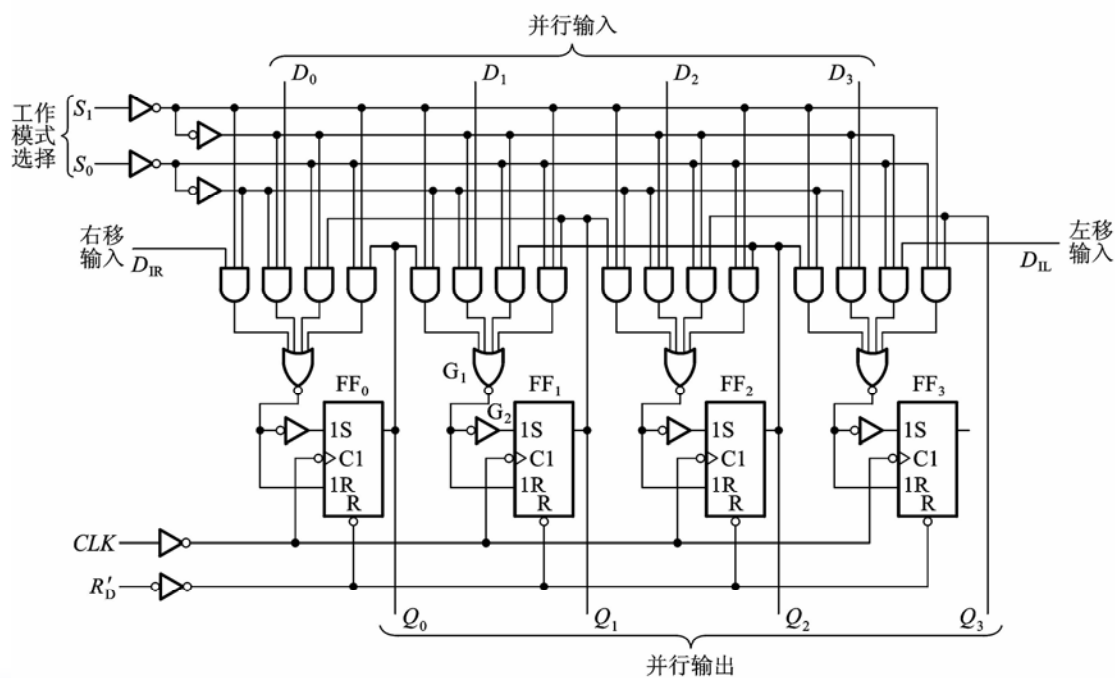
第六章 时序逻辑电路

21

§ 6.3 若干常用的时序逻辑电路



3 双向移位寄存器74HC194A的逻辑图

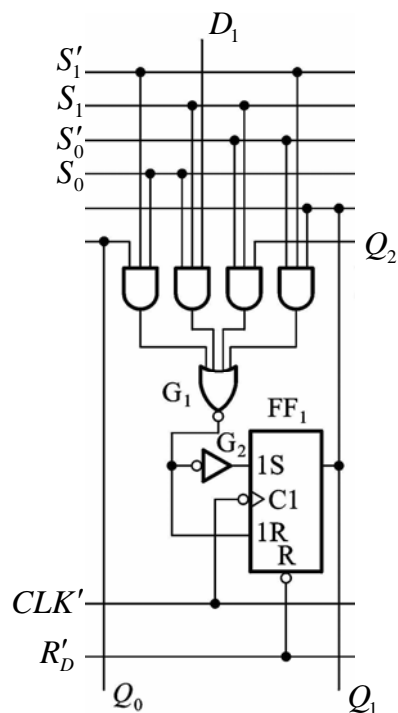


2022-9-9

第六章 时序逻辑电路

22

§ 6.3 若干常用的时序逻辑电路

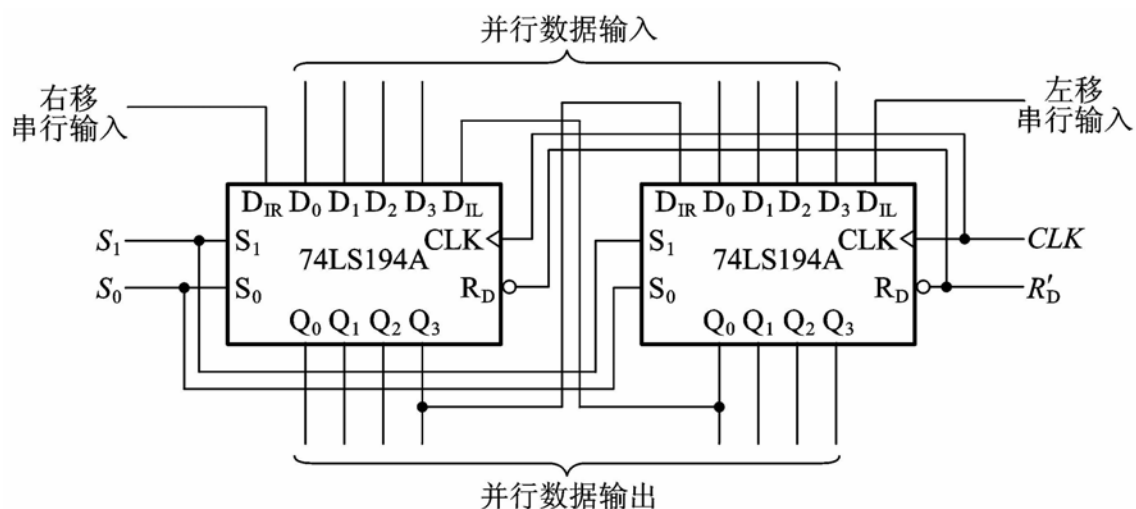


双向移位寄存器 74HC194A的功能表

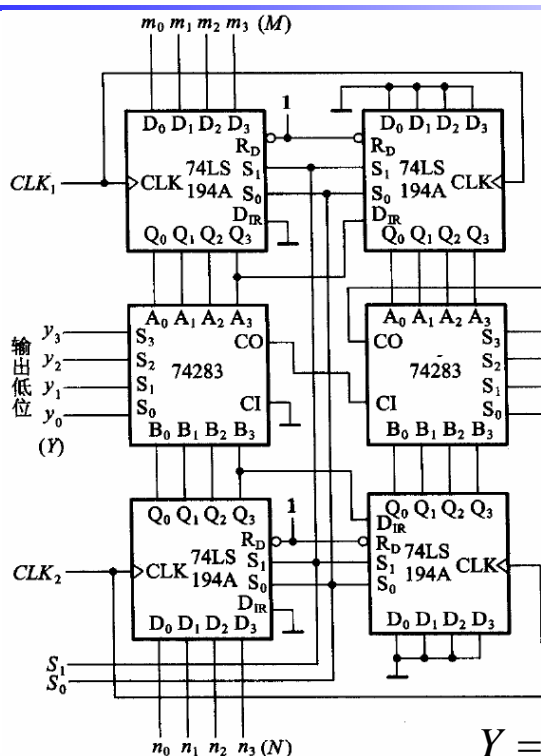
R'_D	S_1	S_0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

§ 6.3 若干常用的时序逻辑电路

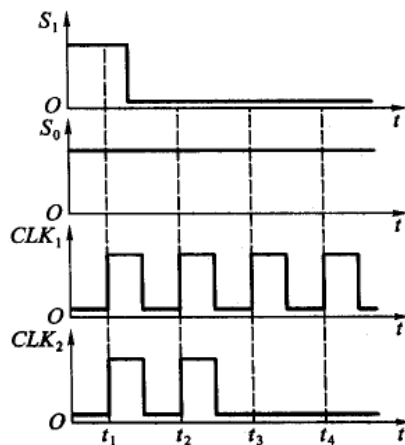
◆用两片74LS194A接成8位双向移位寄存器



§ 6.3 若干常用的时序逻辑电路



例：试分析图示电路的逻辑功能，并指出在图示时钟信号及 S_1 、 S_0 状态作用下， t_4 时刻以后输出 Y 与两组并行输入的二进制数 M 、 N 在数值上的关系。假定 M 、 N 的状态始终未变。



$$Y = M \times 8 + N \times 2$$

§ 6.3 若干常用的时序逻辑电路

6.3.2 计数器

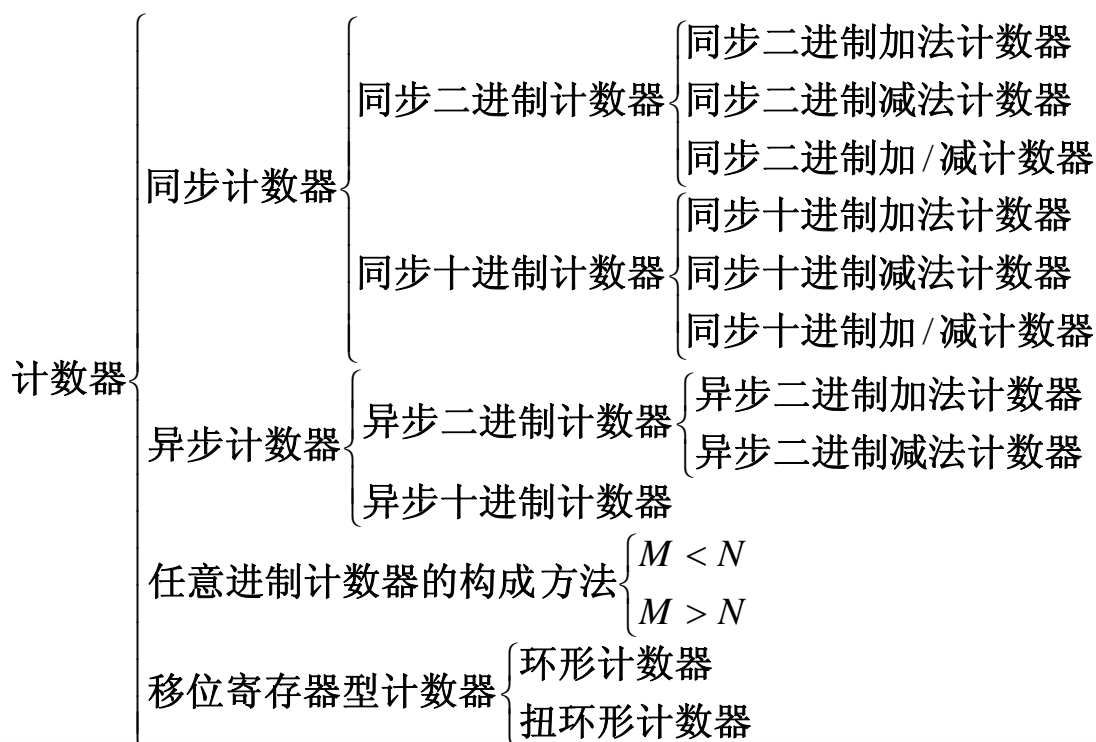
计数器：对时钟脉冲进行计数的逻辑电路。

应用：计数、分频、定时、产生节拍脉冲和脉冲序列、数字运算等。

分类：

- 按触发器是否同时翻转：同步计数器、异步计数器
- 按计数过程中数字增减：加法计数器、减法计数器和可逆计数器
- 按计数器中的数字编码：二进制计数器、二-十进制计数器和格雷码计数器等
- 按计数容量分类：十进制计数器，六十进制计时器等

§ 6.3 若干常用的时序逻辑电路



2022-9-9

第六章 时序逻辑电路

27

§ 6.3 若干常用的时序逻辑电路



一、同步计数器

1 同步二进制计数器

(1) 同步二进制加法计数器

$$\begin{array}{r}
 1 \ 0 \ 1 \ 1 \ \boxed{0 \ 1 \ 1} \\
 + \qquad \qquad \qquad 1 \\
 \hline
 1 \ 0 \ 1 \ 1 \ \boxed{1 \ 0 \ 0}
 \end{array}$$

原理：根据二进制加法运算规则可知，在一个多位二进制数末位加1，若第*i*位以下皆为1时，则第*i*位应改变状态。而最低位的状态在每次加1时都要改变。

同步计数器通常用*T*触发器构成，结构形式有两种。控制输入端*T*和控制时钟信号。

①控制输入端*T*：

$$T_0 \equiv 1, \quad T_i = Q_{i-1} \cdot Q_{i-2} \cdots Q_1 \cdot Q_0 = \prod_{j=0}^{i-1} Q_j \quad (i = 1, 2, \cdots, n-1)$$

2022-9-9

第六章 时序逻辑电路

28

§ 6.3 若干常用的时序逻辑电路

• 用T触发器构成的同步二进制加法计数器

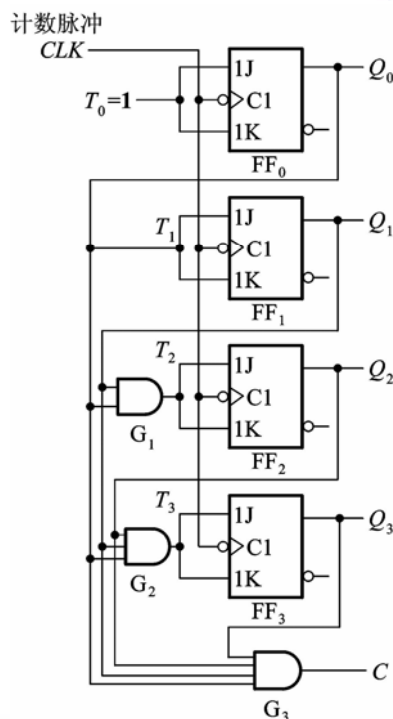
驱动方程：

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 \end{cases}$$

状态方程：

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_1' + Q_0' Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 \\ Q_3^* = Q_0 Q_1 Q_2 Q_3' + (Q_0 Q_1 Q_2)' Q_3 \end{cases}$$

输出方程： $C = Q_0 Q_1 Q_2 Q_3$



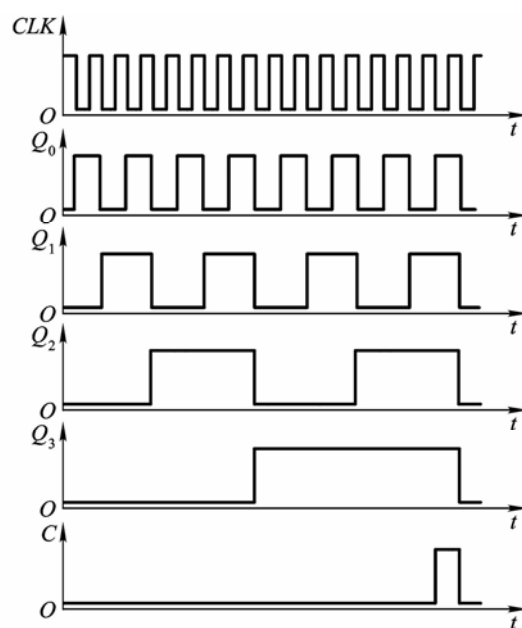
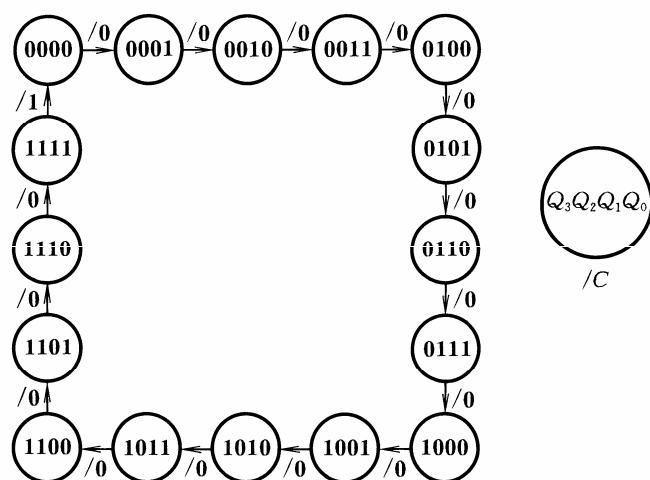
2022-9-9

第六章 时序逻辑电路

29

§ 6.3 若干常用的时序逻辑电路

电路状态转换图及时序图



2022-9-9

第六章 时序逻辑电路

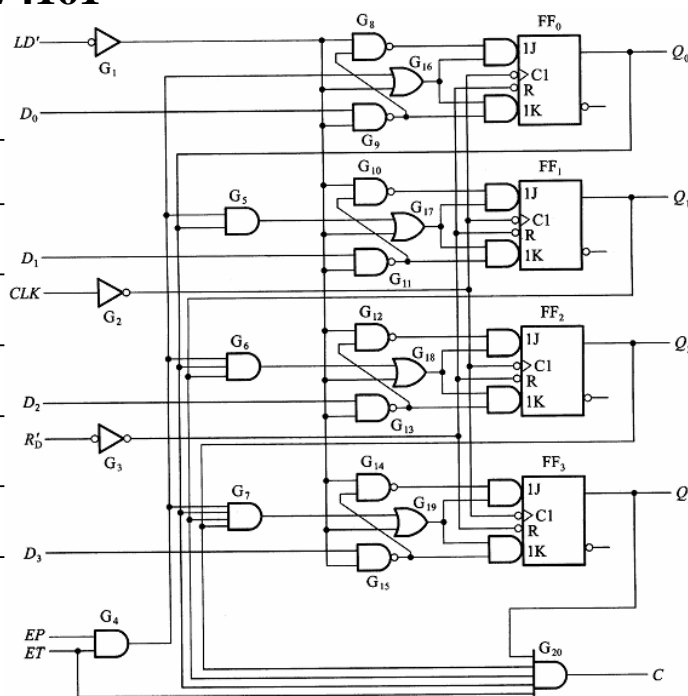
30

§ 6.3 若干常用的时序逻辑电路

•实例：4位同步二进制计数器74161

74161的功能表

CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置0
↑	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持($C=0$)
↑	1	1	1	1	计数



2022-9-9

第六章 时序逻辑电路

31

§ 6.3 若干常用的时序逻辑电路

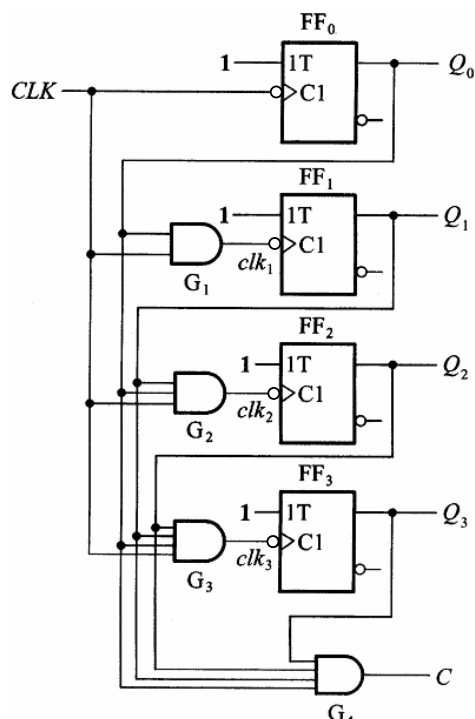
②4位同步二进制计数器的另一种结构形式——控制时钟信号

$$clk_i = CLK \cdot (Q_{i-1} \cdot Q_{i-2} \cdots Q_1 \cdot Q_0)$$

$$= CLK \prod_{j=0}^{i-1} Q_j \quad (i = 1, 2, \dots, n-1)$$

$$T_0 = T_1 = T_2 = T_3 = 1$$

$$\begin{cases} clk_0 = CLK \\ clk_1 = CLK \cdot Q_0 \\ clk_2 = CLK \cdot Q_1 \cdot Q_0 \\ clk_3 = CLK \cdot Q_2 \cdot Q_1 \cdot Q_0 \end{cases}$$



2022-9-9

第六章 时序逻辑电路

32



§ 6.3 若干常用的时序逻辑电路

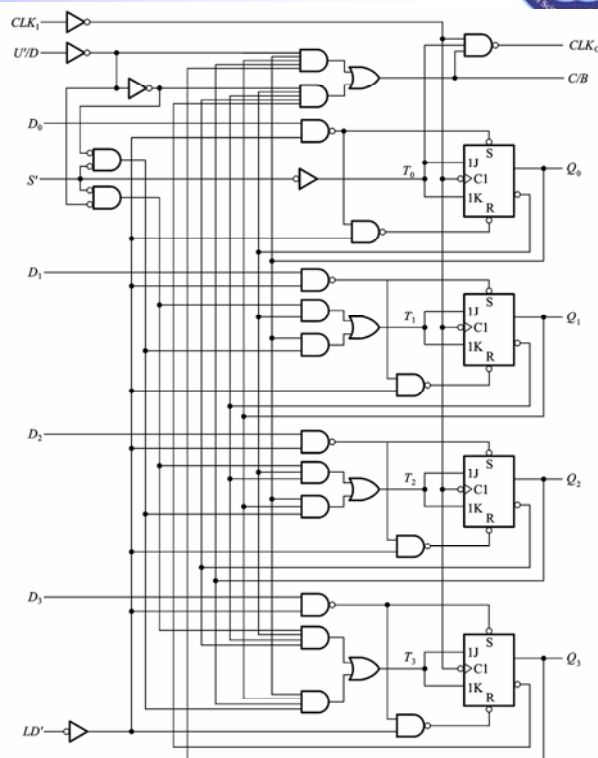
(3) 同步加/减计数器

①单时钟结构

由加/减控制线的高低电平
选择加/减

实例：74LS191功能表

CLK_1	S'	LD'	U'/D	工作状态
X	1	1	X	保持
X	X	0	X	预置数
↑	0	1	0	加法计数
↑	0	1	1	减法计数



2022-9-9

第六章 时序逻辑电路

35

§ 6.3 若干常用的时序逻辑电路

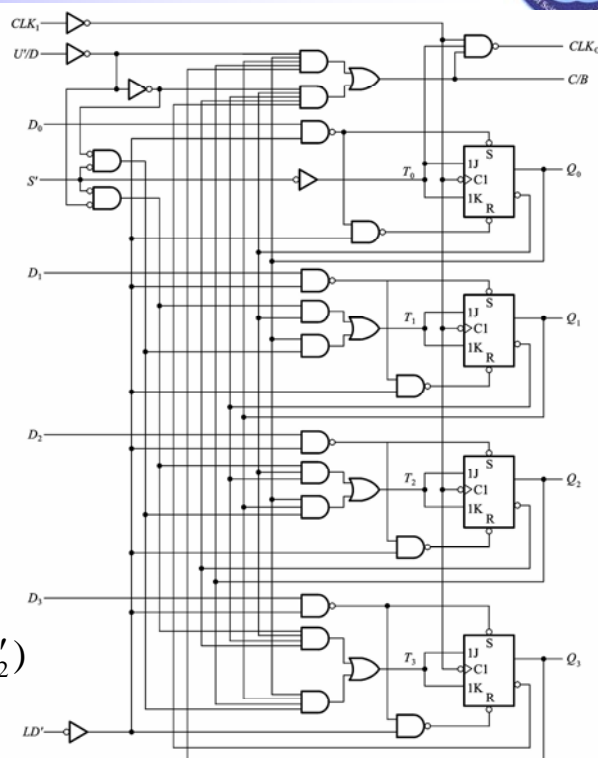
实例：74LS191功能表

CLK_1	S'	LD'	U'/D	工作状态
X	1	1	X	保持
X	X	0	X	预置数
↑	0	1	0	加法计数
↑	0	1	1	减法计数

计数状态：

$$\begin{cases} T_0 = 1 \\ T_1 = (U'/D)'Q_0 + (U'/D)Q_0' \\ T_2 = (U'/D)'(Q_0Q_1) + (U'/D)(Q_0'Q_1') \\ T_3 = (U'/D)'(Q_0Q_1Q_2) + (U'/D)(Q_0'Q_1'Q_2') \end{cases}$$

结构形式：控制输入端 T



2022-9-9

第六章 时序逻辑电路

36

§ 6.3 若干常用的时序逻辑电路



(3) 同步加/减计数器

② 双时钟结构

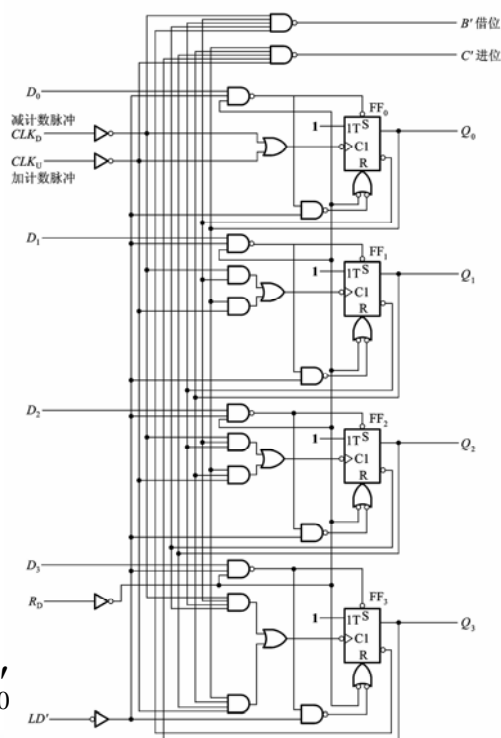
加/减法计数脉冲来自两个不同的时钟信号

结构形式：控制时钟信号

实例：74LS193

$$T = 1$$

$$\begin{cases} clk_0 = CLK'_U + CLK'_D \\ clk_1 = CLK'_U Q_0 + CLK'_D Q'_0 \\ clk_2 = CLK'_U Q_1 Q_0 + CLK'_D Q'_1 Q'_0 \\ clk_3 = CLK'_U Q_2 Q_1 Q_0 + CLK'_D Q'_2 Q'_1 Q'_0 \end{cases}$$



2022-9-9

第六章 时序逻辑电路

37

§ 6.3 若干常用的时序逻辑电路



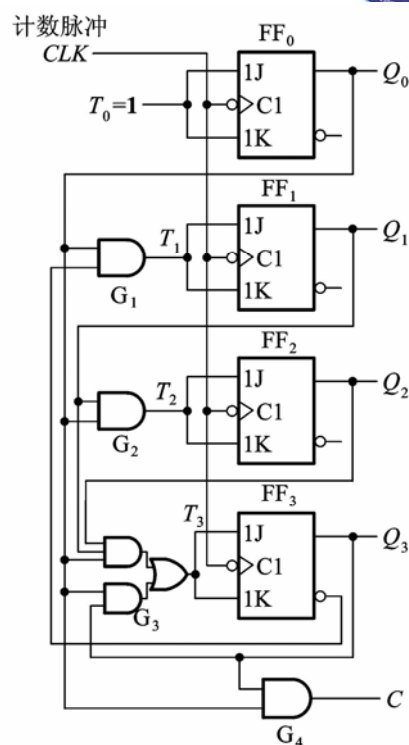
2 同步十进制计数器

(1) 加法计数器

基本原理：在四位二进制加法计数器基础上修改，当计到1001时，则下一个CLK电路状态回到0000。

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 \end{cases} \Rightarrow \begin{cases} T_0 = 1 \\ T_1 = Q_0 Q'_3 \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 + Q_0 Q_3 \end{cases}$$

$$C = Q_0 Q_3$$



2022-9-9

第六章 时序逻辑电路

38

§ 6.3 若干常用的时序逻辑电路

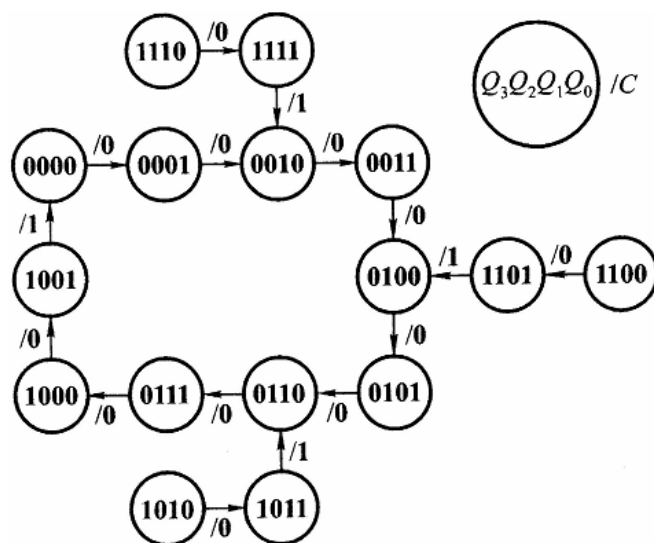
状态方程:

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_3' Q_1' + (Q_0 Q_3')' Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 \\ Q_3^* = (Q_0 Q_1 Q_2 + Q_0 Q_3) Q_3' \\ \quad + (Q_0 Q_1 Q_2 + Q_0 Q_3)' Q_3 \end{cases}$$

输出方程:

$$C = Q_0 Q_3$$

状态转换图



2022-9-9

第六章 时序逻辑电路

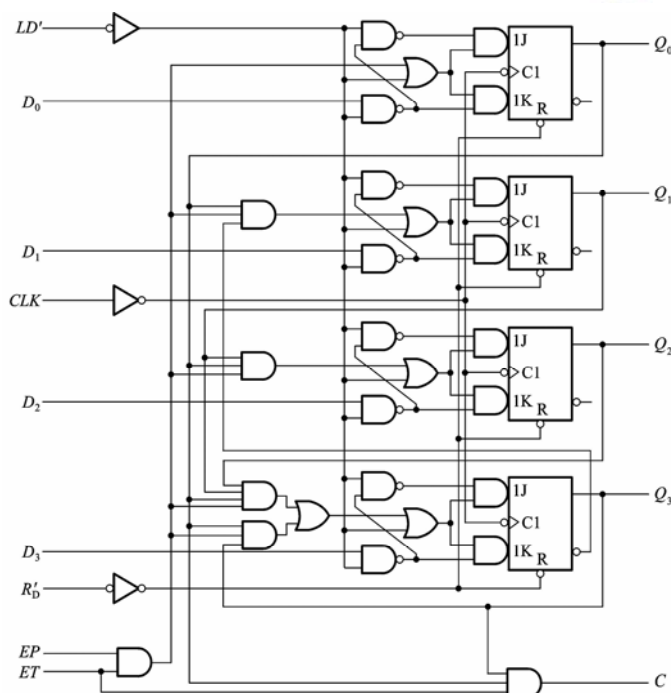
39

§ 6.3 若干常用的时序逻辑电路

实例：同步十进制加法
计数器74160

74160的功能表

CLK	R' _D	LD'	EP	ET	工作状态
X	0	X	X	X	置 0
↑	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持(C=0)
↑	1	1	1	1	计数



2022-9-9

第六章 时序逻辑电路

40

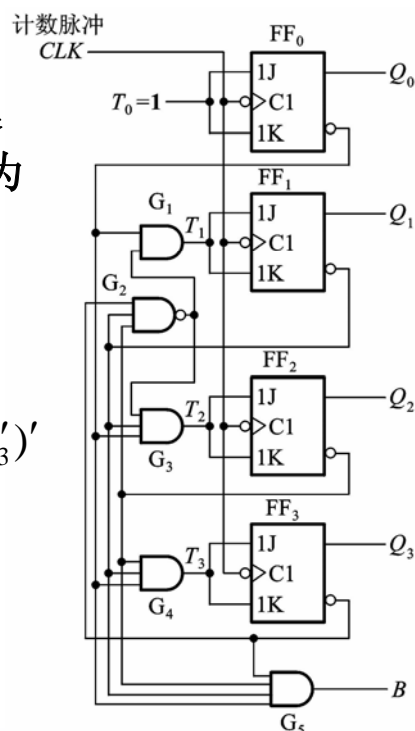
§ 6.3 若干常用的时序逻辑电路



(2) 减法计数器

基本原理：在四位二进制减法计数器基础上修改，当计到0000时减1后变为1001。

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0' \\ T_2 = Q_0' Q_1' \\ T_3 = Q_0' Q_1' Q_2' \end{cases} \Rightarrow \begin{cases} T_0 = 1 \\ T_1 = Q_0' \cdot (Q_1' Q_2' Q_3')' \\ T_2 = Q_0' Q_1' \cdot (Q_1' Q_2' Q_3')' \\ T_3 = Q_0' Q_1' Q_2' \\ B = Q_0' Q_1' Q_2' Q_3' \end{cases}$$



2022-9-9

第六章 时序逻辑电路

41

§ 6.3 若干常用的时序逻辑电路



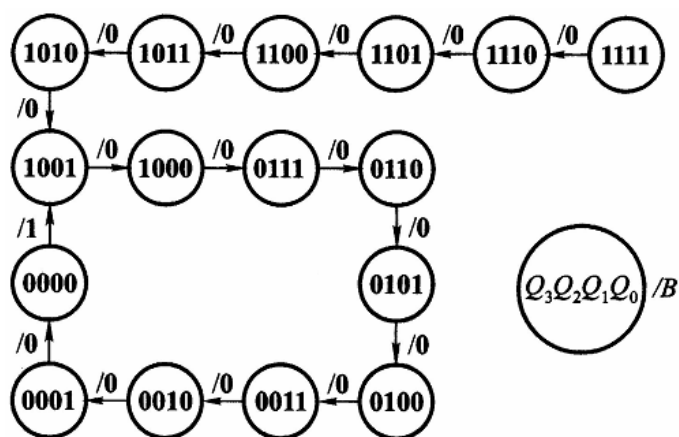
状态方程：

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0' Q_1' (Q_2 + Q_3) + Q_0 Q_1 \\ Q_2^* = Q_0' Q_1' Q_2' Q_3 + (Q_0 + Q_1) Q_2 \\ Q_3^* = Q_0' Q_1' Q_2' Q_3 + (Q_0' Q_1' Q_2')' Q_3 \end{cases}$$

输出方程：

$$B = Q_0' Q_1' Q_2' Q_3'$$

状态转换图



2022-9-9

第六章 时序逻辑电路

42

(3) 十进制可逆计数器

基本原理一致，电路只用到0000~1001十个状态。

实例：

◆单时钟：74LS190、74LS168、CC4510

◆双时钟：74LS192、CC40192

§ 6.3 若干常用的时序逻辑电路

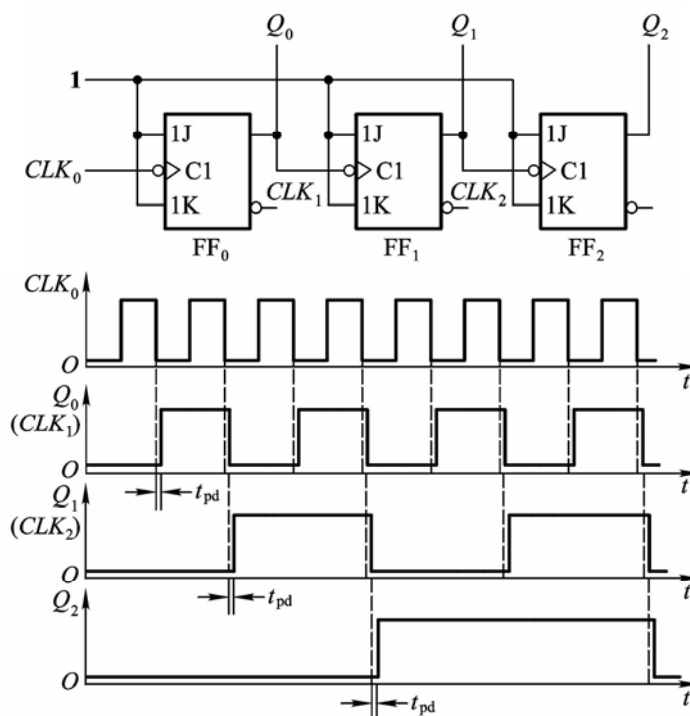
二、异步计数器

1 异步二进制计数器

(1) 异步二进制加法计数器

在末位+1时，采取从低位到高位逐位进位的方式工作，各触发器不是同时翻转的。

原理：每1位从“1”变“0”时，向高位发出进位信号，使高位翻转



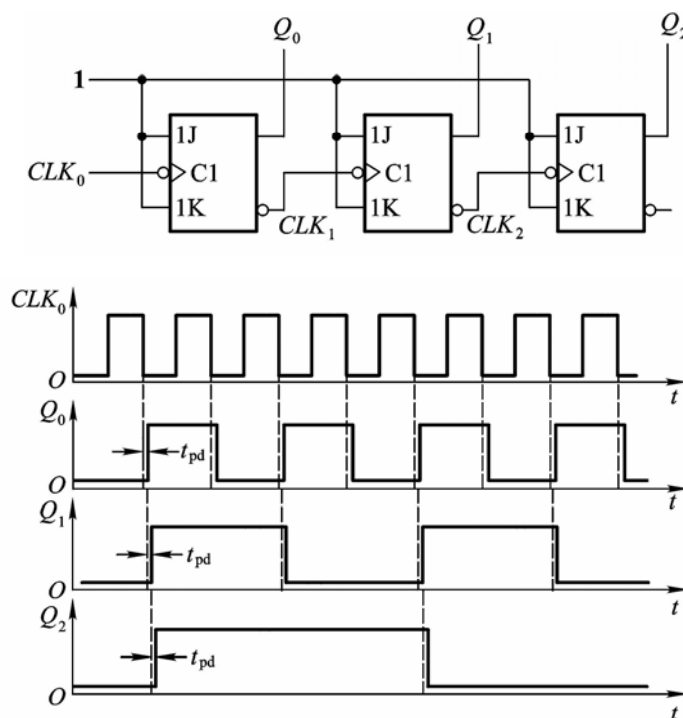
§ 6.3 若干常用的时序逻辑电路



(2) 异步二进制减法计数器

在末位-1时，采取从低位到高位逐位借位的方式工作，各触发器不是同时翻转的。

原理：每1位从“0”变“1”时，向高位发出借位信号，使高位翻转



2022-9-9

第六章 时序逻辑电路

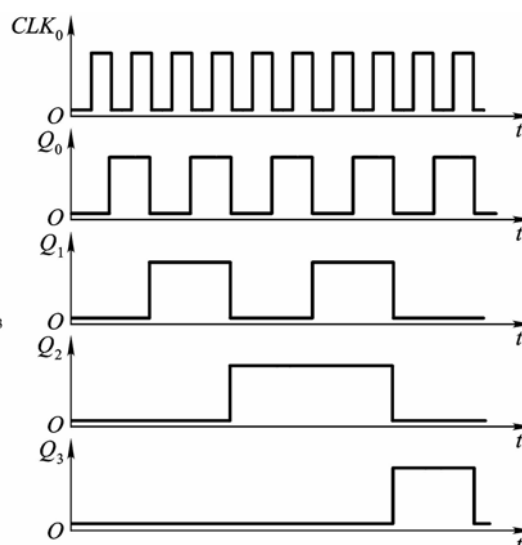
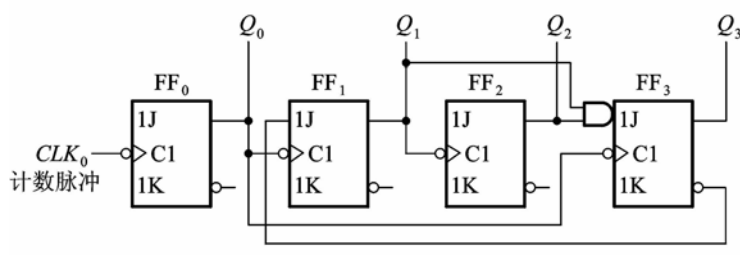
45

§ 6.3 若干常用的时序逻辑电路



2 异步十进制计数器

异步十进制加法计数器原理：
在4位异步二进制加法计数器上
修改而成，要跳过1010 ~ 1111
这6个状态



2022-9-9

第六章 时序逻辑电路

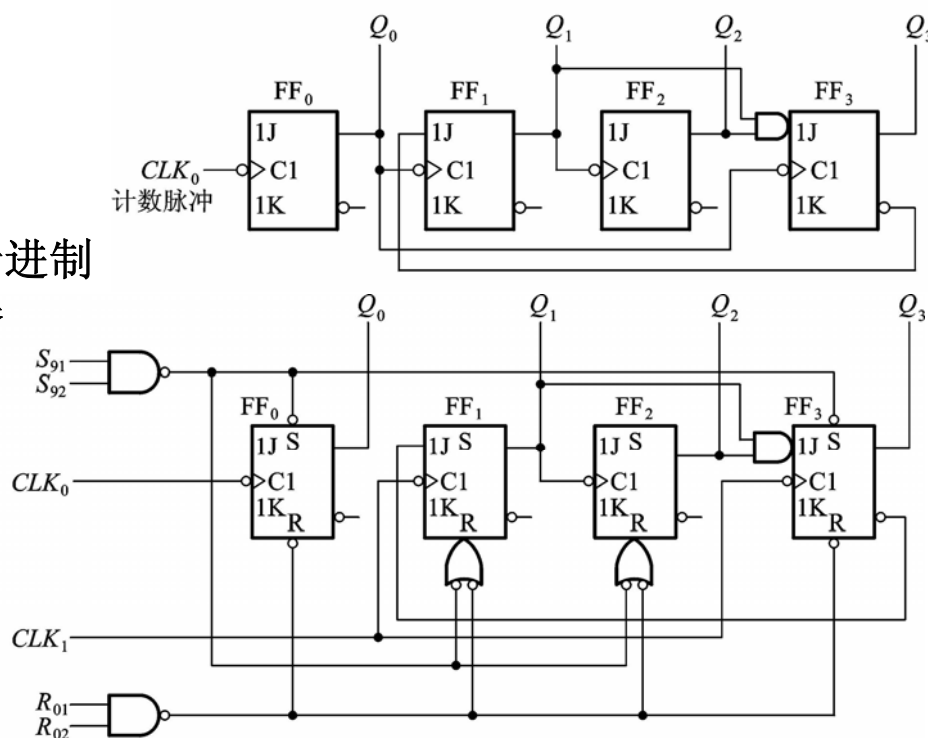
46

§ 6.3 若干常用的时序逻辑电路



实例：

二—五—十进制
异步计数器
74LS290



2022-9-9

第六章 时序逻辑电路

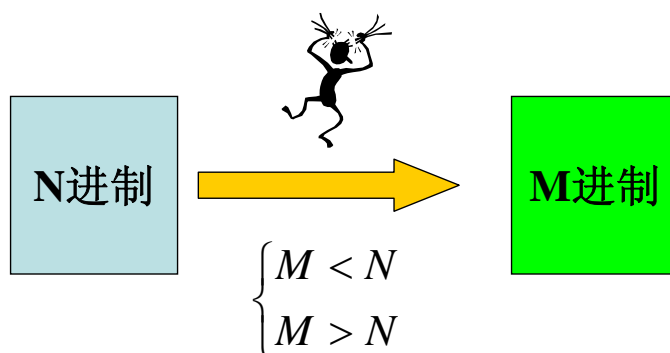
47

§ 6.3 若干常用的时序逻辑电路



三、任意进制计数器的构成方法

常用的方法：用已有的 N 进制计数器，构成 M 进制计数器。



$M < N$ ：只需一片 N 进制计数器；

$M > N$ ：必须用多片 N 进制计数器组合。

2022-9-9

第六章 时序逻辑电路

48

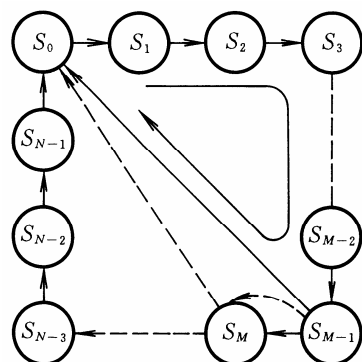
§ 6.3 若干常用的时序逻辑电路

1 $M < N$ 的情况

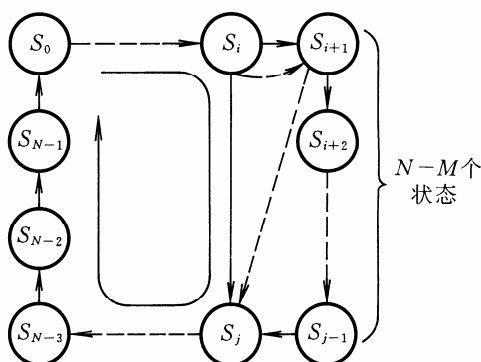
原理：计数循环过程中设法跳过 $N-M$ 个状态。

方法：◆置零法（复位法）：适用于有置零输入端的计数器；

◆置数法（置位法）：适用于有预置数功能的计数器。



异步置零法
同步置零法



异步预置数法
同步预置数法

2022-9-9

第六章 时序逻辑电路

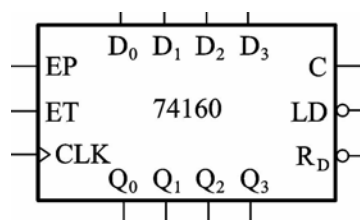
49

§ 6.3 若干常用的时序逻辑电路

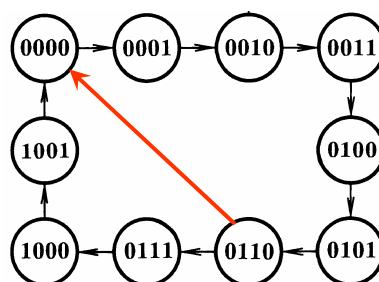
例6.3.2 将十进制计数器的74160接成六进制计数器。

74160的功能表与框图

CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置0
↑	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持($C=0$)
↑	1	1	1	1	计数



方法1：异步置零法



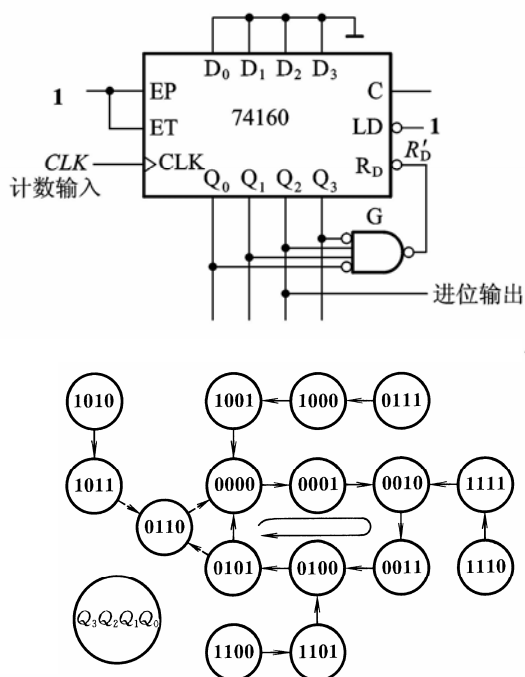
2022-9-9

第六章 时序逻辑电路

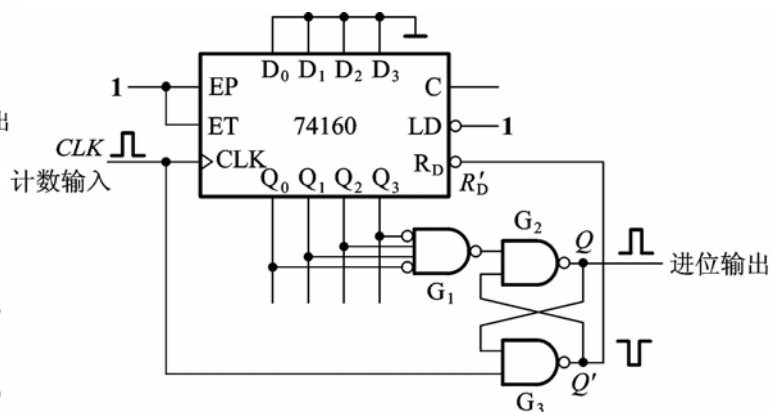
50

§ 6.3 若干常用的时序逻辑电路

用置零法将74160接成六进制计数器



电路的改进



2022-9-9

第六章 时序逻辑电路

51

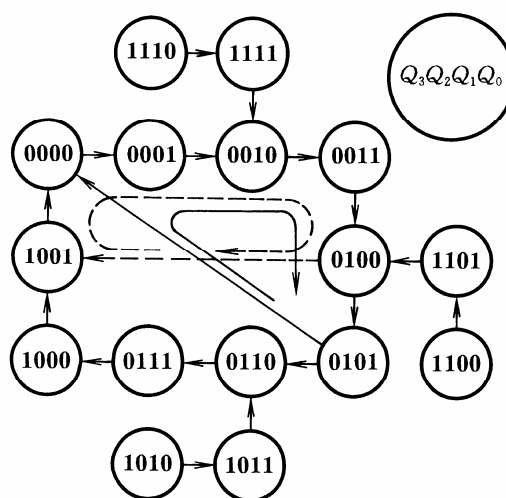
§ 6.3 若干常用的时序逻辑电路

例6.3.2 将十进制计数器的74160接成六进制计数器。

74160的功能表

CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置0
↑	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持($C=0$)
↑	1	1	1	1	计数

方法2：置数法



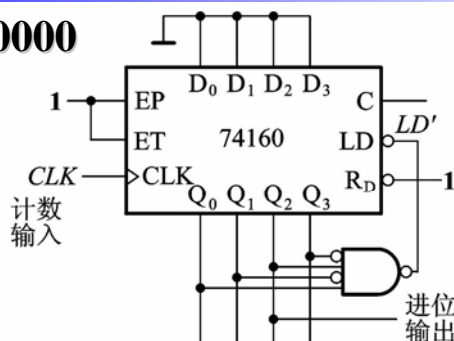
2022-9-9

第六章 时序逻辑电路

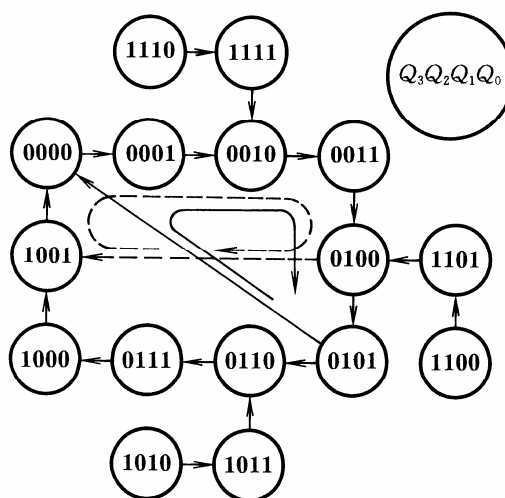
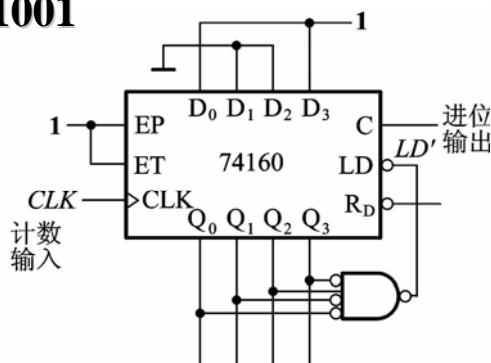
52

§ 6.3 若干常用的时序逻辑电路

(1) 置入0000



(2) 置入1001



§ 6.3 若干常用的时序逻辑电路

2 $M > N$ 的情况

必须用多片 N 进制计数器组合。各片间的连接方式：串行进位方式、并行进位方式、整体置零方式和整体置数方式。

(1) M 可分解为两个小于等于 N 的因数相乘，即 $M = N_1 \times N_2$

先用前面的方法分别接成 N_1 和 N_2 两个计数器。

N_1 和 N_2 间的连接有两种方式：

① 串行进位方式：低位片的进位输出信号作为高位片的 CLK ，两片始终处于计数工作状态；

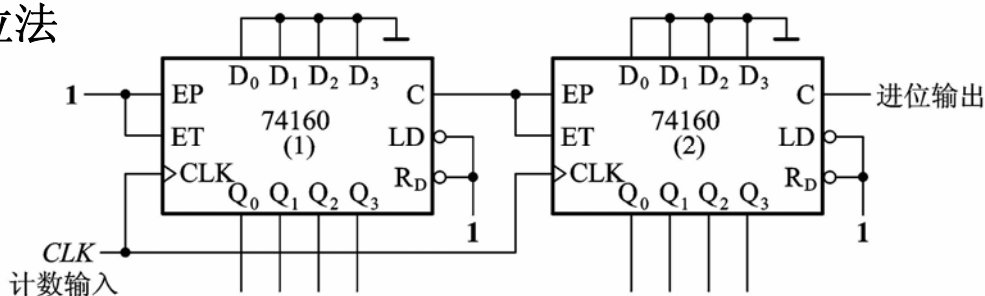
② 并行进位方式：低位片的进位输出信号作为高位片的工作状态控制信号，两片用同一个 CLK 。

§ 6.3 若干常用的时序逻辑电路

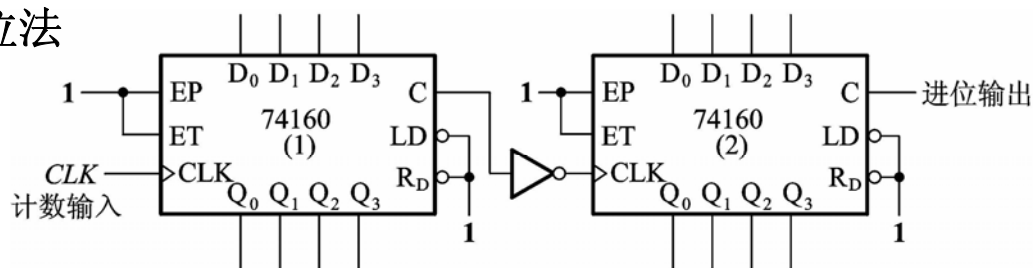


例6.3.3 试用两片同步十进制计数器74160接成百进制计数器。

并行进位法



串行进位法



2022-9-9

第六章 时序逻辑电路

55

§ 6.3 若干常用的时序逻辑电路



(2) M 不可分解

采取整体置零法和整体置数法。

原理：首先将两片 N 进制计数器接成 $N \times N > M$ 进制计数器，再将 $N \times N$ 进制计数器按置零法和置数法构成 M 进制计数器。

此方法适合任何 M 进制（可分解和不可分解）计数器的构成。

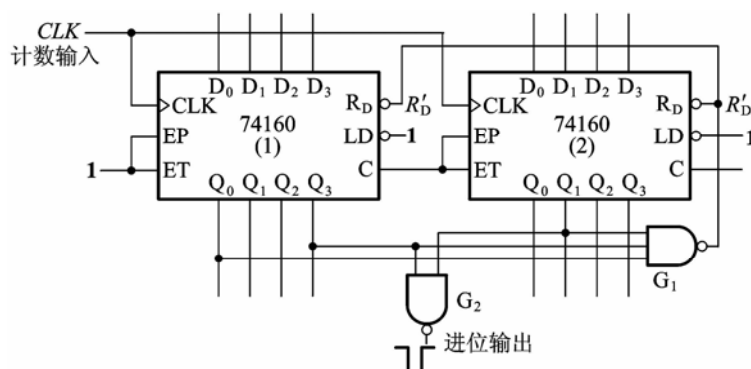
2022-9-9

第六章 时序逻辑电路

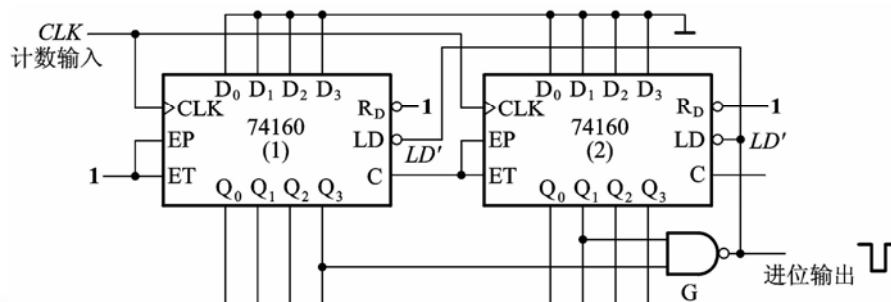
56

例6.3.4 试用两片同步十进制计数器74160接成二十九制计数器。

异步整体置零



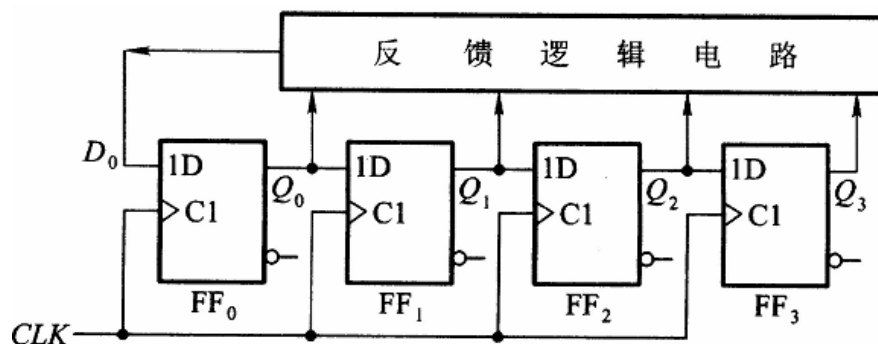
同步整体置数



§ 6.3 若干常用的时序逻辑电路

四、移位寄存器型计数器

移位寄存器型计数器的一般结构形式

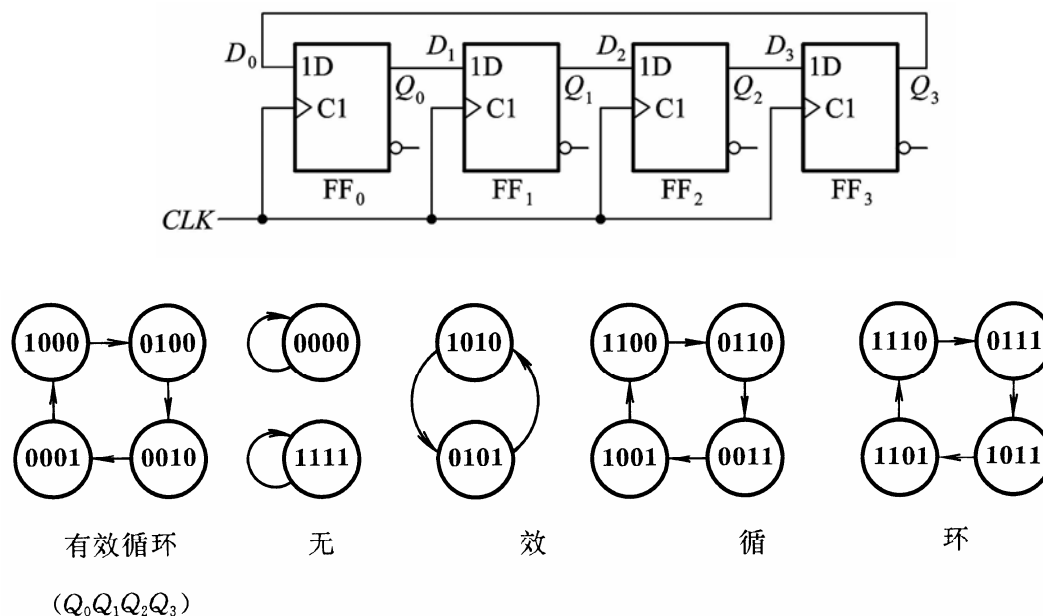


反馈电路的表达式: $D_0 = F(Q_0, Q_1, \dots, Q_{n-1})$

状态转移的规律:
$$\begin{cases} Q_i^* = Q_{i-1} & i = 1, 2, \dots, n-1 \\ Q_0^* = D_0 = F(Q_0, Q_1, \dots, Q_{n-1}) \end{cases}$$

§ 6.3 若干常用的时序逻辑电路

1 环形计数器



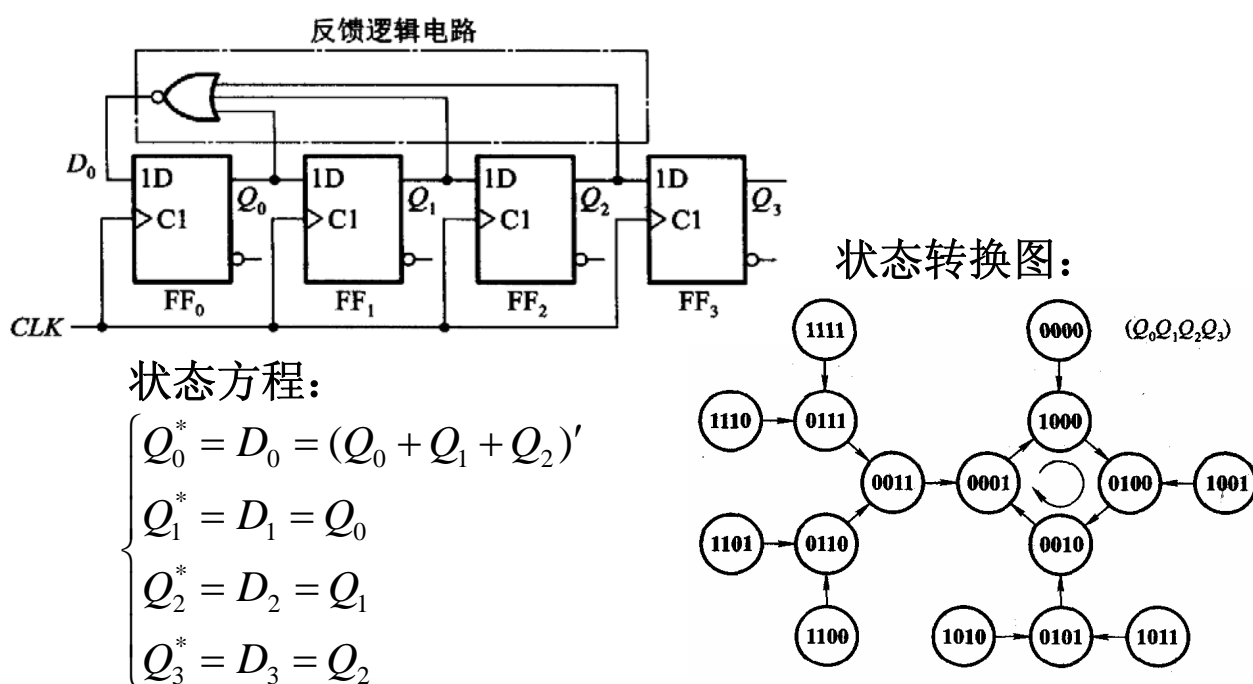
2022-9-9

第六章 时序逻辑电路

59

§ 6.3 若干常用的时序逻辑电路

●能自启动的环形计数器电路



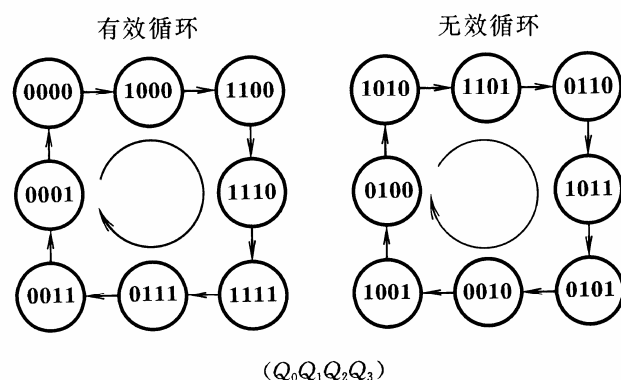
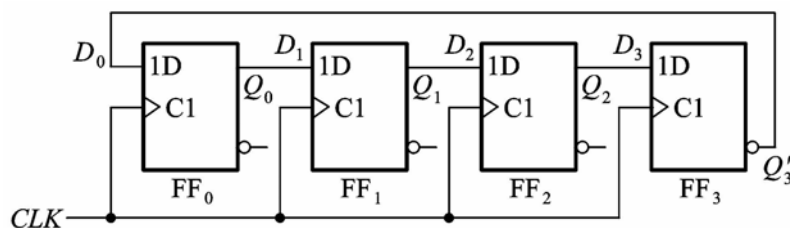
2022-9-9

第六章 时序逻辑电路

60

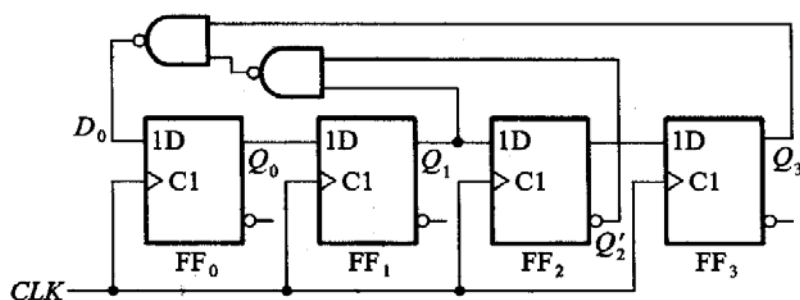
§ 6.3 若干常用的时序逻辑电路

2 扭环形计数器（约翰逊计数器）

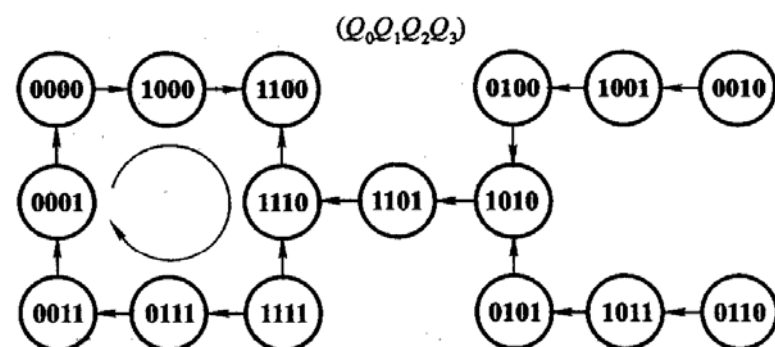


§ 6.3 若干常用的时序逻辑电路

●能自启动的扭环形计数器电路



状态转换图:

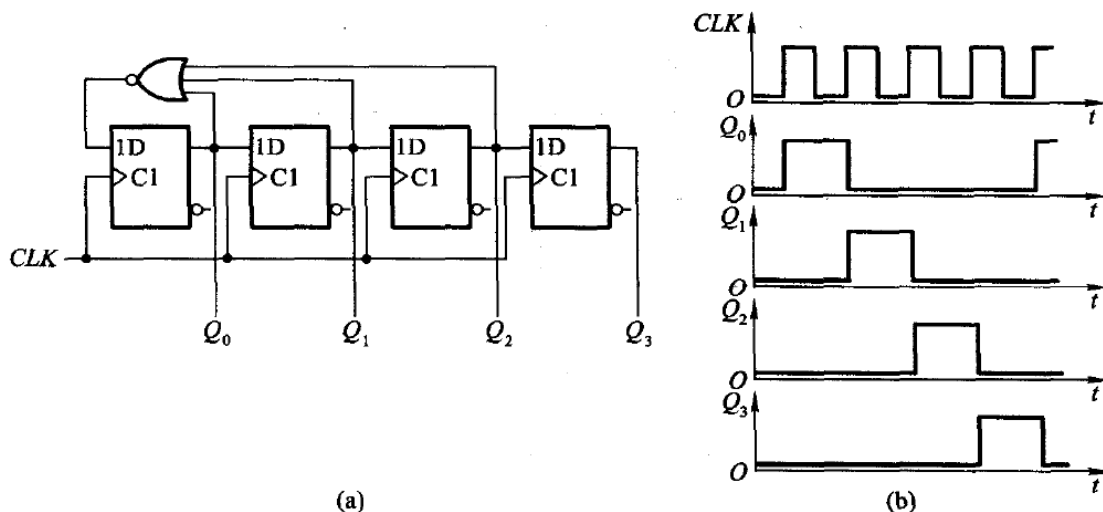


§ 6.3 若干常用的时序逻辑电路

6.3.3 顺序脉冲发生器

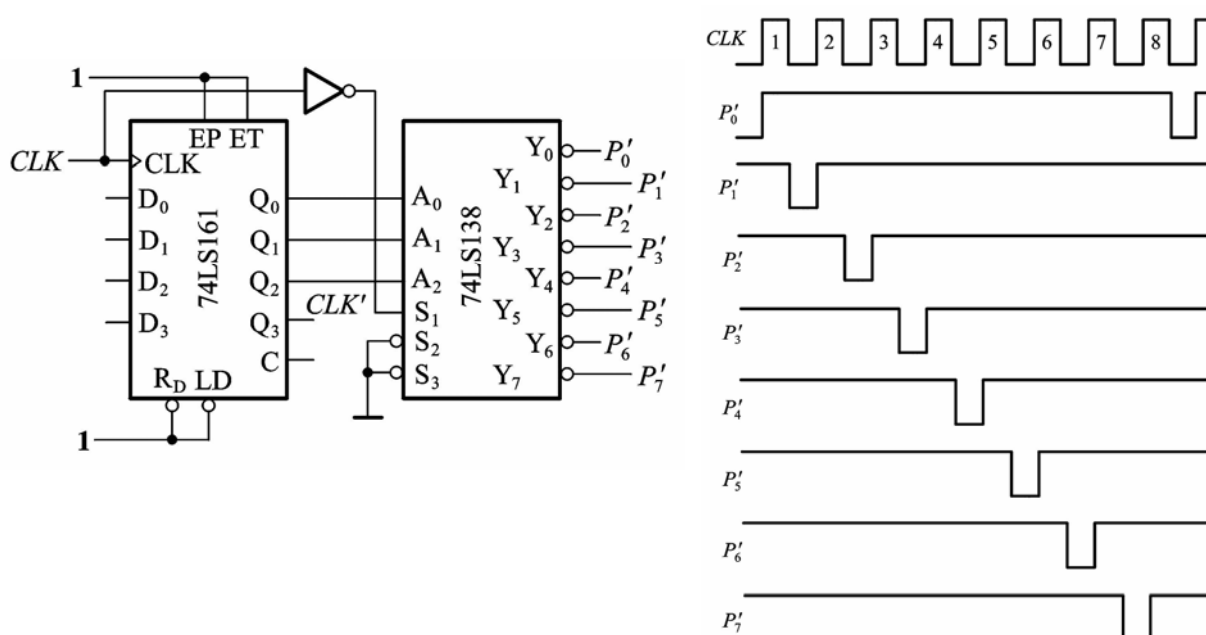
产生一组在时间上有一定先后顺序的脉冲信号，用于控制。

例1：环形计数器→顺序脉冲发生器



§ 6.3 若干常用的时序逻辑电路

例2：计数器+译码器→顺序脉冲发生器



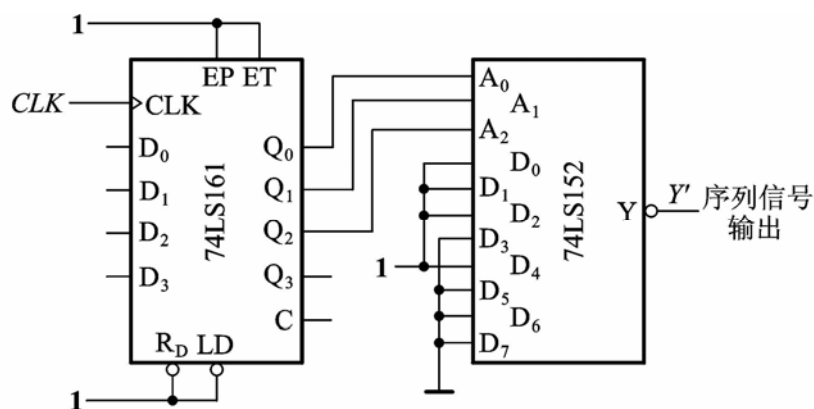


§ 6.3 若干常用的时序逻辑电路

6.3.4 序列信号发生器

产生一组特定的串行数字信号，用于传输和测试。

例：计数器+数据选择器→序列信号发生器



产生的序列：**00010111**

CLK	Q_2 (A_2)	Q_1 (A_1)	Q_0 (A_0)	Y'
0	0	0	0	D_0'
1	0	0	1	D_1'
2	0	1	0	D_2'
3	0	1	1	D_3'
4	1	0	0	D_4'
5	1	0	1	D_5'
6	1	1	0	D_6'
7	1	1	1	D_7'
8	0	0	0	D_0'



§ 6.4 时序逻辑电路的设计方法

6.4.1 同步时序逻辑电路的设计方法

设计最简标准：

- ◆选用小规模集成电路设计，最简标准是所用触发器和门电路最少，且触发器和门电路输入端数目也最少。
- ◆选用中、大规模集成电路设计，最简标准是所用芯片数目最少、种类最少，且互相间的连线也最少。

设计的一般步骤：

一、逻辑抽象，得出状态转换图或状态转换表

- (1) 确定输入/输出变量、电路状态数。
- (2) 定义输入/输出逻辑状态和每个电路状态的含义，并对电路状态进行编号。
- (3) 按设计要求画出状态转换图或列出状态转换表。



§ 6.4 时序逻辑电路的设计方法

二、状态化简

若两个状态在相同的输入下有相同的输出，并转换到同一个次态，则称为等价状态；等价状态可以合并。

三、状态分配（状态编码）

（1）确定触发器数目 n 。

若电路状态数为 M ，取 $2^{n-1} < M \leq 2^n$

（2）给每个状态指定一个代码。

（通常编码方案和排列顺序都遵循一定的规律）

四、选定触发器类型，求出状态方程，驱动方程，输出方程。

五、画出逻辑图

六、检查自启动

2022-9-9

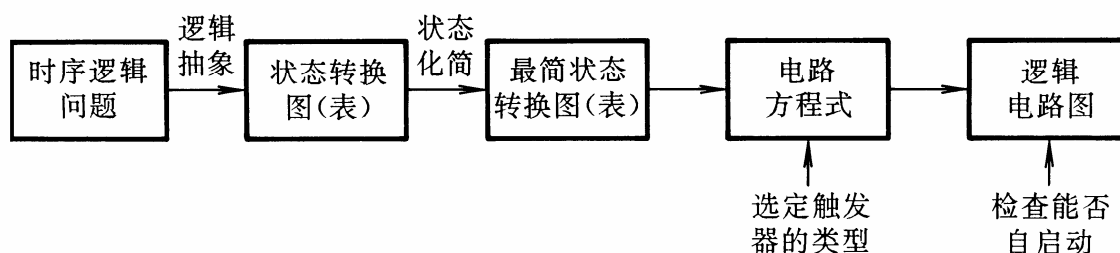
第六章 时序逻辑电路

67



§ 6.4 时序逻辑电路的设计方法

●同步时序逻辑电路的设计过程框图



2022-9-9

第六章 时序逻辑电路

68

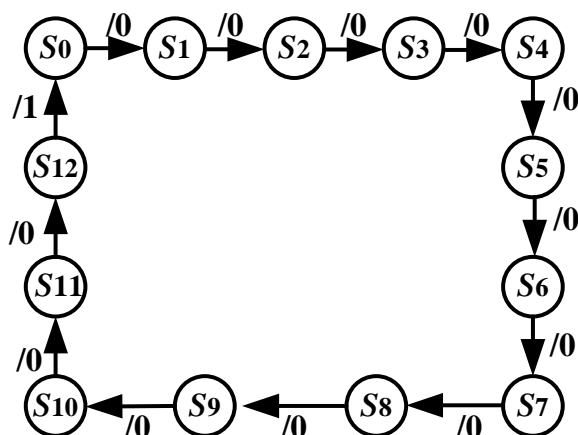
§ 6.4 时序逻辑电路的设计方法



例6.4.1 试设计一个带有进位输出端的十三进制计数器。

解：①确定输入输出变量：电路没有输入变量。设进位输出信号为C，有进位输出为C=1，无进位输出时C=0。

②画出状态转换图：根据题意， $M=13$ ，其状态转换图如图所示。



2022-9-9

第六章 时序逻辑电路

69

§ 6.4 时序逻辑电路的设计方法



③列出状态转换表：由于 $M=13$ ，故应取 $n=4$ 。选自然二进制数的0000~1100作为十三个状态的编码，其状态表为

状态 变化顺序	状态编码				进位 输出 C	等效十 进制数
	Q_3	Q_2	Q_1	Q_0		
S ₀	0	0	0	0	0	0
S ₁	0	0	0	1	0	1
S ₂	0	0	1	0	0	2
S ₃	0	0	1	1	0	3
S ₄	0	1	0	0	0	4
S ₅	0	1	0	1	0	5
S ₆	0	1	1	0	0	6
S ₇	0	1	1	1	0	7
S ₈	1	0	0	0	0	8
S ₉	1	0	0	1	0	9
S ₁₀	1	0	1	0	0	10
S ₁₁	1	0	1	1	0	11
S ₁₂	1	1	0	0	1	12
S ₀	0	0	0	0	0	0

2022-9-9

第六章 时序逻辑电路

70

§ 6.4 时序逻辑电路的设计方法



④ 求出电路的状态方程、输出方程和驱动方程：

状态 变化顺序	状态编码				进位 输出 C	等效十 进制数
	Q_3	Q_2	Q_1	Q_0		
S ₀	0	0	0	0	0	0
S ₁	0	0	0	1	0	1
S ₂	0	0	1	0	0	2
S ₃	0	0	1	1	0	3
S ₄	0	1	0	0	0	4
S ₅	0	1	0	1	0	5
S ₆	0	1	1	0	0	6
S ₇	0	1	1	1	0	7
S ₈	1	0	0	0	0	8
S ₉	1	0	0	1	0	9
S ₁₀	1	0	1	0	0	10
S ₁₁	1	0	1	1	0	11
S ₁₂	1	1	0	0	1	12
S ₀	0	0	0	0	0	0

根据状态转换表画出次态与输出的卡诺图

Q_1Q_0 Q_3Q_2		$Q_3^*Q_2^*Q_1^*Q_0^*/C$			
		00	01	11	10
00	00	0001/0	0010/0	0100/0	0011/0
01	01	0101/0	0110/0	1000/0	0111/0
11	11	0000/1	××××/×	××××/×	××××/×
10	10	1001/0	1010/0	1100/0	1011/0

2022-9-9

第六章 时序逻辑电路

71

§ 6.4 时序逻辑电路的设计方法



卡诺图分解

Q_1Q_0 Q_3Q_2		$Q_3^*Q_2^*Q_1^*Q_0^*/C$			
		00	01	11	10
00	00	0001/0	0010/0	0100/0	0011/0
01	01	0101/0	0110/0	1000/0	0111/0
11	11	0000/1	××××/×	××××/×	××××/×
10	10	1001/0	1010/0	1100/0	1011/0

$$Q_3^* = Q_3Q_2' + Q_2Q_1Q_0$$

Q_1Q_0 Q_3Q_2		Q_3^*			
		00	01	11	10
00	00	0	0	0	0
01	01	0	0	1	0
11	11	0	×	×	×
10	10	1	1	1	1

Q_1Q_0 Q_3Q_2		C			
		00	01	11	10
00	00	0	0	0	0
01	01	0	0	0	0
11	11	1	×	×	×
10	10	0	0	0	0

$$C = Q_3Q_2$$

2022-9-9

第六章 时序逻辑电路

72

§ 6.4 时序逻辑电路的设计方法

电路的状态方程和输出方程为

$$\begin{cases} Q_3^* = Q_3 Q_2' + Q_2 Q_1 Q_0 \\ Q_2^* = Q_3' Q_2 Q_1' + Q_3' Q_2 Q_0' + Q_2' Q_1 Q_0 \\ Q_1^* = Q_1' Q_0 + Q_1 Q_0' \\ Q_0^* = Q_3' Q_0' + Q_2' Q_0' \end{cases} \quad C = Q_3 Q_2$$

若选用JK触发器，其特性方程为 $Q^* = JQ' + K'Q$

把状态方程化为JK触发器特性方程的标准形式，即

$$\begin{cases} Q_3^* = Q_3 Q_2' + Q_2 Q_1 Q_0 (Q_3' + Q_3) = Q_2 Q_1 Q_0 Q_3' + Q_2' Q_3 \\ Q_2^* = Q_3' Q_2 Q_1' + Q_3' Q_2 Q_0' + Q_2' Q_1 Q_0 = Q_0 Q_1 Q_2' + Q_3' (Q_1 Q_0)' \cdot Q_2 \\ Q_1^* = Q_1' Q_0 + Q_1 Q_0' = Q_0 Q_1' + Q_0' Q_1 \\ Q_0^* = Q_3' Q_0' + Q_2' Q_0' = (Q_3 Q_2)' \cdot Q_0' + 1' \cdot Q_0 \end{cases}$$

2022-9-9

第六章 时序逻辑电路

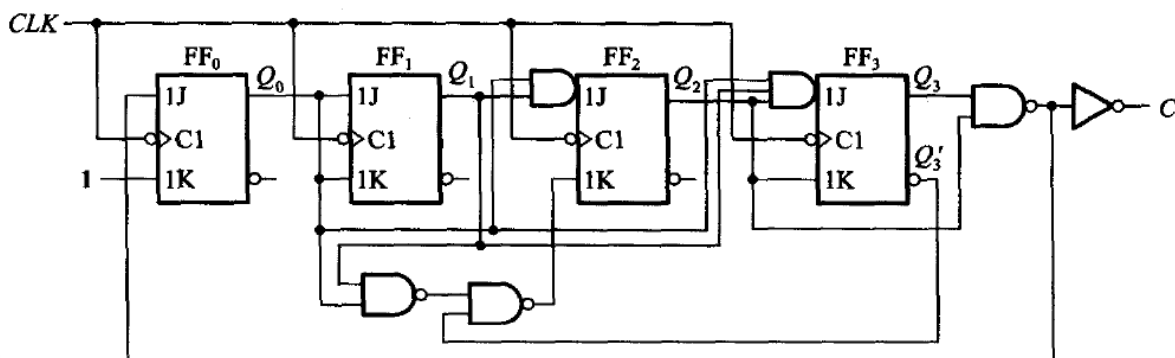
73

§ 6.4 时序逻辑电路的设计方法

求出各触发器的驱动方程为

$$\begin{cases} J_3 = Q_2 Q_1 Q_0 & K_3 = Q_2 \\ J_2 = Q_1 Q_0 & K_2 = (Q_3' (Q_1 Q_0)')' \\ J_1 = Q_0 & K_1 = Q_0 \\ J_0 = (Q_3 Q_2)' & K_0 = 1 \end{cases} \quad \begin{array}{l} \text{输出方程为} \\ C = Q_3 Q_2 \end{array}$$

画出同步十三进制计数器的逻辑图



2022-9-9

第六章 时序逻辑电路

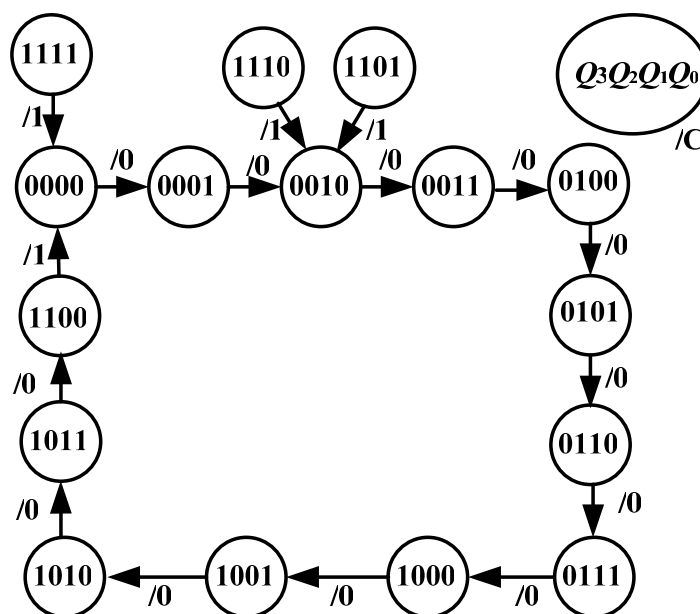
74

§ 6.4 时序逻辑电路的设计方法



⑤最后，检查电路能否自启动？ 可以自启动。

完整状态转换图



2022-9-9

第六章 时序逻辑电路

75

§ 6.4 时序逻辑电路的设计方法



例：设计一个串行数据检测器，当检测到输入信号出现110时输出为1，其他情况下输出为0。

输入X: 0 1 1 0 1 1 1 0 0 0 1 0.....

输出Y: 0 0 0 1 0 0 0 1 0 0 0 0.....

状态 S_0 : 初始状态，未输入“1”的状态；

状态 S_1 : 输入一个“1”后的状态；

状态 S_2 : 连续输入“11”后的状态；

状态 S_3 : 连续输入“110”后的状态

2022-9-9

第六章 时序逻辑电路

76



例6.4.3 设计一个自动售饮料机的逻辑电路。它的投币口每次只能投入一枚五角或一元的硬币。投入一元五角钱硬币后机器自动给出一杯饮料；投入两元（两枚一元）硬币后，在给出饮料的同时找回一枚五角的硬币。

解：取投币信号为输入变量**A**和**B**：投入一枚一元硬币用**A=1**表示，否则**A=0**；投入一枚五角硬币用**B=1**表示，否则**B=0**；

输出为**Y**和**Z**：给出饮料用**Y=1**表示，否则**Y=0**；找回一枚五角硬币用**Z=1**表示，否则**Z=0**。

设**S₀**为未投币前电路的初始状态，**S₁**为投入五角硬币后的状态，**S₂**为投入一元硬币（包括一枚一元硬币和两枚五角硬币）后的状态。

2022-9-9

第六章 时序逻辑电路

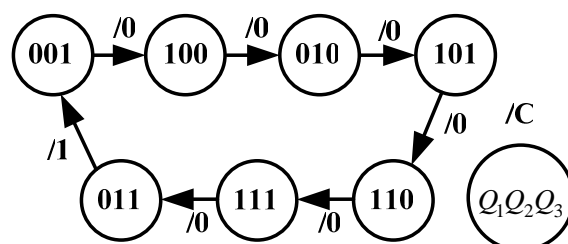
77



6.4.2 时序逻辑电路的自启动设计

能否在设计过程中考虑自启动的问题，并且在发现不能自启动时采取措施解决呢？

例6.4.4 设计一个七进制计数器，要求它能够自启动。已知该计数器的状态转换图及状态编码如图所示。



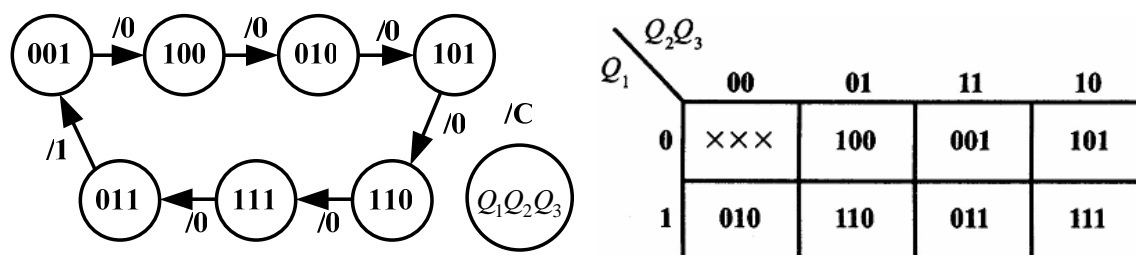
2022-9-9

第六章 时序逻辑电路

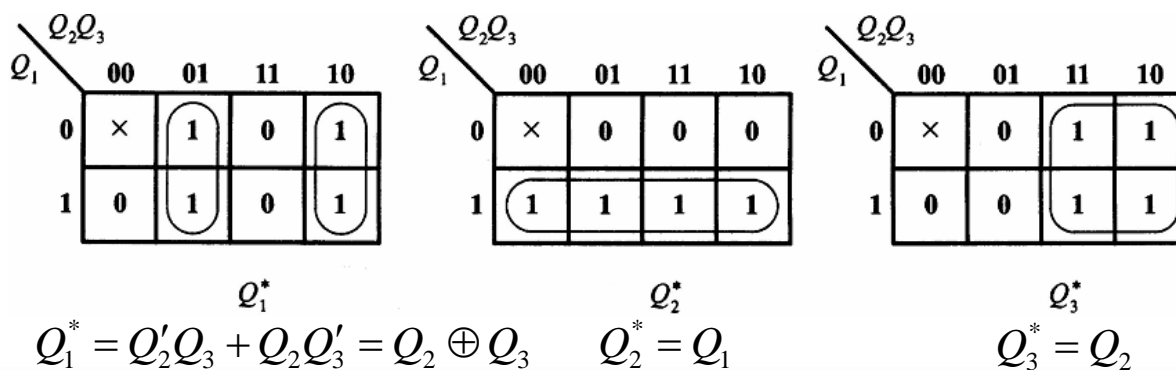
78

§ 6.4 时序逻辑电路的设计方法

解：由所给的状态转换图画出电路的次态卡诺图



将次态卡诺图分解为三个卡诺图

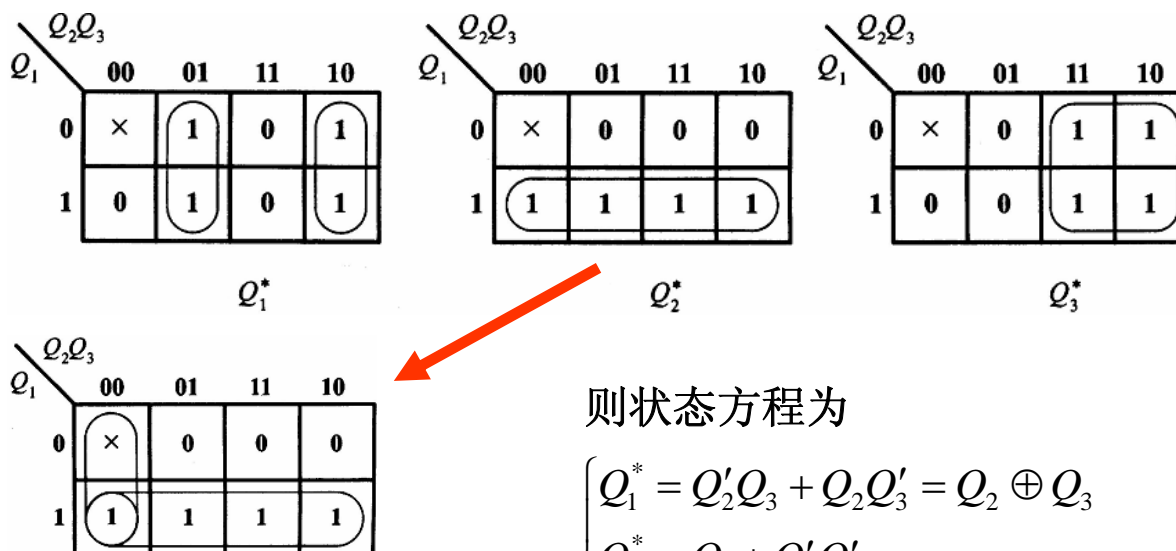


2022-9-9

第六章 时序逻辑电路

79

§ 6.4 时序逻辑电路的设计方法



将000的次态指定为010

则状态方程为

$$\begin{cases} Q_1^* = Q_2'Q_3 + Q_2Q_3' = Q_2 \oplus Q_3 \\ Q_2^* = Q_1 + Q_2'Q_3' \\ Q_3^* = Q_2 \end{cases}$$

2022-9-9

第六章 时序逻辑电路

80

§ 6.4 时序逻辑电路的设计方法

若由JK触发器实现，其特性方程为 $Q^* = JQ' + K'Q$

$$\begin{cases} Q_1^* = Q_2 \oplus Q_3 = (Q_2 \oplus Q_3)(Q_1' + Q_1) \\ \quad = (Q_2 \oplus Q_3)Q_1' + (Q_2 \oplus Q_3)Q_1 \\ Q_2^* = Q_1 + Q_2'Q_3' = Q_1(Q_2' + Q_2) + Q_2'Q_3' \\ \quad = (Q_1 + Q_3')Q_2' + Q_1Q_2 \\ Q_3^* = Q_2(Q_3' + Q_3) = Q_2Q_3' + Q_2Q_3 \end{cases}$$

驱动方程为：

$$\begin{cases} J_1 = Q_2 \oplus Q_3 & K_1 = (Q_2 \oplus Q_3)' \\ J_2 = Q_1 + Q_3' = (Q_1'Q_3)' & K_2 = Q_1' \\ J_3 = Q_2 & K_3 = Q_2' \end{cases}$$

由于进位信号由011状态译出，故输出方程为： $C = Q_1'Q_2Q_3$

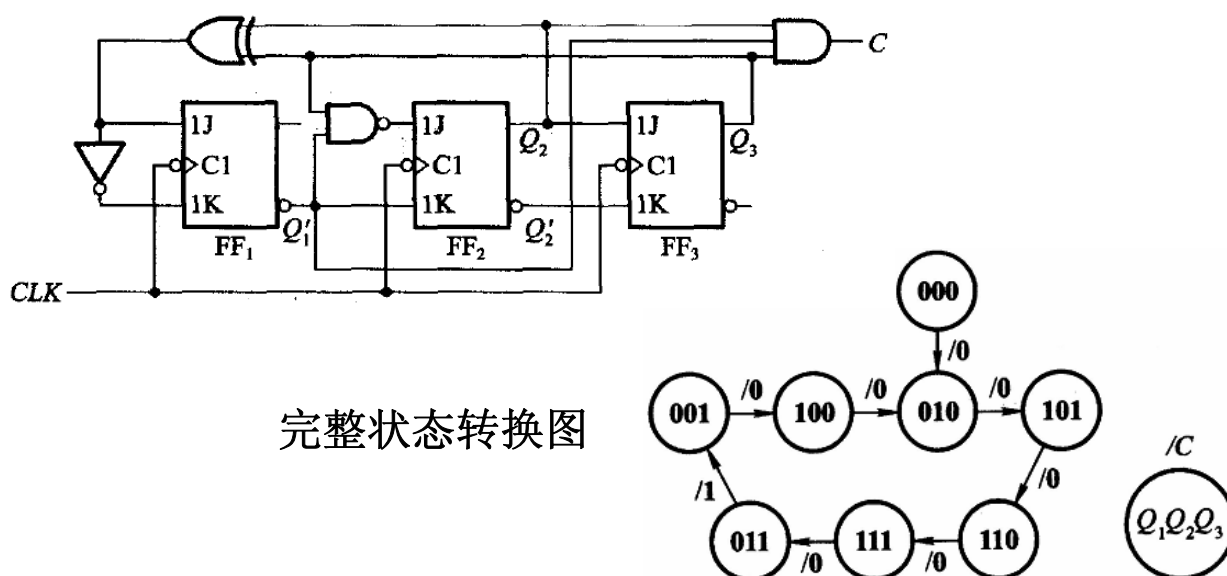
2022-9-9

第六章 时序逻辑电路

81

§ 6.4 时序逻辑电路的设计方法

实现的电路如图所示



若存在多个无效状态，如何保证电路能够自启动？

2022-9-9

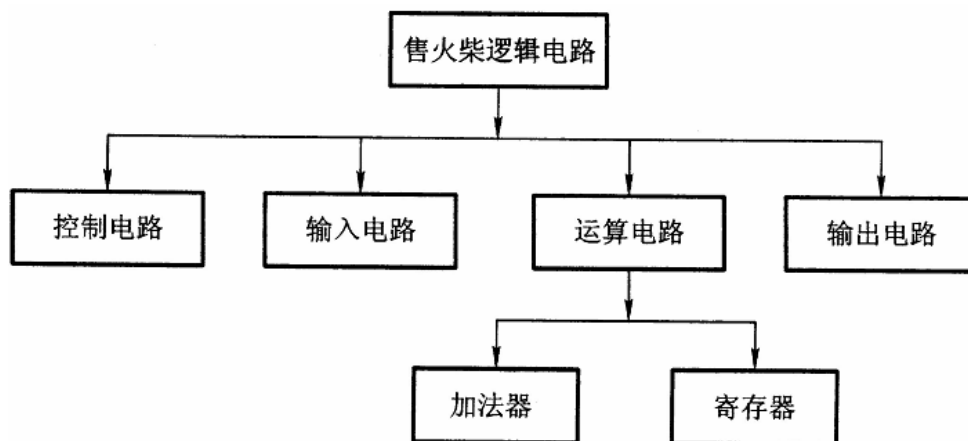
第六章 时序逻辑电路

82

§ 6.4 时序逻辑电路的设计方法

*6.4.4 复杂时序逻辑电路的设计

例6.4.7 设计一个自动售火柴机的逻辑电路。每次可投入一枚1分、2分或5分的硬币，累计投入超过8分以后，输出一小盒火柴，同时找回多于8分的钱。

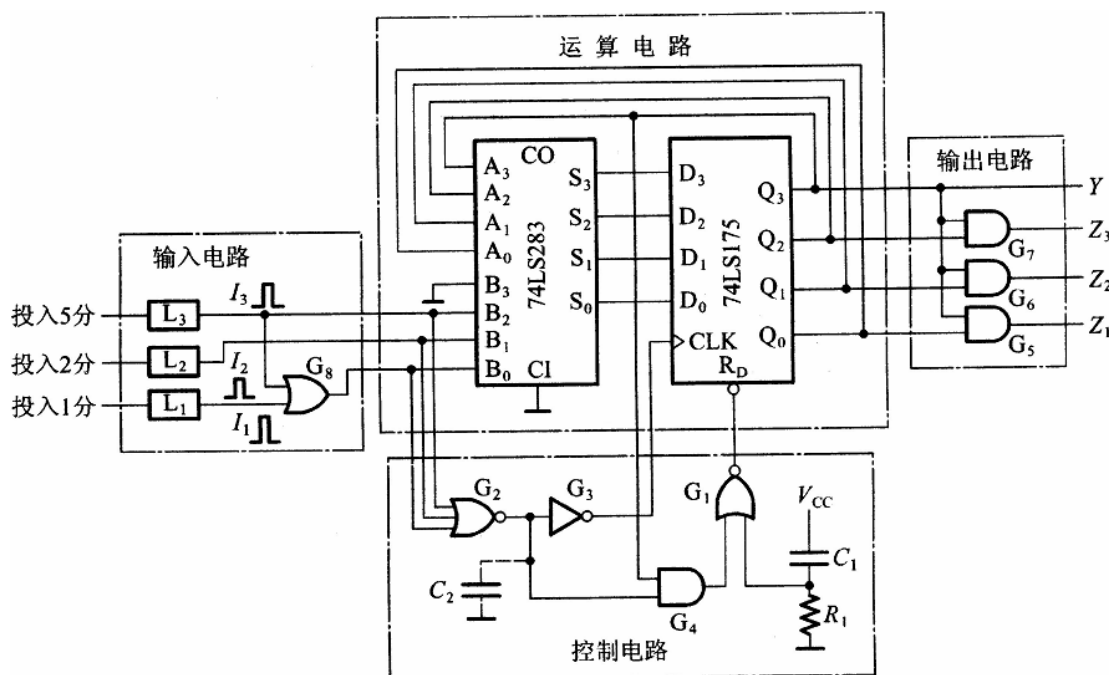


2022-9-9

第六章 时序逻辑电路

83

§ 6.4 时序逻辑电路的设计方法



2022-9-9

第六章 时序逻辑电路

84

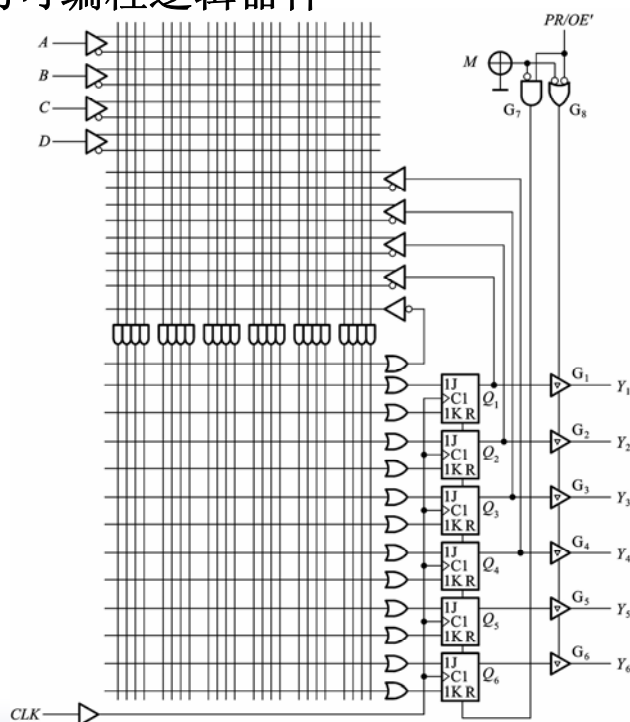
§ 6.5 用可编程逻辑器件实现同步时序逻辑电路



6.5.1 可以实现时序逻辑电路的可编程逻辑器件

◆ 时序逻辑型PLA

- 可编程的与阵列
- + 可编程的或阵列
- + 寄存器
- + 输出缓冲器



2022-9-9

第六章 时序逻辑电路

85

§ 6.6 时序逻辑电路中的竞争-冒险现象



竞争-冒险现象包括两方面：

- 组合逻辑电路可能发生的竞争-冒险现象；
- 触发器工作过程中可能发生的竞争-冒险现象。

当触发器的输入信号和时钟信号在状态变化时配合不当，有可能导致触发器误动作，这种现象称为触发器的竞争-冒险现象。

触发器的竞争-冒险现象主要存在于异步时序电路中。

2022-9-9

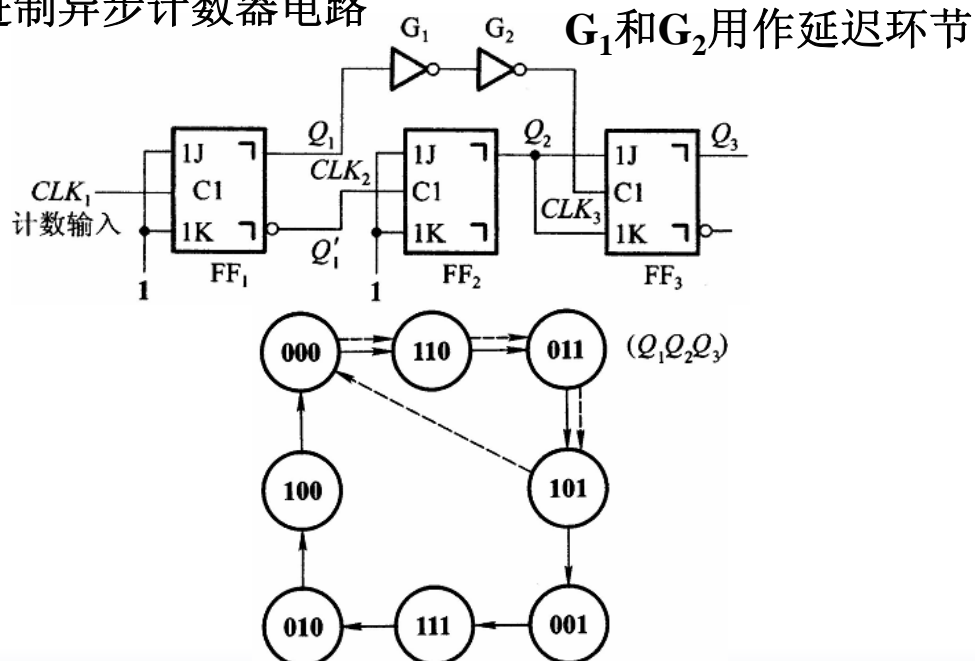
第六章 时序逻辑电路

86

§ 6.6 时序逻辑电路中的竞争-冒险现象

❖ 异步时序逻辑电路:

例1 八进制异步计数器电路



2022-9-9

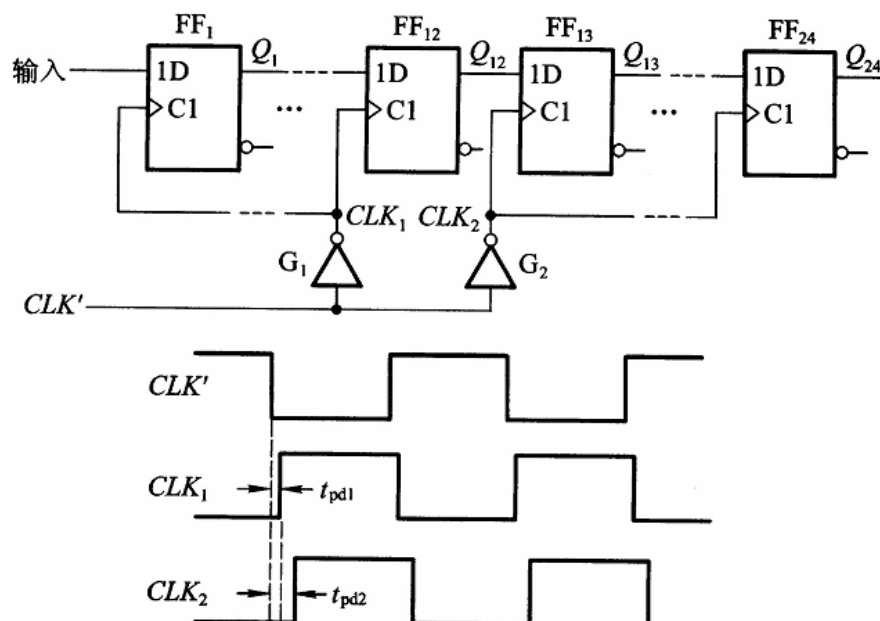
第六章 时序逻辑电路

87

§ 6.6 时序逻辑电路中的竞争-冒险现象

❖ 同步时序逻辑电路:

例2 移位寄存器中的时钟偏移现象



2022-9-9

第六章 时序逻辑电路

88

§ 6.6 时序逻辑电路中的竞争-冒险现象

◆防止移位寄存器中错移的方法

(a) 接入反相器作延迟环节；

(b) 接入延迟电容

