



第五章 半导体存储电路

本章目录

- 5.1 概述
- 5.2 SR锁存器
- 5.3 触发器
- 5.4 寄存器
- 5.5 存储器

§ 5.1 概述



1 存储电路

- 存储单元：只能存储一位数据的电路；
- 寄存器：存储一组数据的存储电路；
- 存储器：存储大量数据的存储电路。

2 存储单元分类

——静态存储单元

由门电路连接而成，包括各种结构的锁存器和触发器，利用正反馈原理存储数据。

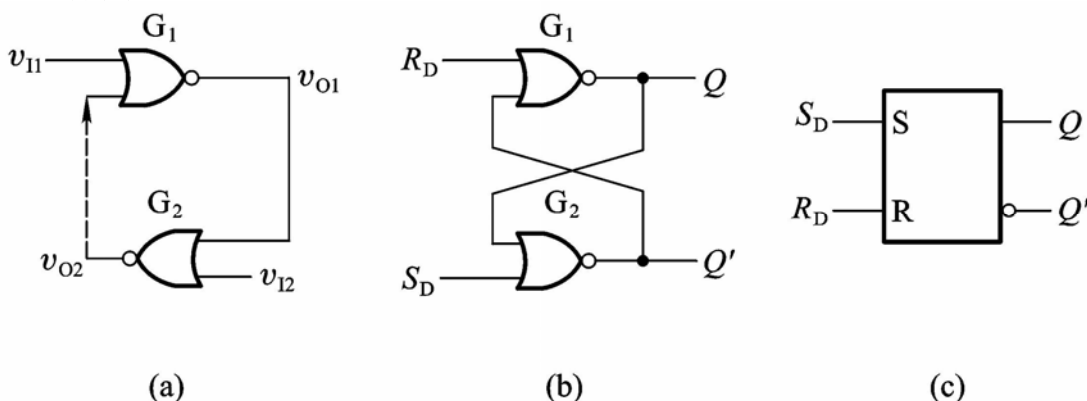
——动态存储单元

利用电容的电荷存储效应存储数据。

§ 5.2 SR锁存器

一、电路结构与工作原理

1 电路结构



定义： S_D 为置位端或置1输入端， R_D 为复位端或置0输入端；
 $Q=1, Q'=0$ 为锁存器的“1”状态，
 $Q=0, Q'=1$ 为锁存器的“0”状态

2022-9-9

第五章 半导体存储电路

3

§ 5.2 SR锁存器

2 工作原理

(1) $S_D = 1, R_D = 0; Q=1, Q'=0$

$S_D=1$ 信号消失以后，电路保持1状态不变。

(2) $S_D = 0, R_D = 1; Q=0, Q'=1$

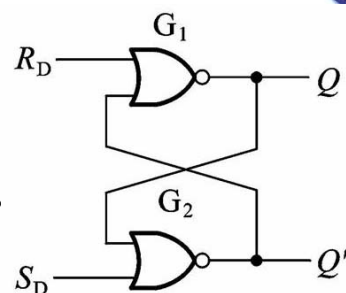
$R_D=1$ 信号消失以后，电路保持0状态不变。

(3) $S_D = R_D = 0$ ；电路维持原来的状态不变。

(4) $S_D = R_D = 1; Q=Q'=0$

S_D 和 R_D 信号同时消失以后，电路状态无法确定。

正常工作时的约束条件： $S_DR_D=0$



| S_D | R_D | Q | Q^* |
|-------|-------|-----|----------------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 ^① |
| 1 | 1 | 1 | 0 ^① |

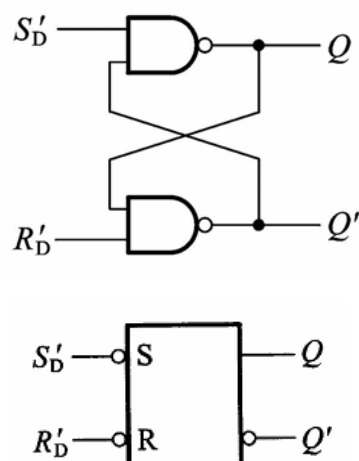
2022-9-9

第五章 半导体存储电路

4

§ 5.2 SR锁存器

3 用与非门构成SR锁存器



| S_D' | R_D' | Q | Q^* |
|--------|--------|-----|----------------|
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 ^① |
| 0 | 0 | 1 | 1 ^① |

正常工作时的约束条件: $S_D R_D = 0$

2022-9-9

第五章 半导体存储电路

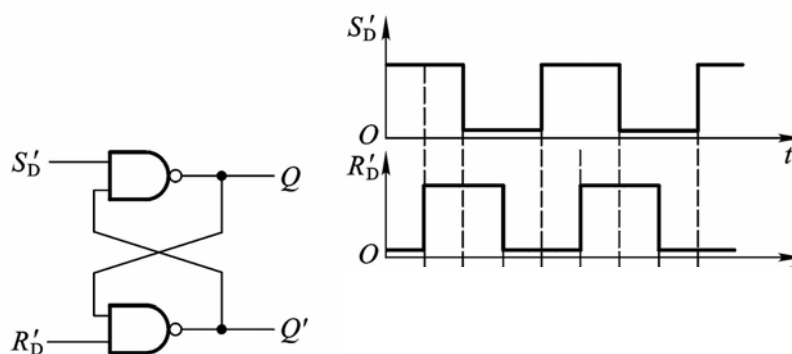
5

§ 5.2 SR锁存器

二、动作特点

输入信号在全部作用时间里，都能直接改变输出端的状态。

例5.2.1 已知由与非门构成的SR锁存器输入端的波形，试画出输出端 Q 和 Q' 的波形



(a)

2022-9-9

第五章 半导体存储电路

6

§ 5.3 触发器

1 触发器：

能够存储1位二值信号的基本单元电路。

2 触发器的特点：

(1) 具有两个能自行保持的稳定状态，用来表示逻辑状态的0和1，或二进制数的0和1；

(2) 根据不同的输入信号可以置1或0。

3 分类：

按触发方式：电平触发、边沿触发和脉冲触发

按逻辑功能：SR触发器、JK触发器、D触发器、T触发器

按存储数据的原理：静态触发器和动态触发器

2022-9-9

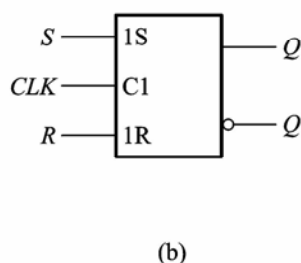
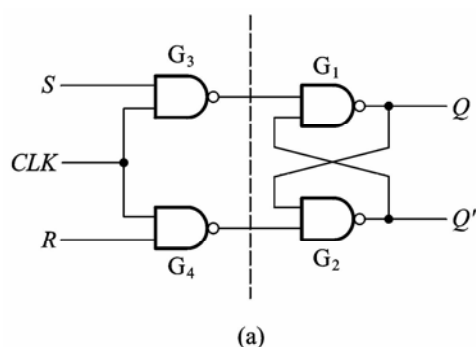
第五章 半导体存储电路

7

§ 5.3 触发器

5.3.1 电平触发的触发器

一、电路结构与工作原理



| CLK | S | R | Q | Q* |
|-----|---|---|---|----------------|
| 0 | X | X | 0 | 0 |
| 0 | X | X | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 ^① |
| 1 | 1 | 1 | 1 | 1 ^① |

输入控制电路 + SR锁存器

只有触发信号CLK到达，S和R才起作用

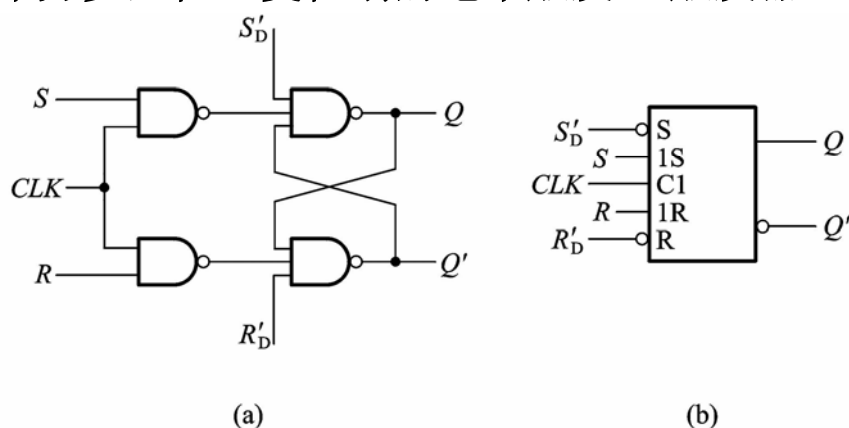
2022-9-9

第五章 半导体存储电路

8

§ 5.3 触发器

■带异步置位、复位端的电平触发SR触发器



二、电平触发方式的动作特点

- (1) 当 CLK 为有效电平时，触发器才能接受信号；
- (2) 在 $CLK=1$ 的全部时间里， S 和 R 状态的变化都可能引起输出状态的改变。

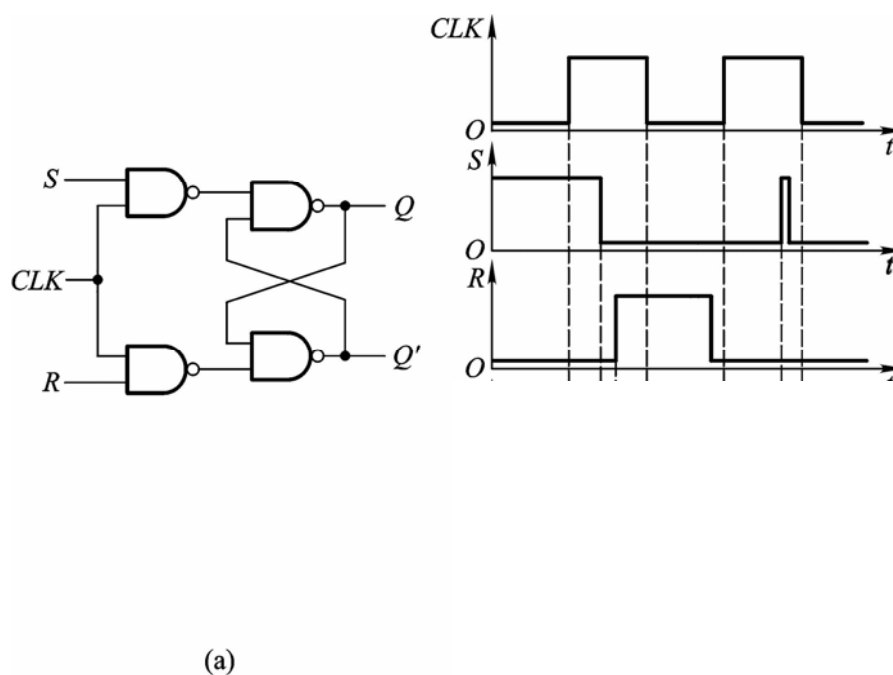
2022-9-9

第五章 半导体存储电路

9

§ 5.3 触发器

例5.3.1 已知电平触发SR触发器的 CLK 和输入信号如图所示，试画出 Q 和 Q' 端的波形。设触发器的初始状态 $Q = 0$ 。



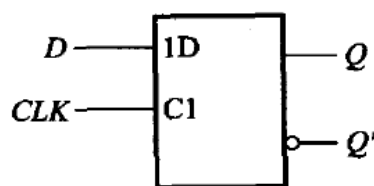
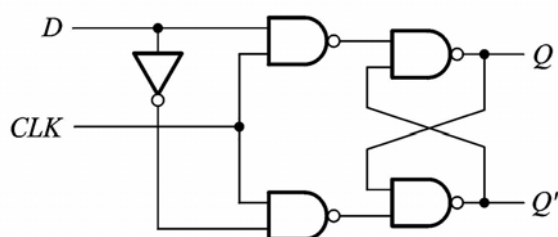
2022-9-9

第五章 半导体存储电路

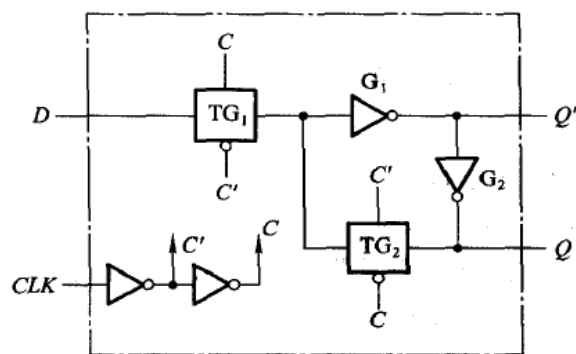
10

§ 5.3 触发器

■电平触发的 D 触发器



■CMOS传输门结构的电平触发的 D 触发器



| CLK | D | Q | Q^* |
|-------|-----|-----|-------|
| 0 | X | 0 | 0 |
| 0 | X | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

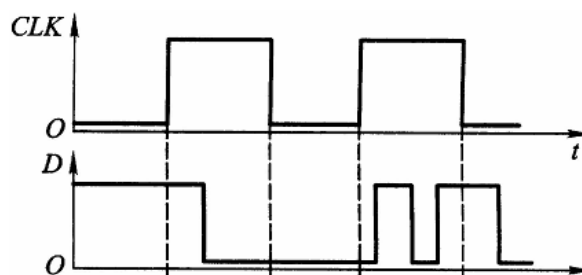
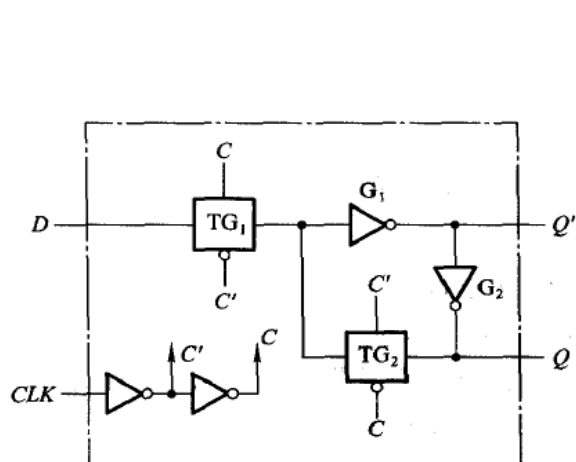
2022-9-9

第五章 半导体存储电路

11

§ 5.3 触发器

例5.3.2 若电平触发 D 触发器 CLK 和输入信号如图所示，试画出 Q 和 Q' 端的波形。设触发器的初始状态 $Q = 0$ 。



2022-9-9

第五章 半导体存储电路

12

5.3.2 边沿触发的触发器

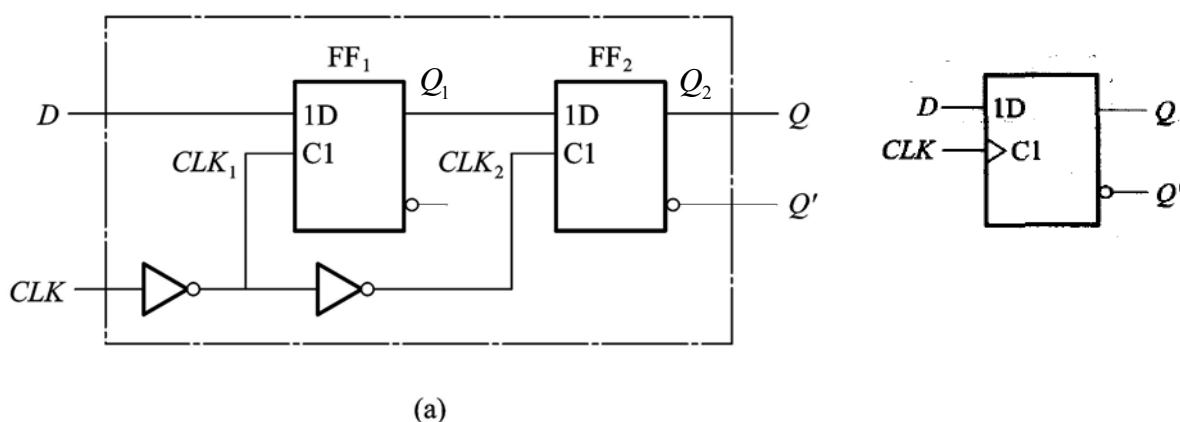
为了提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅取决于 CLK 的下降沿（或上升沿）到达时刻的输入信号状态，与在此之前、之后的输入状态没有关系。

- 用两个电平触发 D 触发器组成的边沿触发器
- 维持阻塞触发器
- 利用门电路传输延迟时间的边沿触发器

§ 5.3 触发器

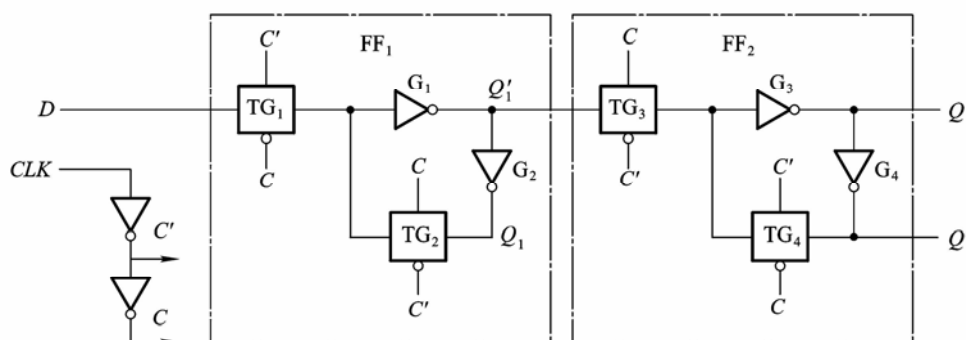
一、电路结构和工作原理

1 用两个电平触发 D 触发器组成的边沿触发器



§ 5.3 触发器

●实际的CMOS边沿触发D触发器



(3)特性表

| CLK | D | Q | Q^* |
|-------|-----|-----|-------|
| X | X | X | Q |
| ↑ | 0 | X | 0 |
| ↑ | 1 | X | 1 |

- (1) $CLK = 0$ 时, $\begin{cases} TG_1 \text{ 通, } TG_2 \text{ 断} \rightarrow Q_1 = D, Q_1 \text{ 随着 } D \text{ 而变化} \\ TG_3 \text{ 断, } TG_4 \text{ 通} \rightarrow Q \text{ 保持, 反馈通路接通, 自锁} \end{cases}$
- (2) $CLK \uparrow$ 后, $\begin{cases} TG_1 \text{ 断, } TG_2 \text{ 通} \rightarrow Q_1 \text{ 保持 } CLK \uparrow \text{ 前瞬间 } D \text{ 的状态} \\ TG_3 \text{ 通, } TG_4 \text{ 断} \rightarrow Q = Q_1, \text{ 反馈不通} \end{cases}$

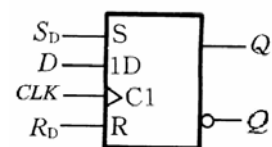
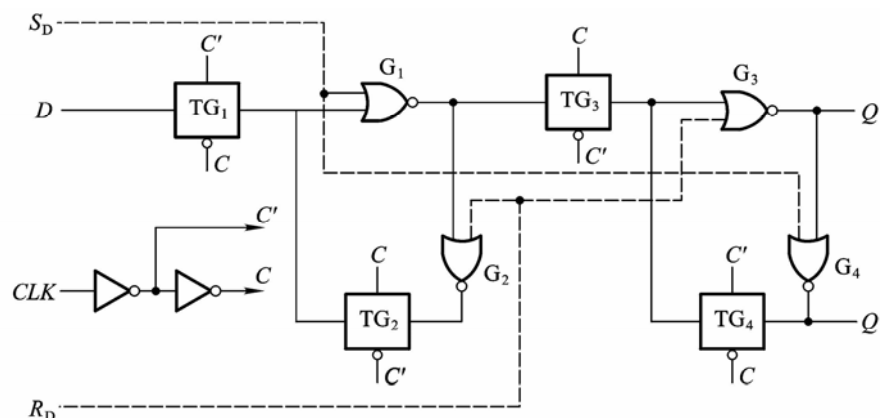
2022-9-9

第五章 半导体存储电路

15

§ 5.3 触发器

●带有异步置位、复位端的CMOS边沿触发D触发器



2022-9-9

第五章 半导体存储电路

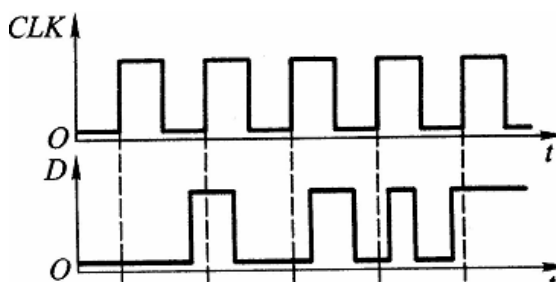
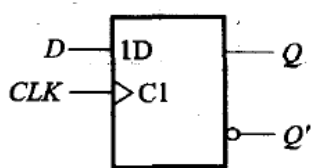
16

§ 5.3 触发器

二、动作特点

触发器的次态仅取决于时钟信号的上升沿（也称为正边沿）或下降沿（也称为负边沿）到达时输入的状态，而与此前、后的输入状态无关。

例5.3.3 在图示边沿触发器中，已知 D 端和 CLK 的电压波形，试画出 Q 端的波形。设触发器的初始状态 $Q = 0$ 。



2022-9-9

第五章 半导体存储电路

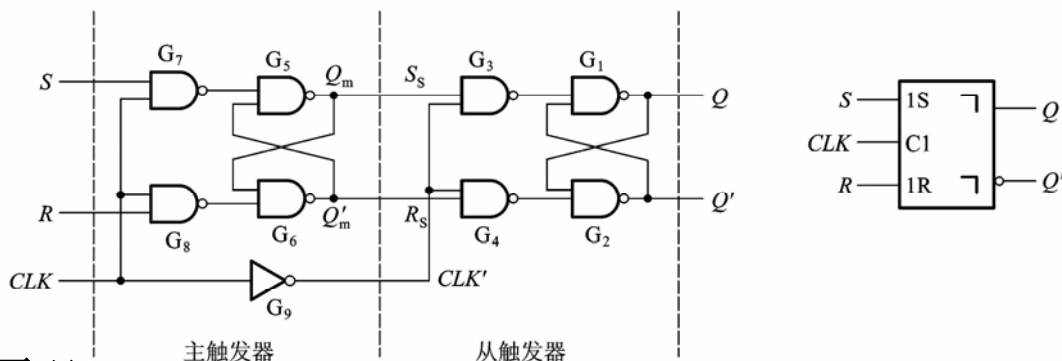
17

§ 5.3 触发器

5.3.3 脉冲触发的触发器

一、电路结构与工作原理

1 主从SR触发器



工作原理：

- (1) 在 $CLK=1$ 时，主触发器根据 S 、 R 翻转，从触发器保持；
- (2) 在 CLK 由 $1 \rightarrow 0$ ，主触发器保持，从触发器随主触发器的状态翻转，在每个 CLK 周期，触发器的输出状态只可能改变一次









2022-9-9

第五章 半导体存储电路

18

§ 5.3 触发器

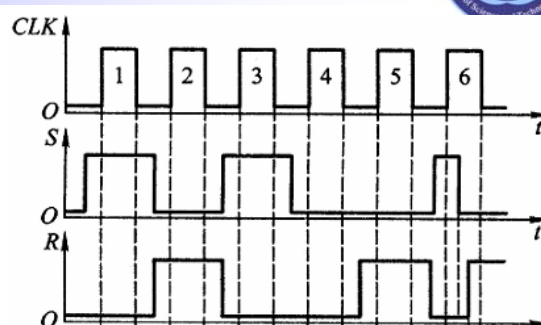
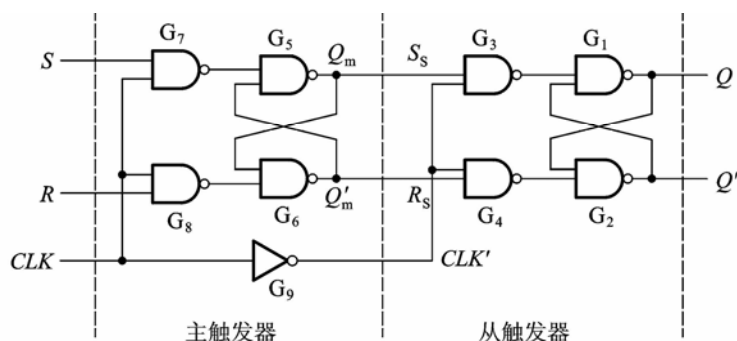
主从SR触发器的特性表

| CLK | S | R | Q | Q^* |
|---|----------|----------|----------|-----------------------|
| X | X | X | X | Q |
|  | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 1 | 1 |
|  | 1 | 0 | 0 | 1 |
|  | 1 | 0 | 1 | 1 |
|  | 0 | 1 | 0 | 0 |
|  | 0 | 1 | 1 | 0 |
|  | 1 | 1 | 0 | 1 ^① |
|  | 1 | 1 | 1 | 1 ^① |

注：主从SR触发器在 $CLK=1$ 期间，主触发器的输出仍会随输入的变化而多次改变，且输入信号仍需遵守 $SR=0$

§ 5.3 触发器

例5.3.4 若主从SR触发器 CLK 和输入信号如图所示，试画出 Q 和 Q' 端的波形。设触发器的初始状态 $Q=0$ 。

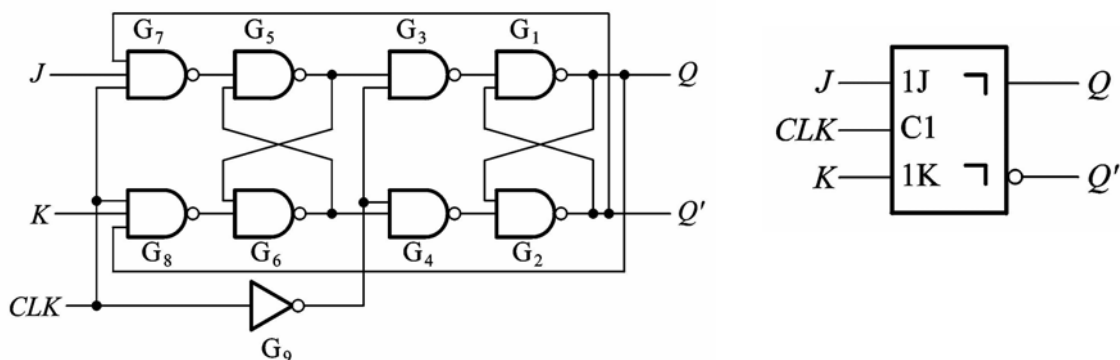


§ 5.3 触发器



2 主从JK触发器

为了使主从SR触发器在 $S=R=1$ 时次态也是确定的，将输出端 Q 和 Q' 反馈到输入端，这种触发器称为主从JK触发器。



2022-9-9

第五章 半导体存储电路

21

§ 5.3 触发器



工作原理：

(1)若 $J=1, K=0$ 则 $CLK=1$ 时，

$\begin{cases} Q=1, \text{"主"保持1} \\ Q=0, \text{"主"置1} \end{cases} \Rightarrow CLK=0 \text{后, "从"置1}$

(2)若 $J=0, K=1$ 则 $CLK=1$ 时，

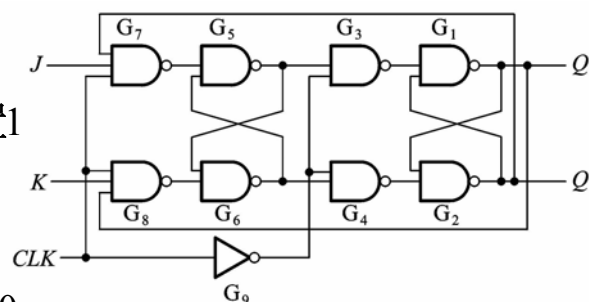
$\begin{cases} Q=1, \text{"主"置0} \\ Q=0, \text{"主"保持0} \end{cases} \Rightarrow CLK=0 \text{后, "从"置0}$

(3)若 $J=K=0$ 则 $CLK=1$ 时，

$\begin{cases} Q=1, \text{"主"保持} \\ Q=0, \text{"主"保持} \end{cases} \Rightarrow CLK=0 \text{后, "从"保持}$

(4)若 $J=K=1$ 则 $CLK=1$ 时，

$\begin{cases} \text{若 } Q=1, \text{则"主"置0,} \\ \text{若 } Q=0, \text{则"主"置1,} \end{cases} \Rightarrow CLK=0 \text{后, "从"}=(Q)'$











2022-9-9

第五章 半导体存储电路

22

§ 5.3 触发器

主从JK触发器的特性表

| CLK | J | K | Q | Q^* |
|---|-----|-----|-----|-------|
| X | X | X | X | Q |
|  | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 1 | 1 |
|  | 1 | 0 | 0 | 1 |
|  | 1 | 0 | 1 | 1 |
|  | 0 | 1 | 0 | 0 |
|  | 0 | 1 | 1 | 0 |
|  | 1 | 1 | 0 | 1 |
|  | 1 | 1 | 1 | 0 |

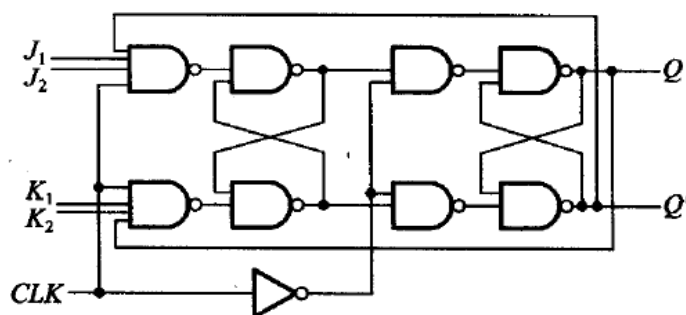
2022-9-9

第五章 半导体存储电路

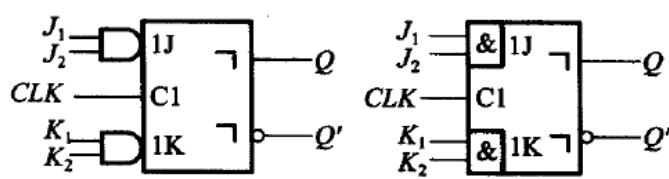
23

§ 5.3 触发器

◆具有多输入端的主从JK触发器



(a)



2022-9-9

第五章 半导体存储电路

24

二、脉冲触发方式的动作特点

(1) 触发器的翻转分两步动作。

第一步：在 $CLK=1$ 期间主触发器接收信号，从触发器保持；

第二步： CLK 下降沿到来时从触发器按照主触发器的状态翻转，所以每个 CLK 周期输出端的状态只能改变一次。

(2) 主触发器是一个电平触发 SR 触发器，在 $CLK=1$ 的全部时间里输入信号都将对主触发器起控制作用。

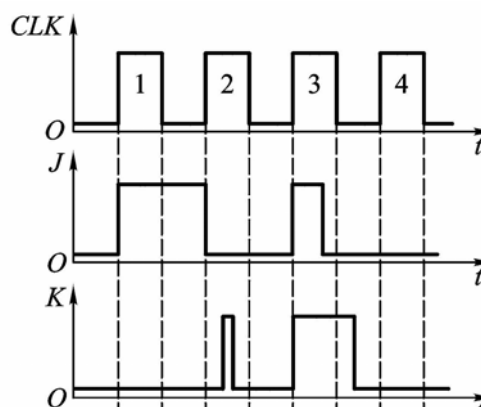
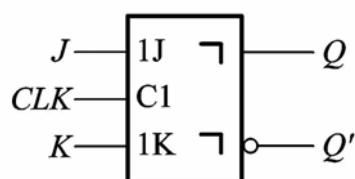
注：在 $CLK=1$ 期间主从 JK 触发器的从触发器只可能翻转一次。

$Q=0$ 时主触发器只能接受置1信号；

$Q=1$ 时主触发器只能接受置0信号。

§ 5.3 触发器

例5.3.6 若主从 JK 触发器 CLK 和输入信号如图所示，试画出 Q 和 Q' 端的波形。设触发器的初始状态 $Q=0$ 。





§ 5.3 触发器

5.3.4 触发器按逻辑功能的分类

SR 触发器、 JK 触发器、 D 触发器、 T 触发器

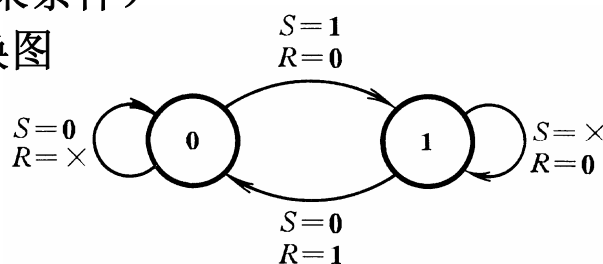
一、 SR 触发器

1 定义：凡在时钟信号作用下逻辑功能符合下表所规定的逻辑功能者，无论触发方式如何，均称为 SR 触发器

2 特性方程

$$\begin{cases} Q^* = S'R'Q + SR'Q' + SR'Q = S'R'Q + SR' = S + R'Q \\ SR = 0 \text{ (约束条件)} \end{cases}$$

3 状态转换图



| S | R | Q | Q^* |
|-----|-----|-----|-------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 不定 |
| 1 | 1 | 1 | 不定 |

描述触发器逻辑功能的方法：特性表、特性方程和状态转换图

2022-9-9

第五章 半导体存储电路

27



§ 5.3 触发器

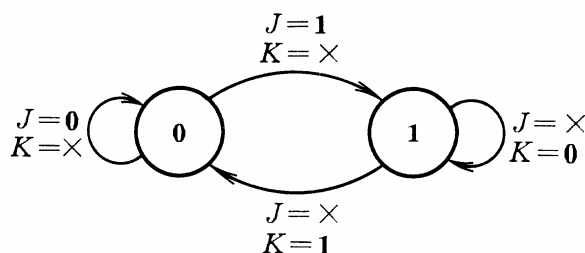
二、 JK 触发器

1 定义：凡在时钟信号作用下逻辑功能符合下表所规定的逻辑功能者，无论触发方式如何，均称为 JK 触发器

2 特性方程

$$Q^* = JQ' + K'Q$$

3 状态转换图



| J | K | Q | Q^* |
|-----|-----|-----|-------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

2022-9-9

第五章 半导体存储电路

28



§ 5.3 触发器

三、 T 触发器

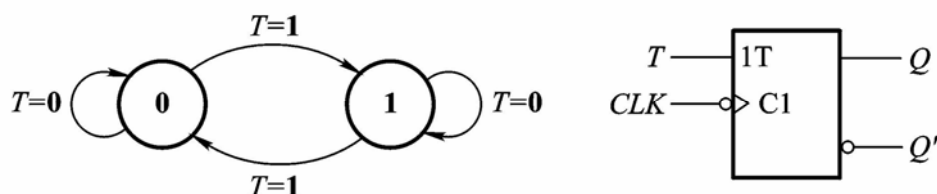
1 定义：凡在时钟信号作用下逻辑功能符合下表所规定的逻辑功能者，无论触发方式如何，均称为 T 触发器

2 特性方程

$$Q^* = TQ' + T'Q$$

3 状态转换图与逻辑符号

| T | Q | Q^* |
|-----|-----|-------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



2022-9-9

第五章 半导体存储电路

29



§ 5.3 触发器

四、 D 触发器

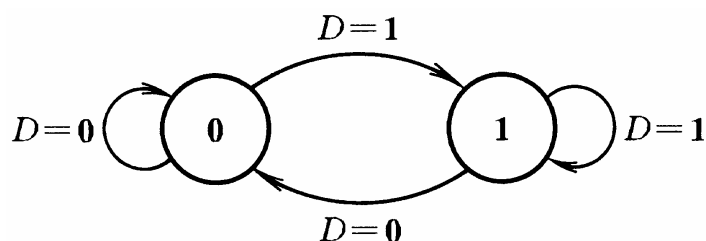
1 定义：凡在时钟信号作用下逻辑功能符合下表所规定的逻辑功能者，无论触发方式如何，均称为 D 触发器

2 特性方程

$$Q^* = D$$

3 状态转换图

| D | Q | Q^* |
|-----|-----|-------|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |



2022-9-9

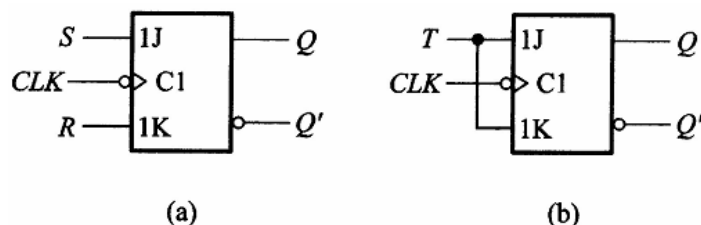
第五章 半导体存储电路

30

§ 5.3 触发器

五、不同逻辑功能的触发器间的转换

●将 JK 触发器用作 SR 、 T 触发器



将 JK 触发器用作 SR 、 T 触发器

(a) 用作 SR 触发器 (b) 用作 T 触发器

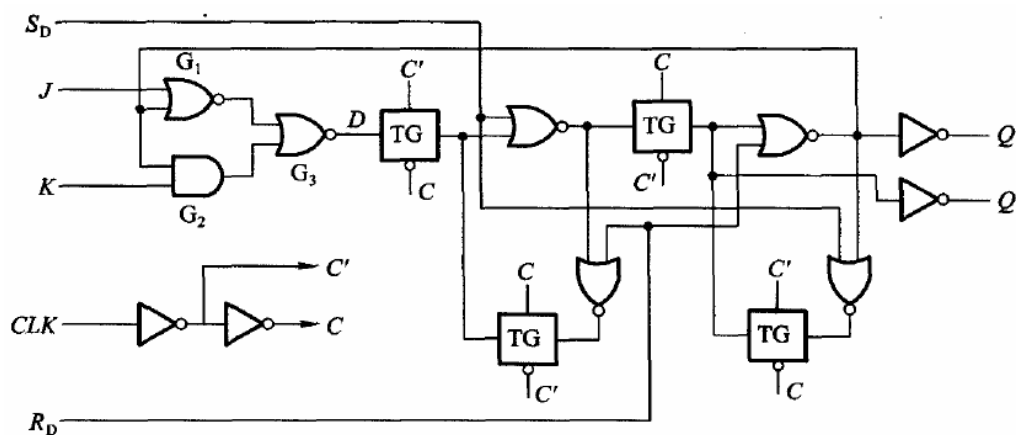
§ 5.3 触发器

六、触发器的电路结构和逻辑功能、触发方式的关系

1 电路结构和逻辑功能

触发器的电路结构和逻辑功能之间不存在固定的对应关系。

●两个电平触发 D 触发器构成的边沿触发 JK 触发器(CC4027)



$$Q^* = D = ((J + Q)' + KQ)' = JQ' + K'Q$$

2 电路结构和触发方式

电路的触发方式是由电路结构决定的，即电路结构形式与触发方式之间有固定的对应关系。

- 凡是采用**同步SR结构**的触发器，一定是电平触发方式；
- 凡是采用**两个电平触发D触发器结构**、**维持阻塞结构**或者**利用门电路传输延迟时间结构**组成的触发器，一定是边沿触发方式。
- 凡是采用**主从SR结构**的触发器，一定是脉冲触发方式；

§ 5.3 触发器

5.3.5 触发器的动态特性

一、建立时间 t_{su}

建立时间是指输入信号应先于 CLK 动作沿到达的时间。

二、保持时间 t_h

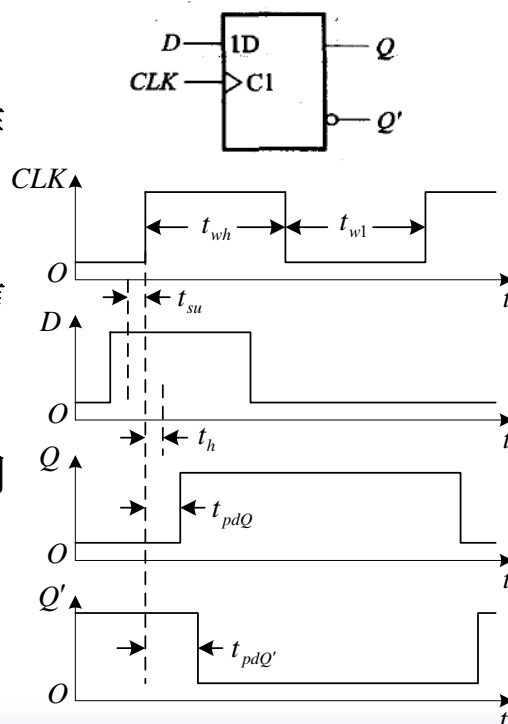
保持时间是指 CLK 动作沿到达后输入信号仍需要保持不变的时间。

三、传输延迟时间 t_{pd}

传输延迟时间是指从 CLK 动作沿开始到输出端新状态稳定地建立起来的时间。

四、最高时钟频率 f_{max}

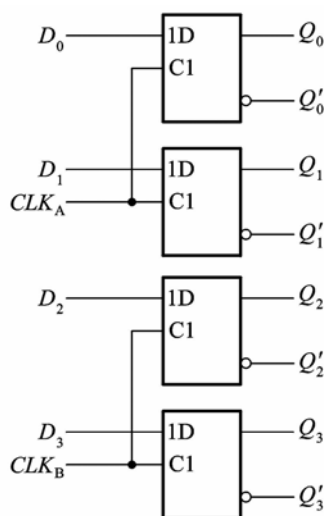
触发器在连续、重复翻转的情况下，时钟信号可达到的最高重复频率。



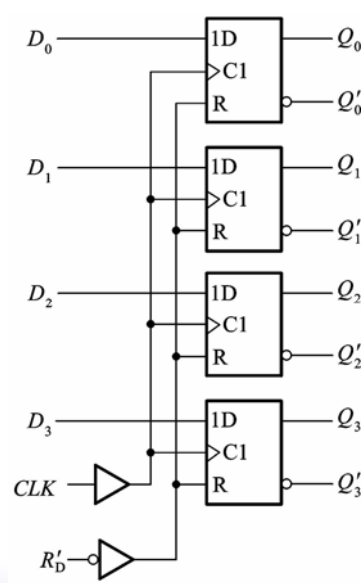
§ 5.4 寄存器

用于寄存一组二值代码， N 位寄存器由 N 个触发器组成，可储存一组 N 位的二值代码。

例：74LS75的逻辑图



例：74HC175的逻辑图



§ 5.5 存储器

一、半导体存储器的定义及性能指标

定义：半导体存储器是一种能存储大量二值信息的器件。

性能指标：存储容量和存取速度

二、存储器的分类

1 按制造工艺分类

——双极型

——MOS型

§ 5.5 存储器

2 按存、取功能分类

——随机存储器(RAM)

静态存储器(SRAM)

动态存储器(DRAM)

——只读存储器(ROM)

掩模ROM

可编程ROM(PROM)

可擦除的可编程ROM(EPROM)

紫外线擦除的可编程ROM(UVEPROM)

电信号可擦除的可编程ROM(E²PROM)

快闪存储器(Flash Memory)

2022-9-9

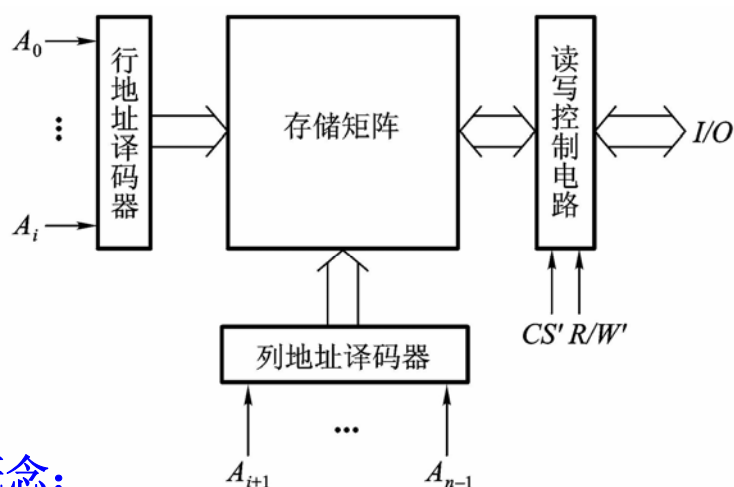
第五章 半导体存储电路

37

§ 5.5 存储器

5.5.1 静态随机存储器 (SRAM)

一、SRAM的结构与工作原理



两个概念:

- 并行输出的一组数据称为“字”
- 存储器的容量: “字数 × 位数”

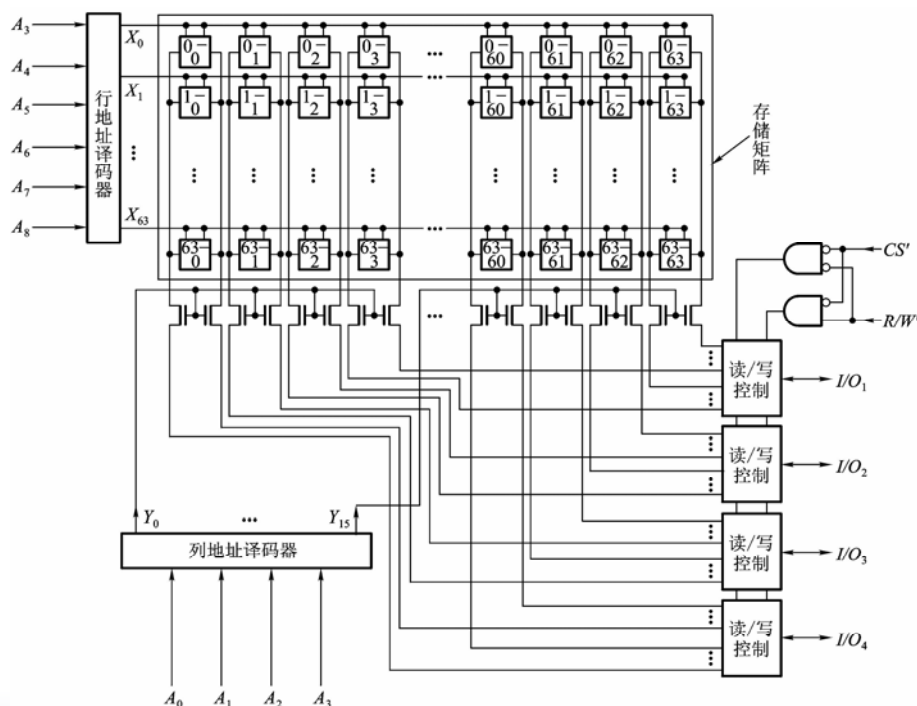
2022-9-9

第五章 半导体存储电路

38

§ 5.5 存储器

例：1024×4位 RAM的结构框图



2022-9-9

第五章 半导体存储电路

39

§ 5.5 存储器

二、SRAM的静态存储单元

$T_1 \sim T_4$ 为基本锁存器，作存储单元

$X_i = 1$ 时， T_5, T_6 导通， Q, Q' 与 B_j, B'_j 接通

$Y_j = 1$ 时， T_7, T_8 导通， B_j, B'_j 与读/写控制电路接通

$X_i = 1, Y_j = 1$ 时， $\begin{cases} \text{第} i \text{行} \\ \text{第} j \text{列} \end{cases}$ 单元与缓冲器相连

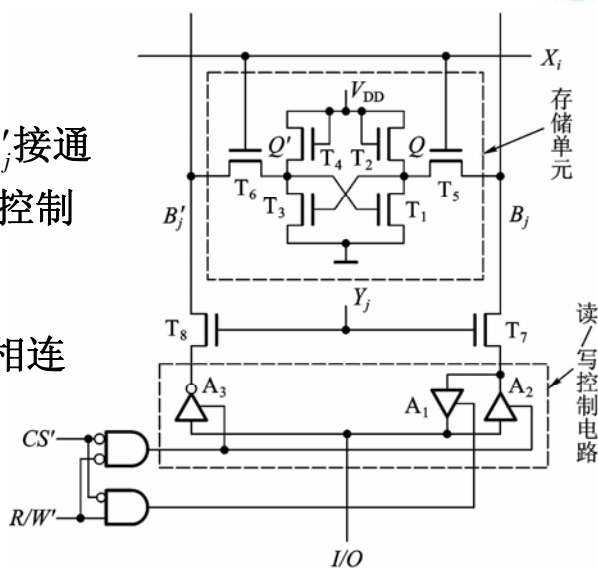
当 $CS' = 0$ 时，

若 $R/W' = 1$ ，则 A_1 导通， A_2 与 A_3 截止，

$Q \rightarrow I/O$ ，读操作

若 $R/W' = 0$ ，则 A_1 截止， A_2 与 A_3 导通，

$I/O \rightarrow Q$ ，写操作



六管NMOS静态存储单元

2022-9-9

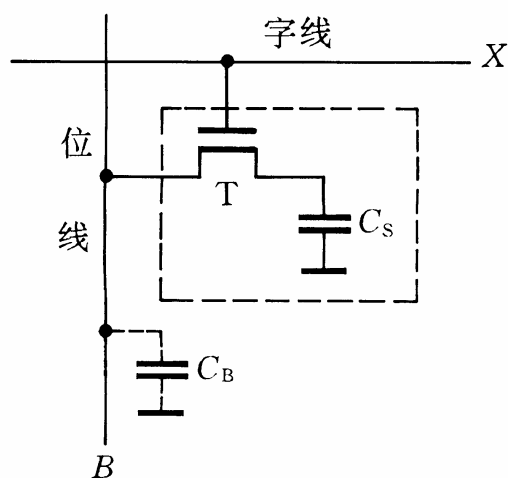
第五章 半导体存储电路

40

§ 5.5 存储器

*5.5.2 动态随机存储器 (DRAM)

一、DRAM的动态存储单元



2022-9-9

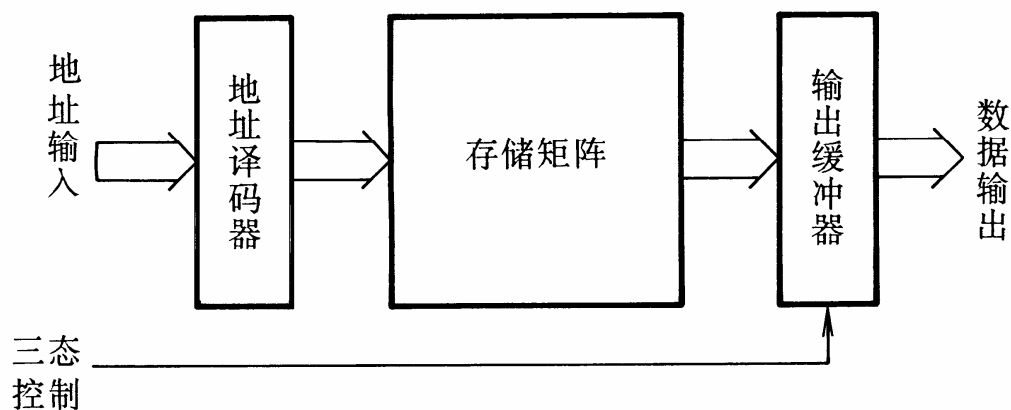
第五章 半导体存储电路

41

§ 5.5 存储器

5.5.3 只读存储器 (ROM)

一、ROM的结构与工作原理



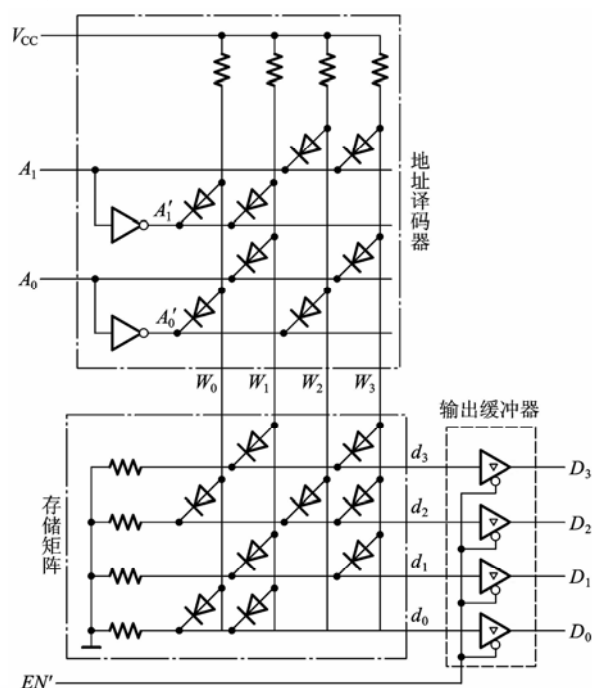
2022-9-9

第五章 半导体存储电路

42

§ 5.5 存储器

● 举例



| 地 址 | | 数 据 | | | |
|-------|-------|-------|-------|-------|-------|
| A_1 | A_0 | D_3 | D_2 | D_1 | D_0 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 |

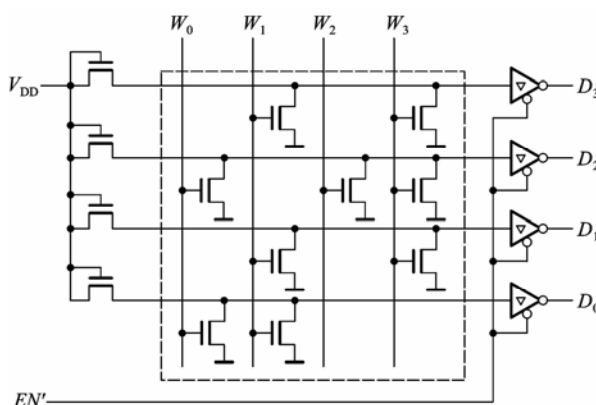
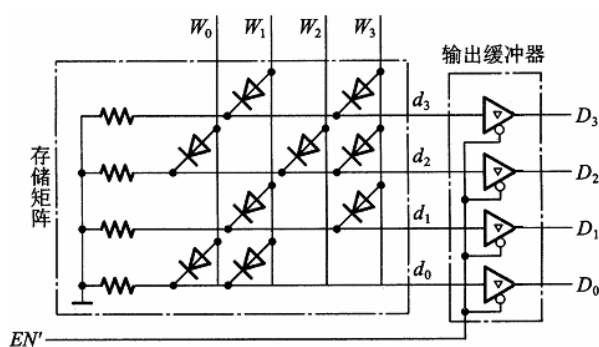
2022-9-9

第五章 半导体存储电路

43

§ 5.5 存储器

● 举例



两个概念:

- 存储矩阵的每个交叉点是一个“存储单元”，存储单元中有器件相当于存入“1”，无器件相当于存入“0”
- 存储器的容量：“4 × 4位”

2022-9-9

第五章 半导体存储电路

44

二、ROM的分类

1 掩模只读存储器 (Mask ROM)

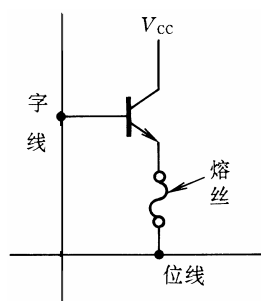
特点:

- 电路结构简单，集成度高；
- 批量生产，价格便宜；
- 出厂时数据已经“固化”，不能更改；
- 非易失性。

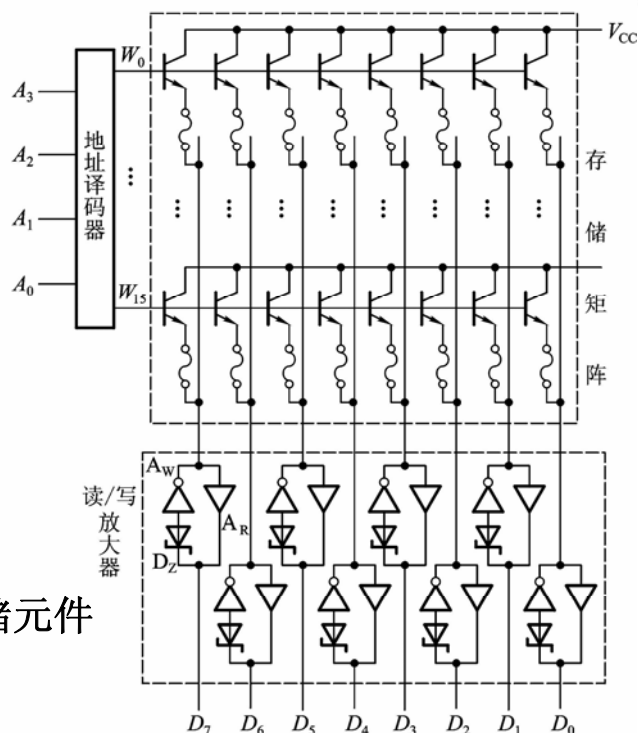
§ 5.5 存储器

2 可编程只读存储器 (PROM)

- 总体结构与掩模ROM一样，但存储单元不同



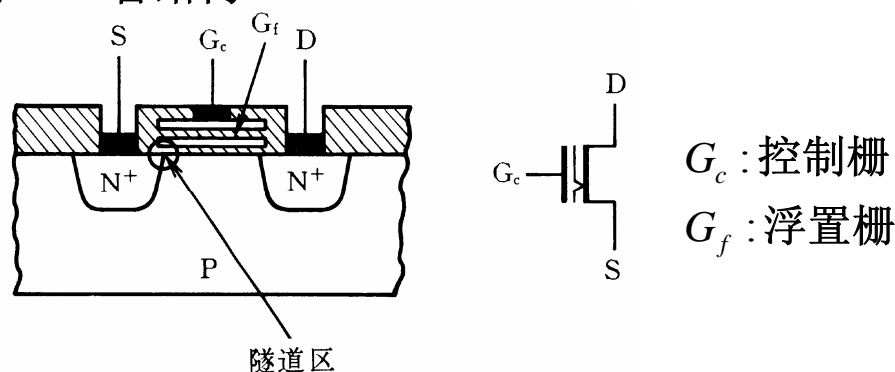
- * 熔丝由易熔合金制成；
- * 出厂时，每个交叉点都制作了存储元件
- * 编程时将不用的熔丝烧断
- * 写入时，要使用编程器



3 用电信号擦除的可编程只读存储器——闪存(Flash Memory)

- 总体结构与掩模ROM一样，但存储单元不同

(1) 浮栅MOS管结构



(2) 浮栅MOS管工作原理

若 G_f 上未充负电荷，则 G_c 处正常逻辑高电平下导通

若 G_f 上充以负电荷，则 G_c 处正常逻辑高电平下不导通

(3) Flash工作原理

向 G_f 充电利用雪崩注入方式，

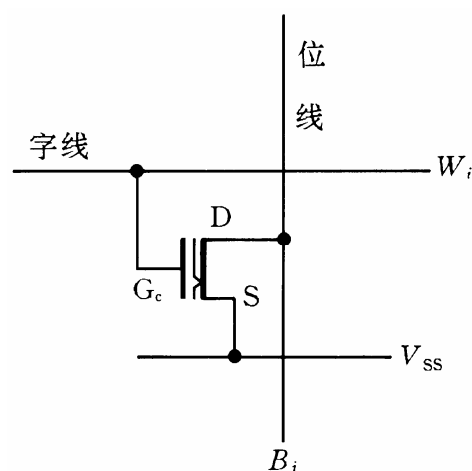
$D-S$ 加正压 (6V)， V_{SS} 接0

G_c 加12V, 10 μ s的正脉冲

G_f 放电，利用隧道效应

$G_c = 0$, V_{SS} 加12V, 100ms的正脉冲

G_f 上电荷经隧道区放电



§ 5.5 存储器

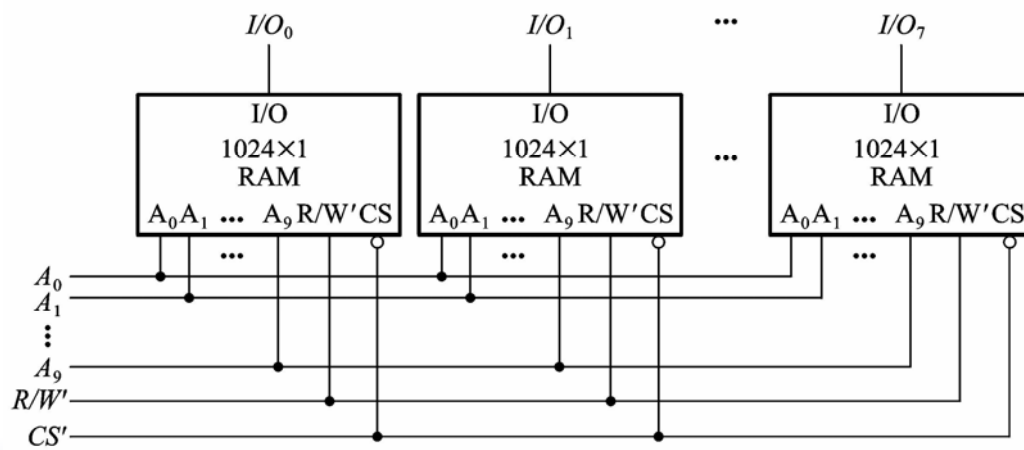
5.5.4 存储器容量的扩展

一、位扩展方式

适用于每片**RAM,ROM**字数够用而位数不够时

接法：将各片的地址线、读写线、片选线并联即可

例：用八片**1024 x 1位** → **1024 x 8位**的**RAM**



2022-9-9

第五章 半导体存储电路

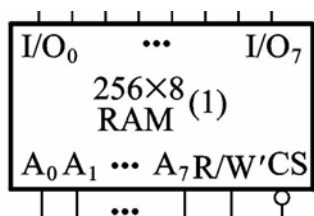
49

§ 5.5 存储器

二、字扩展方式

适用于每片**RAM,ROM**位数够用而字数不够时

例：用四片**256 x 8位** → **1024 x 8位** **RAM**



用 A_9, A_8 两位代码区分四片

即将 A_9, A_8 译成 $Y'_0 \sim Y'_3$, 分别接四片的 CS'

| A_9 | A_8 | Y'_0 | Y'_1 | Y'_2 | Y'_3 |
|-------|-------|--------|--------|--------|--------|
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |

数据线： $I/O_0 \sim I/O_7$

地址线： $A_0 \sim A_7$

读/写信号： R/W'

片选信号： CS'

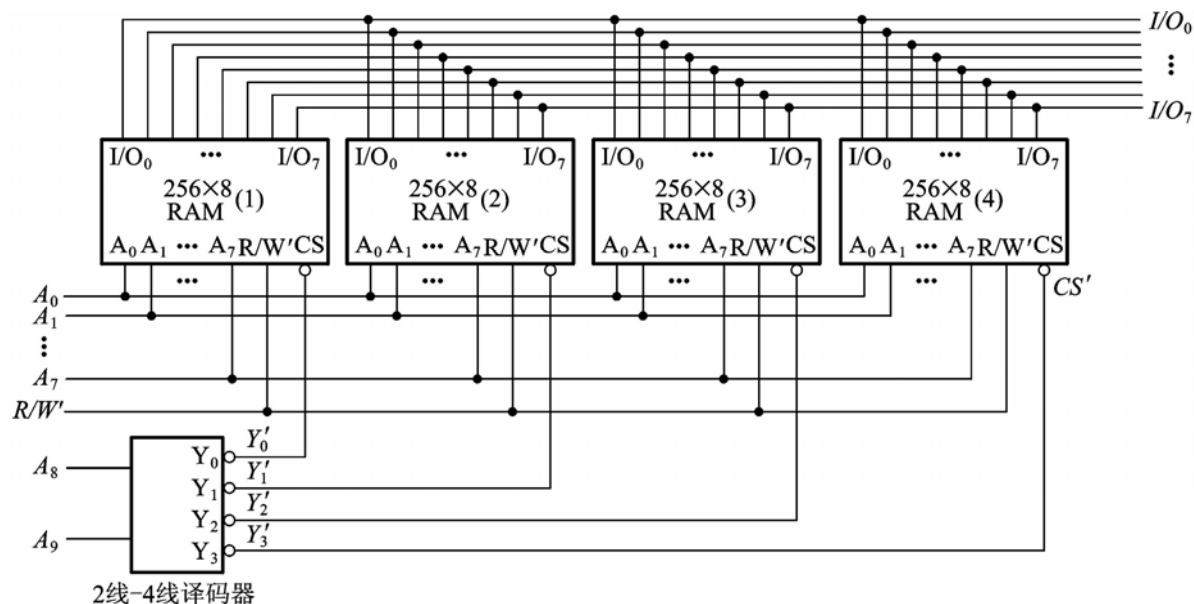
2022-9-9

第五章 半导体存储电路

50

§ 5.5 存储器

例：用四片256 x 8位→1024 x 8位 RAM



2022-9-9

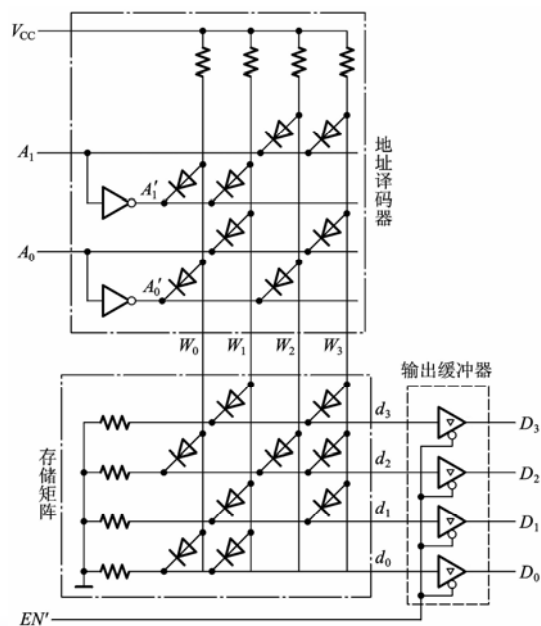
第五章 半导体存储电路

51

§ 5.5 存储器

5.5.5 用存储器实现组合逻辑函数

一、基本原理



| 地 址 | | 数 据 | | | |
|----------------|----------------|----------------|----------------|----------------|----------------|
| A ₁ | A ₀ | D ₃ | D ₂ | D ₁ | D ₀ |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 |

从ROM的数据表可见：
若以地址线为输入变量，
则数据线即为一组关于地
址变量的逻辑函数。

2022-9-9

第五章 半导体存储电路

52

§ 5.5 存储器

二、举例

例5.5.2 用ROM产生如下一组多输出逻辑函数：

$$\begin{cases} Y_1 = A'BC + A'B'C \\ Y_2 = AB'CD' + BCD' + A'BCD \\ Y_3 = ABCD' + A'BC'D' \\ Y_4 = A'B'CD' + ABCD \end{cases}$$

解：最小项之和为

$$\begin{cases} Y_1 = \sum m(2,3,6,7) \\ Y_2 = \sum m(6,7,10,14) \\ Y_3 = \sum m(4,14) \\ Y_4 = \sum m(2,15) \end{cases}$$

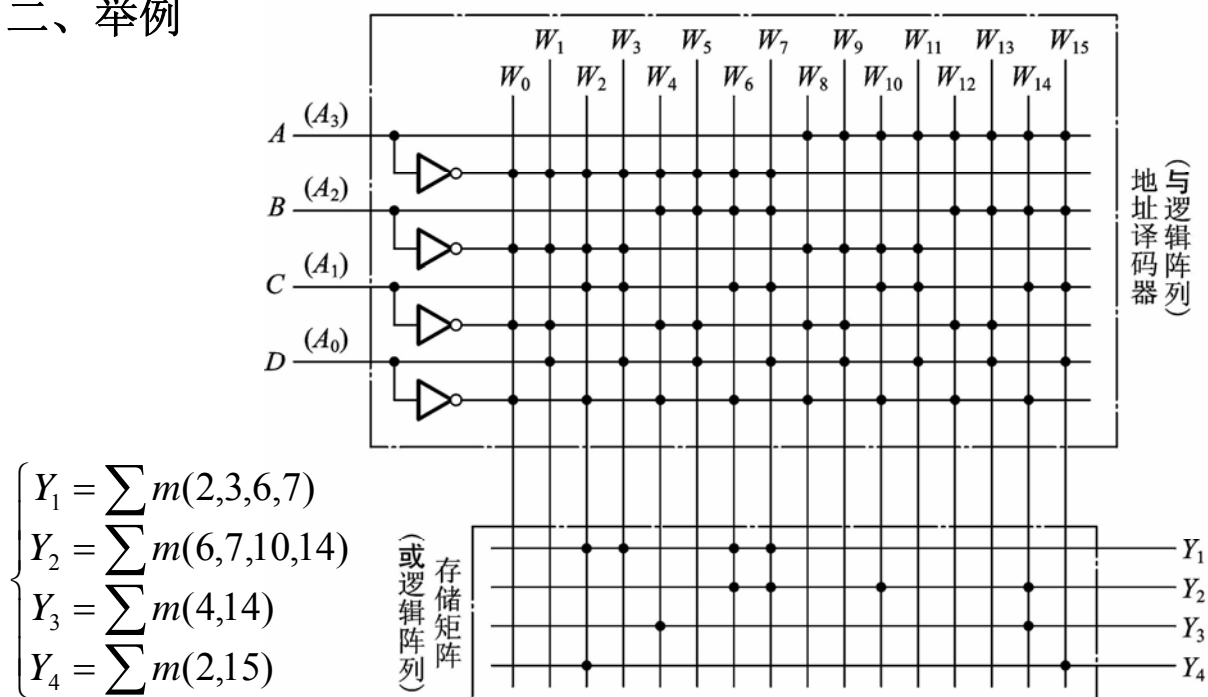
2022-9-9

第五章 半导体存储电路

53

§ 5.5 存储器

二、举例



2022-9-9

第五章 半导体存储电路

54