



中国科学技术大学

数字逻辑电路习题课讲义

学 院：信息科学技术学院

班 级：2022 秋数字逻辑电路 05 班

主 讲：高源

日 期：2022 年 11 月 30 日

目录

1 前言	2
2 考点总结	3
2.1 第一章 数制和码制	3
2.2 第二章 逻辑代数基础	4
2.3 第三章 门电路	7
2.4 第四章 组合逻辑电路	9
2.5 第五章 半导体存储电路	11
2.6 第六章 时序逻辑电路	12
2.7 第七章 脉冲波形的产生和整形电路	15
2.8 第八章 数—模和模—数转换	16
3 习题精选	17

前言

亲爱的 2022 秋数字逻辑电路 05 班的同学们：

你们好！

很开心这学期能和大家一起学习数字逻辑电路这门课程。因为受到疫情的影响，这学期我们经历过线下、线上多种不同的授课模式，目前后半程的学习以及期末考试也存在着一定的变数。在这种情况下，能够理解大家在学习会遇到一定的困难，以及学习心态上可能存在的起伏。

这学期是我第六个学期担任本科生课程助教，也曾经有过 2020 年春季学期线上授课、开学考试模式下作为课程助教为同学们课程学习保驾护航的经历，对于不同情形下开展习题课、答疑课以及考试辅导等都有着一定的经验。希望大家对数字逻辑电路这门课程的学习保持信心，请相信无论遇到什么问题，我会利用我的所学和大家一起想办法克服困难，有我在，不必担心。

在第一次习题课中我们梳理了前半个学期课程学习中的一些重难点，包括多输出逻辑函数化简、卡诺图的理解和使用、CMOS 电路的分析方法、组合逻辑电路功能分析技巧、组合逻辑功能扩展方法等。第二次习题课主要基于一份往年试卷来讨论课程中所学的各种疑难、易错问题，以及分享考试答题规范和得分技巧。而这一份讲义是对这门课程中考点的总结、细节问题的技巧分享以及部分代表性题目的整理，供大家在后半程课程学习和考前复习的时候使用。

祝好！

高源

2022 年 11 月 30 日

于隔离宾馆

考点总结

2.1 第一章 数制和码制

1. 数制转换。例：将十进制数 20.22 转换为等值的十六进制数。
 - 十进制转换八进制、十六进制可以通过转换二进制过渡。
 - 十进制转换二进制：整数除 2 取余倒序，小数乘 2 取整正序。
 - 有效数字问题：如果题目没有要求，默认保留三位有效数字（如果“乘不尽”）。
2. 二进制运算。例：使用四位加法器实现三位二进制数乘 3 运算。
 - 二进制运算都通过转换为加法来实现。二进制减法——加上补码；二进制乘法——移位相加（原码）；二进制除法——移位相加（补码）。
 - 注意总结二进制算术运算的特点（输入输出位数，数值关系等），在组合逻辑电路功能分析中可能有应用。
3. 二进制补码运算。例：用二进制补码计算完成减法 $21-5$ 。
 - 首先根据运算的操作数和结果的绝对值最大值确定补码的位数（如果补码位数少了可能导致溢出，结果出错）。
 - 结果验证。补码可以看成一种加权码，和一般的二进制码区别在于最高位权值需要加上负号。
4. 一般补码运算。例：设计余三循环码的补码电路。
 - 补码的概念。补码本身是基于模运算概念提出的，常见二进制补码是以 2 的幂指数作为模。遇到实际问题要考虑模具体是多少，比如研究 BCD 码的补码问题时，模应该为 10。
5. 十进制数和十进制代码的转换。例：将 4.3 转换为余三码。
 - 每一位都转换为对应的十进制代码即可。

6. 常用编码。例：时序逻辑电路设计题目，要求状态编码采用余三循环码。

- 熟练掌握各种常用编码方案。
- 常见编码和二进制编码的关系，例如格雷码。
- 二进制码转换为格雷码方法：格雷码的最高位（最左边）与二进制码的最高位相同；从左到右，逐一将二进制码相邻的两位异或，作为格雷码的下一位。
- 格雷码转换二进制码方法：二进制码的最高位（最左边）与格雷码的最高位相同；从左到右，逐一将产生的二进制码和下一位相邻的格雷码异或，作为二进制码的下一位。

2.2 第二章 逻辑代数基础

1. 基本逻辑运算符号表示。例：给出矩形轮廓符号构成的电路图，写出逻辑函数式。

- 特定外形符号和矩形轮廓符号都要掌握。

2. 逻辑函数化简。例：请使用公式法将逻辑函数式化简为最简与或非式。

- 逻辑函数化简题目一定要先检查是否指明方法。
- 注意检查化简目标，不一定都是最简与或式。

3. 公式法化简。例：利用公式法将逻辑函数化简为最简与或式。

- 公式法化简需要掌握“逻辑代数的基本公式和常用公式”和逻辑代数基本定理（特别是反演定理）。
- 公式法化简之后建议用卡诺图法验证。
- 如果没有思路的话，可以先用卡诺图法，从画圈的方式寻找启发，或者直接用并项法合并对应的最小项。
- 在过程书写方面，不需要把每一步化简所要用的“逻辑代数的基本公式和常用公式”写出来，但是要有必要的过程（至少得写两行过程，不然改卷人很难看出来你是咋做的对吧）。

4. 逻辑代数基本定理。例：写出 $Y = AB + (C + D)'$ 的对偶式。

- 反演定理。逻辑式中“.”和“+”互换，“0”和“1”互换，原变量和反变量互换，需遵守“先括号、然后乘、最后加”的运算优先次序，同时注意不属于单个变量上的反号应保留不变。
- 对偶定理。逻辑式中“.”和“+”互换，“0”和“1”互换。

5. 逻辑函数不同表示形式之间的转换。例：根据波形图画出逻辑电路图。

- 注意真值表的特殊地位。真值表是最直观的一种表达，是连接电子世界和语义世界的桥梁，无论是 CMOS 电路分析，还是组合逻辑电路分析与设计，真值表都是其中至关重要的组成部分。掌握了真值表的应用，对于学好这门课程有着重要意义。

6. 最小项之和与最大项之积标准形式。例：将或与形式逻辑函数

$$Y = (A + B + C)(A' + B + C')(A + C' + D')(A' + D)(B + C + D')$$

化简为最简与或式。

- 最大项之积部分标星号，不属于考察内容，但是在处理或与形式的逻辑函数，可以用最大项之积和最小项之和的关系将其转换为熟悉的最小项之和形式。在使用最大项的时候，注意其编号和最小项编号的区别。
- 最小项之和是逻辑函数的标准形式，任何逻辑函数都可以表示为最小项之和形式。因此，能够产生（一定变量数）所有最小项的译码器和数据选择器可以被用来设计任何组合逻辑电路。
- 真值表、卡诺图，这两种重要的工具，本质上就是最小项之和的“图形化表达”。

7. 卡诺图法化简。例：将逻辑函数

$$Y(A, B, C, D) = \sum m(2, 3, 4, 5, 6, 7, 12, 13) + d(10, 14, 15)$$

化简为最简的与或非式。

- 卡诺图法化简本质上是利用“几何相邻”表征“逻辑相邻”。当变量数不超过 4 的时候“几何相邻”还比较直观，但随着变量数继续增加，“几何相邻”不再直观，即此时卡诺图法的优势不再明显，此时可以基于“翻折”想法来寻找“几何相邻”。想象一张 n 变量的卡诺图，以一条和空白空间的分界线作为对称轴进行对折，翻折前后的两部分分别对应新增变量取值 0 和 1，在这个过程中，翻折前部分的几何相邻保持，翻折产生的部分继承几何相邻，同时整体新增的几何相邻按照“翻折前后对应部分几何相邻”来确定。同时按照这个思路来理解卡诺图，可以避免同学们在使用卡诺图时出现的一个问题——在画四变量逻辑函数卡诺图的时候，标注 00-01-10-11（实际应为 00-01-11-10，这个不难理解，翻折前是 0-1，然后翻折后在没有添加新变量取值前是 0-1-1-0，在原始部分填入 0，即 00-01，新增部分填入 1，即 11-10，所以为 00-01-11-10）。

- 卡诺图法化简易错点：“几何相邻”没有找全，例如四变量卡诺图的四个角。
- 有无关项的逻辑函数、多输出的逻辑函数，直接采用卡诺图法化简。
- 在卡诺图上圈 0 求反即可获得最简与或非式（圈 0 就是最简反函数）。
- 注意，卡诺图一定要画完整，无论是 0、1 还是 \times ，都要画出来，逻辑变量要标注清楚。

8. 多输出逻辑函数化简。例：对多输出逻辑函数

$$\begin{cases} Y_1(A, B, C, D) = \sum(3, 4, 5, 6, 7, 8, 9, 12, 13, 14, 15) \\ Y_2(A, B, C, D) = \sum(2, 3, 4, 6, 7, 12, 14) \\ Y_3(A, B, C, D) = \sum(2, 6, 8, 9) \end{cases}$$

整体进行化简。

- 在第一次习题课的时候分享了一种处理方法，在这里简要回顾。在分析解决方案之前，我们首先分析，这个问题的目标和难点在哪里。目标的话比较明确，合理利用公共项，使得逻辑函数整体最简。难点的话也比较明显，有了“合理”这种修饰，往往就是难点所在，就像做我在学习做中餐的时候遇到菜谱上的“食盐适量，酱油和陈醋少许”，内心 os 就是“适量是多少？啥叫少许？”
- 首先，我们分析得到，难度在于怎么确定公共项的使用。而为了确定性地解决这一问题，我们的思路是，通过一些明确的画圈方式逐步减小不确定性。为此，我们对卡诺图中的最小项进行分类。以上面的例题为例，我们对这个三变量逻辑函数中的最小项分为三类，分别是：只在一张卡诺图中出现的最小项，在两张卡诺图中出现的最小项和在三张卡诺图中都出现的最小项。对于只在一张卡诺图中出现的最小项，显然没有利用公共项的这一选择，因此可以明确地直接在一张卡诺图中按照我们熟悉的方式进行画圈。解决完这一类后，继续处理第二类。在处理这一类的时候，首先分别在两张图中单独对这一类最小项（没有被第一类的卡诺圈包含的）进行画圈，并取二者中被对方包含的那一个卡诺圈（如果一张图中这一类最小项已经被上一类画圈时圈掉了，此时对这个最小项来说就默认他的圈是最大的）。完成了这一类后继续处理第三类最小项，类似地，对于此时卡诺图中仍然没有被处理的最小项，分别在三张图中独立化简，再根据卡诺圈的关系进行确定，直到所有最小项都被处理。

9. 无关项的概念。例：无关项的组成。

- 注意约束项和任意项的区别。

- 组合逻辑电路中的“伪码”和时序逻辑电路设计中“任意次态”在逻辑函数表达中都作为无关项处理。

10. 逻辑函数式不同表示形式之间的转换。例：用与非门实现某组合逻辑电路。

- 示例

$$\begin{aligned}
 Y &= AC + BC' \\
 &= ((AC)'(BC')')' \\
 &= (A'C + B'C')' \\
 &= (A + C')(B + C) \\
 &= ((A + C')' + (B + C)')'
 \end{aligned}$$

- 主要基于反演定理，用到的技巧是 $Y = (Y')'$ 。

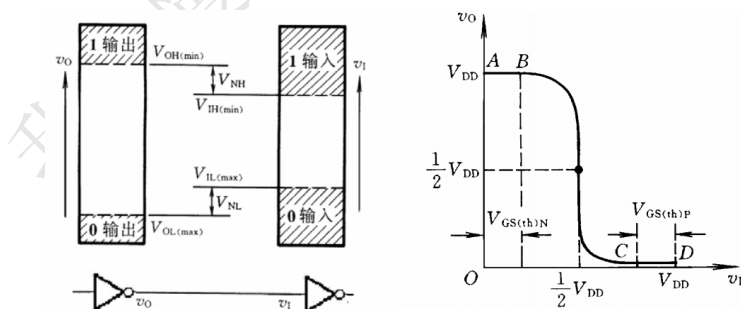
2.3 第三章 门电路

1. 正负逻辑。例：正逻辑的与或非门对应负逻辑的。

- 门电路的本质描述是高低电平表，而非真值表。

2. 门电路输入端噪声容限。例：门电路输入端噪声容限的概念是。

- 在输出高、低电平变化允许范围内，允许输入高、低电平的波动范围称为输入端噪声容限。



$$V_{NH} = V_{OH(\min)} - V_{IH(\min)}$$

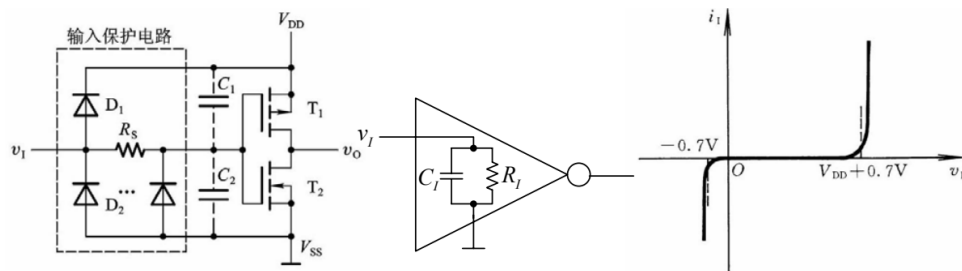
$$V_{NL} = V_{IL(\max)} - V_{OL(\max)}$$

- 理解噪声容限。从通信角度理解，前一级的输出是后一级的输入，从模拟量看二者相等，对于数字电路里的通信来说，要求数字量二者相等，即前一级输出了 1 后一级的输入也要求是 1，因此后一级的输入要求在输入高电平范

围内。如果噪声使得后一级的输入从数字量上讲和前一级不同，则电路工作出错，因此对于噪声的取值范围有要求。

- 可以通过提高 V_{DD} 来提高噪声容限。

3. 输入保护电路。例：在分析脉冲波形产生和整形电路时常常会遇到电压突变，注意有时候会受到 CMOS 输入保护电路二极管钳位的影响。



- 当 $0 \leq v_I \leq V_{DD}$ ，输入端保护电路不起作用。
- 当 $v_I > V_{DD} + V_{DF}$ 时， D_1 导通；当 $v_I < -V_{DF}$ 时， D_2 导通。

4. 门电路功耗计算。例：计算 CMOS 反向器的总功耗。已知电源电压 $V_{DD} = 5\text{ V}$ ，静态电源电流 $I_{DD} = 1\mu\text{A}$ ，负载电容 $C_L = 100\text{pF}$ ，功耗电容 $C_{PD} = 20\text{pF}$ 。输入信号重复频率 $f = 100\text{kHz}$ 。

- 负载电容充放电功耗。

$$P_C = C_L f V_{DD}^2$$

- 瞬时导通功耗。

$$P_T = C_{PD} f V_{DD}^2$$

- 总的动态功耗

$$P_D = P_T + P_C = (C_L + C_{PD}) f V_{DD}^2$$

- 静态功耗可以忽略。

5. 扇出系数。例：扇出系数的定义是。

- 定义：门电路能够驱动同类门的最大数目。
- 特点：随着开关频率的升高，扇出数将随之下降。

6. CMOS 门电路分析。例：请写出图中 CMOS 门电路的输出逻辑表达式。

- 模块化方法。横向分级，纵向互补。首先根据上拉管和下拉管满足结构互补，来划分模块。对于一个模块只需要根据下拉管分析功能：串联——与，并联——或，最后取反。

- 真值表法。对于每一种输入组合，分析电路中关键管子的通断，确定输出电平，画出真值表。

7. OD 门上拉电阻取值范围分析。例：教材习题 3.10。

- OD 门输出为高电平时

$$R_{L(\max)} = \frac{V_{DD} - V_{OH}}{nI_{OH(\max)} + mI_{IH(\max)}}$$

- OD 门输出为低电平时

$$R_{L(\min)} = \frac{V_{DD} - V_{OL}}{I_{OL(\max)} - m'|I_{IL(\max)}|}$$

8. 三态门、传输门。例：三态门能够输出的三种状态是。

- 逻辑电路分析题目，如果遇到三态门、传输门，一定要注意，输出可能包含高阻态 Z 。
- 三态门的结构不是固定的，控制端可能高电平有效/低电平有效，输出可能有/无反相器，在分析具体题目的时候一定要根据题目所给电路图进行分析。

2.4 第四章 组合逻辑电路

1. 组合逻辑电路分析。例：分析电路实现的功能。

- 流程：逻辑电路图 \rightarrow 逻辑函数式 \rightarrow 真值表 \rightarrow 自然语言描述。
- 功能分析：一般为算术功能。可以概括为四类：二进制算术运算，任意进制补码运算，代码转换和其他（分析输出变量取 1 对应输入的模式，用自然语言描述）。

2. 组合逻辑电路功能分析。解题的时候可以根据真值表的特点对其功能进行一个 4 分类任务。具体地，

- 代码转换往往是常见十进制代码，输入和输出个数相同，都是 4 个，并且不存在不同输入对应相同输出，根据这一特点可以判断是否属于代码转换。
- 补码运算的输入输出个数相同，并且输入和输出按照二进制解析，求和为定值，按照这一规律可以判断是否属于补码运算。
- 二进制算术运算的输入输出个数上面没有固定规律，所以我们分别对加减乘除进行分析。例如，对于加法运算，为了简单只讨论 1 位操作数。这种情况

下，输入至少包含 2 位分别对应 2 个加数，输出至少包含 1 位对应当前位求和结果，除此以外，对于半加器来说输出多了一位进位输出，进一步对于全加器来说输入多了一位进位输入。也就是说，对于加法运算来说，常见的输入输出数量组合是 2/1，2/2 和 3/2。其他几种运算同理分析。

- 如果不属于上述三类，则可以归纳为第四类——“其他”。对于这种类型，一般来说输出往往只有一个（如果不是的话，那就独立地讨论每一个输出变量），我们处理方式观察真值表输出的特点，用自然语言来描述，可以写，在哪些输入组合下输出高（低）电平，比如“当输入中 1 的个数为偶数的时候输出 Y 为高电平”。

3. 组合逻辑电路设计。例：设计二进制除法电路。

- 流程：自然语言描述 → 真值表 → 逻辑函数式 → 逻辑电路图。
- 逻辑抽象：确定逻辑变量数及其含义。如果题目中没有给出，在答题的时候一定要写清楚。
- 基于中规模器件的设计：一般情况下会考察基于译码器或数据选择器的设计，实际上就是利用二者生成的最小项来实现。部分题目会考察基于加法器的设计，需要将逻辑函数表示为逻辑变量以及常数之间的算术运算。
- 注意译码器和数据选择器在设计任意组合逻辑函数时候的区别和联系。二者之所以可以被用来产生一定变量数的任意逻辑函数，是因为其输出空间恰好包含了满足一定变量数的逻辑函数所有最小项。二者的区别在于，译码器可以实现多输出，而数据选择器只能实现单输出，因此如果要用数据选择器实现多个逻辑函数时，首先要想到，一定是需要用多个芯片来实现，不要再对着一片芯片发呆。同时，注意二者生成逻辑函数的变量数。
- 基于中规模器件的设计，在画图的时候，一定要注意，除了数据端外，其他各个端子都要检查，输入是否都处理好（对于 HC 系列芯片输入不得悬空否则可能发生芯片烧毁，对于 LS 系列芯片输入悬空相当于高电平输入，但是不建议养成这种习惯，避免在考试时候出错），输出是否标注清楚。

4. 功能扩展。例：用两片三线八线译码器实现某四变量逻辑函数。

- 流程：输入分配；片间关系确定；输出获取。
- 在实际考试的时候，有可能显式地要求实现某一款常见芯片的功能扩展，也有可能隐式地考察，比如要求用 3 位地址输入的数据选择器实现 5 变量逻辑函数，此时一片芯片无法实现因此需要功能扩展。
- 习题课分享的处理方案是一种经验性的策略，并不能确定性地解决每一种芯片的功能扩展问题，不过可以作为启发，供大家思考。同时，由于考试实际

会考察的功能扩展主要是针对课堂上讲过的常见芯片，因此从应试角度来说，记住每一种芯片的功能扩展即可应对这一类问题。同时，针对上面提到的隐式考察问题，能够用来设计一定变量数的任意逻辑函数的芯片只有数据选择器和译码器，因此建议读者掌握（不管以哪种方式，理解还是记忆）这两种芯片的功能扩展方式。

5. 组合逻辑型 PLA。例：写出 PLA 电路的输出逻辑函数。

- 与或逻辑阵列。

6. 竞争冒险现象。例：什么是组合逻辑电路中的竞争—冒险现象，有哪些方法可以消除。

- 竞争：门电路两个输入信号同时向相反的逻辑电平跳变的现象。
- 竞争-冒险：因竞争而在电路输出端可能产生尖峰脉冲的现象。
- 消除方法：接入滤波电容；引入选通脉冲；修改逻辑设计。

2.5 第五章 半导体存储电路

1. SR 锁存器、触发器的不定状态。例：绘制波形图。

- SR=11 时，状态是确定的（但不是正常工作状态 0 状态或 1 状态） $Q = Q' = 1$ 。
- SR=11 后紧跟着 SR=00，此时状态“不定”，画图的时候直接写“不定”两个字即可。
- SR=11 后跟着 SR=10 或 SR=01，状态仍然是确定的，分别是 1 状态和 0 状态。
- 对于电平触发的 SR 触发器，如果有效电平期间 SR=11 后 CLK 有效电平消失，此时和上面所述“SR=11 后紧跟着 SR=00”是一类问题。

2. 触发器的两个重要特性。例：按照触发方式分类有哪几种，其中哪种抗干扰能力最强。

- 逻辑功能和触发方式，二者独立。
- 在实际解题的时候，一定要注意综合考虑两个重要特性，否则可能会遇到一些易错点，例如习题课上说过的一个时序逻辑电路设计问题。

3. 触发器电路分析。例：绘制波形图。

- 首先根据触发方式确定可能动作的时刻（用虚线标出，和 CLK 对齐）以及影响动作的输入作用的时刻或时间段；然后根据逻辑功能在上述时刻或时间段分析动作情况。
 - 注意异步 CLK 和异步置零/置位。
 - JK 触发器一次翻转问题。
 - 如果在答题纸上作答，要画出 CLK。
 - 用虚线对齐表示时序关系。
 - 建议铅笔、直尺作图。
4. ROM 点阵图。例：如图是某 PROM 电路编程后的点阵图，请列出数据表。
- 数据表：形式和真值表类似，输入是地址，输出是存储的数据。
 - 地址是与阵列，存储矩阵是或阵列。
5. 存储器容量。例：.256K×16 位的 RAM 芯片，其地址线有多少条，数据线有多少条。
- 容量计算。作业题目中有涉及。注意单位问题：位还是字节。
 - 容量扩展。字扩展怎么实现，位扩展怎么实现。同时扩展，先位扩展再字扩展。
6. 利用存储器实现组合逻辑函数。
- 从 ROM 的数据表可见：若以地址线为输入变量，则数据线即为一组关于地址变量的逻辑函数。

2.6 第六章 时序逻辑电路

1. 时序逻辑电路分类。例：时序逻辑电路根据动作特点可以分为，根据哪个指标可以分为米利型电路和穆尔型电路。
- 米利 (Mealy) 型电路：输出信号不仅取决于存储电路的状态，还取决于输入变量。
 - 穆尔 (Moore) 型电路：输出信号仅取决于存储电路的状态。
2. 时序逻辑电路分析。例：分析如图所示时序逻辑电路的功能。

- 流程：写出每个触发器的驱动方程；列出每个触发器的特性方程；根据驱动方程和特性方程得到状态方程；根据逻辑图写出输出方程；画出状态转换表、状态转换图。
- 功能分析：时序逻辑电路功能分析比较简单，有效循环有几个状态，答案就是几进制计数器。特别地，如果状态编码按照某特定规律变化，答案可以为加减法计数器、格雷码计数器等。
- 注意状态变量编号要和题目中保持一致。

3. 状态转换图。例：根据图示电路列出状态转换图。

- 画状态转换表/状态转换图的时候，所有状态都要出现。
- 注意在图中标注出逻辑变量，包括状态变量和输入输出，同时注意状态变量编号顺序。

4. 状态转换表。例：根据图示电路列出状态转换表。

- 两种形式。

Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Q_1^*	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

或者

CLK	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0

5. 时序逻辑电路设计。例：设计串行数据检测电路。

- 流程：逻辑抽象；状态化简；状态分配；选定触发器类型，求出状态方程，驱动方程，输出方程；画出逻辑图；检查自启动。
- 逻辑抽象：确定输入、输出变量数和电路状态个数，定义输入输出变量和电路状态的含义，并给电路状态编号，进而画出状态转换图、列出状态转换表。
- 状态化简：两个状态在相同的输入下有相同的输出，并转换到同一个次态，则称为等价状态，可以合并。
- 状态分配：确定触发器数目，给每个状态指定一个代码（常见的，二进制码、格雷码等）。
- 器件选型：上述讨论的都是针对逻辑功能，在绘制电路图的时候需要表达出所选器件的触发方式，由于逻辑功能与触发方式独立，所以一般情况下触发方式可以任意选择。但是，如果题目中指出了触发方式，例如给出波形图，则必须按照题目要求进行器件选型。
- 求解驱动方程的时候，可以采用对照法或驱动表法（第二次习题课将以一道往年期末题来讨论这一点）。
- 自启动设计。如果要求设计的电路自启动，有两种思路。一是，在确定状态转换图的时候，合理分配无效状态的次态，使得其最终都能进入有效循环；二是，设计的时候先不考虑，然后检查自启动，如果不能自启动再有针对性地修改状态转换图。详见《数字逻辑电路学习指导》中介绍的移位寄存器自启动设计。

6. 计数器电路。例：分析图中计数器电路是多少进制。

- 每一片是多少进制直接分析有效循环中状态数即可。
- 片间是多少进制，和低位片的进制数一致。
- 整体是多少进制，和计数器系统组成方式有关。如果是串/并行进位，则整体进制数是每一片的进制数的乘积，如果是整体置零/置数，和分析一片的方法一样。
- 注意 ET 影响 C。实际上，这也是符合并行进位设计的逻辑的。一般情况下考试会给出功能表，大概率不会给出逻辑电路图，这一结论可以记忆（但实际上，记住前面说的基本原则足以实现正确解题）。

7. 时序逻辑电路中的竞争冒险现象。例：防止移位寄存器中错移的方法有哪些。

- 防止移位寄存器中错移的方法：接入反相器作延迟环节；接入延迟电容。

2.7 第七章 脉冲波形的产生和整形电路

1. 三种电路识图。例：请指出图中构成了哪种电路。

- 施密特触发电路：利用两个反向器实现（反向器 + 电阻）；利用 555 实现（有输入，三极管所在回路无电容）。
- 单稳态电路。微分型单稳态电路（输入有阻容元件构成的微分电路）；集成单稳态电路 74121；利用 555 实现（有输入，三极管所在回路有电容）。
- 多谐振荡电路。非对称式多谐振荡电路（无输入）；利用 555 实现（无输入）。

2. 关键参数计算。例：计算图中电路的关键参数。

- 施密特触发电路： V_{T+} 和 V_{T-} 。利用两个反向器实现：

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH} \quad V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH}$$

利用 555 实现，分析两个集成运放的正反向输入端电压（电阻分压计算）。

- 单稳态电路：脉冲宽度 t_w ，恢复时间 t_{re} 。微分型单稳态电路：

$$t_w = RC \ln \frac{v_C(\infty) - v_C(0)}{v_C(\infty) - V_{TH}} = RC \ln \frac{V_{DD} - 0}{V_{DD} - V_{TH}} = RC \ln 2 = 0.69RC$$

$$t_{re} = (3 \sim 5) (R // r_{D1} + R_{ON}) C \approx (3 \sim 5) R_{ON} C$$

集成单稳态电路 74121：

$$t_w \approx R_{ext} C_{ext} \ln 2 = 0.69 R_{ext} C_{ext}$$

利用 555 实现：

$$t_w = RC \ln \frac{V_{CC} - 0}{V_{CC} - \frac{2}{3}V_{CC}} = RC \ln 3$$

另外特别注意，分立元件构成的单稳态电路输入端具有微分结构，因此实际输入的脉冲会转化为其要求的“窄脉冲”。但是 555 实现的单稳态电路输入端并不包含微分结构，因此，输入一定要满足“窄脉冲”要求，即在输出恢复的时候输入脉冲必须已经释放，否则电路工作情况将发生改变，建议读者对照电路图自行分析。

- 多谐振荡电路：振荡周期 $T = T_1 + T_2$ 。非对称式多谐振荡电路：

$$T = T_1 + T_2 \approx RC \ln \left(\frac{2V_{OH} - V_{TH}}{V_{OH} - V_{TH}} \cdot \frac{V_{OH} + V_{TH}}{V_{TH}} \right) \approx 2.2RC$$

利用 555 实现：

$$T = T_1 + T_2 = (R_1 + 2R_2)C \ln 2$$

- 充放电过程分析。充放电等效电路绘制，时间常数计算。
3. 石英晶体多谐振荡电路。例：石英晶体多谐振荡器的输出脉冲频率取决于。
- 石英晶体多谐振荡器的输出脉冲频率取决于石英晶体的固有谐振频率 f_0 。
 - 如果看到电路里出现石英晶体，就是告诉我们这里的 CLK 周期。

2.8 第八章 数一模和模一数转换

1. DAC 和 ADC 分析。例：给出完成一次模数转换需要多少时钟周期。
- D/A 转换器：权电阻网络 D/A 转换器，倒 T 形电阻网络 D/A 转换器，权电流型 D/A 转换器。
 - A/D 转换器：并联比较型 A/D 转换器，逐次逼近型 A/D 转换器，双积分型 A/D 转换器，V-F 变换型 A/D 转换器。
 - 掌握上述电路工作原理即可。注意分析的时候常用：工作在线性区的集成运放满足虚短虚断性质，叠加原理
2. 衡量 DAC、ADC 最重要的性能指标。例：衡量该电路性能的最重要两个指标是什么。
- 转换精度、转换速度。
3. 误差分析。例：说明 DAC 输出出现某种误差的原因。
- 造成 D/A 转换器转换误差的原因主要有参考电压 V_{REF} 的波动、运算放大器的零点漂移、模拟开关的导通内阻和导通压降、电阻网络中电阻阻值的偏差以及三极管特性的不一致等。其中 V_{REF} 变化引起的误差和输入数字量大小成正比，也叫比例系数误差；运放零点漂移引起的误差和输入无关，输出特性曲线整体平移；其他几种都是非线性误差，和输入无关，且不是定值。

习题精选

1. 试用二进制补码列式计算-5-7。
2. 请写出二进制码 1001011011101001101 对应的格雷码。
3. 请使用卡诺图法将逻辑函数式

$$Y = (A'C'D' + B'D' + BD) \oplus (A'BD' + B'D + BCD')$$

化简为最简与或式。

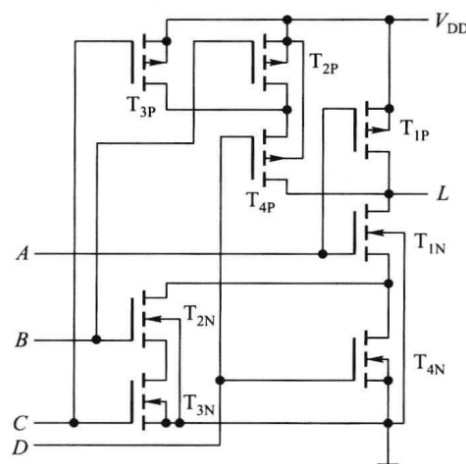
4. 试用卡诺图化简法对一组多输出逻辑函数进行化简

$$Y_1(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 14, 15)$$

$$Y_2(A, B, C, D) = \sum m(0, 2, 3, 6, 7, 10, 11, 12, 13, 15)$$

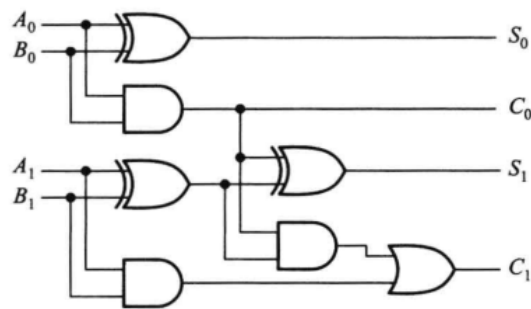
$$Y_3(A, B, C, D) = \sum m(0, 1, 3, 5, 7, 10, 11, 12, 13, 14, 15)$$

5. CMOS 电路如图所示，试写出其输出逻辑函数式。



6. 若 CMOS 门电路工作在 5 V 电源电压下的静态电源电流为 $5\mu\text{A}$ ，在负载电容 C_L 为 100pF，输入信号频率为 500kHz 时的总功耗为 1.56 mW，试计算该门电路的功耗电容的数值。

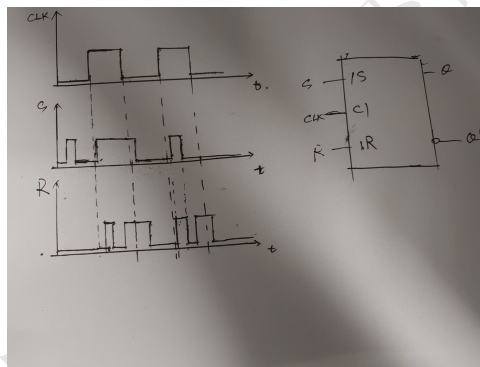
7. 组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。



8. 试用双四选一数据选择器设计逻辑函数

$$\begin{cases} Y_1 = A'B'C'D + A'B'CD' + AB'C'D' + A'BC'D' \\ Y_2 = A'BCD + AB'CD + ABC'D + ABCD' \end{cases}$$

9. 触发器电路如图所示，试画出 Q 端对应的波形，设 Q 的初始状态为 0。

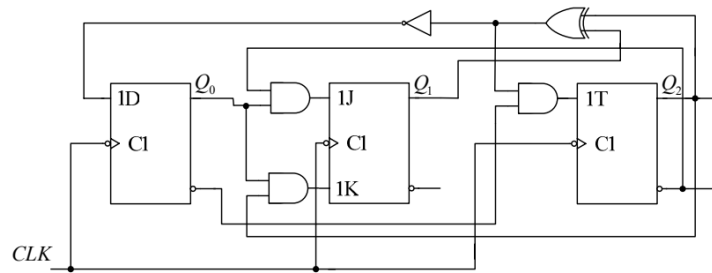


10. 某台计算机的内存储器设置有 32 位的地址线，16 位并行数据输入/输出端，试计算它的最大存储量是多少字节？
11. 用 ROM 设计一个组合逻辑电路，用来产生下列一组逻辑函数。

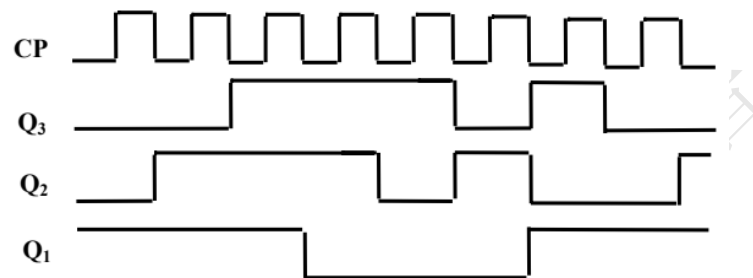
$$\begin{cases} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{cases}$$

列出 ROM 应有的数据表，画出存储矩阵的点阵图。

12. 如图所示，分析由 DFF、JKFF 和 TFF 组成的时序电路。求电路的驱动方程和状态方程，列出状态转换表，画出时序图，说明电路的功能。

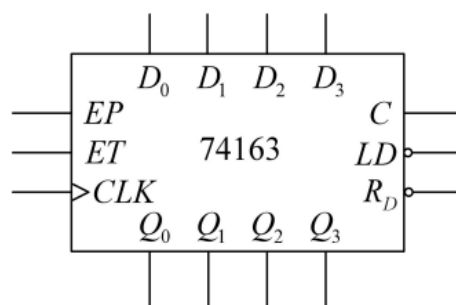


13. 某计数器的输出波形如下图所示。请列出状态转换表，画出状态转换图。若用 T 触发器设计该计数器，请写出最简的驱动方程，并画出电路图。

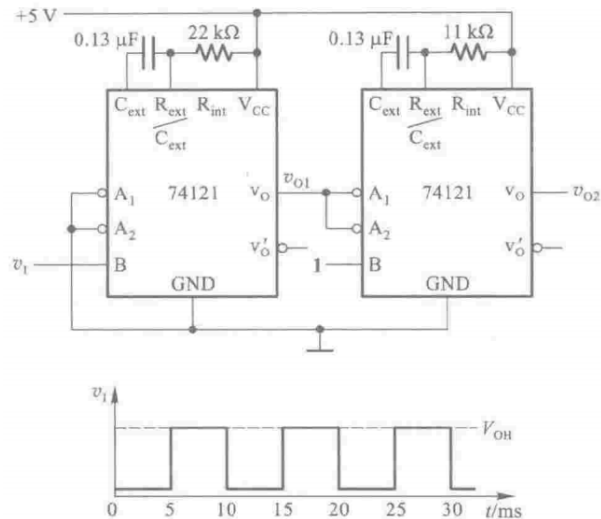


14. 同步十六进制计数器 74163 框图如图所示，试将其接成同步二十进制减法计数器，标出借位输出端。

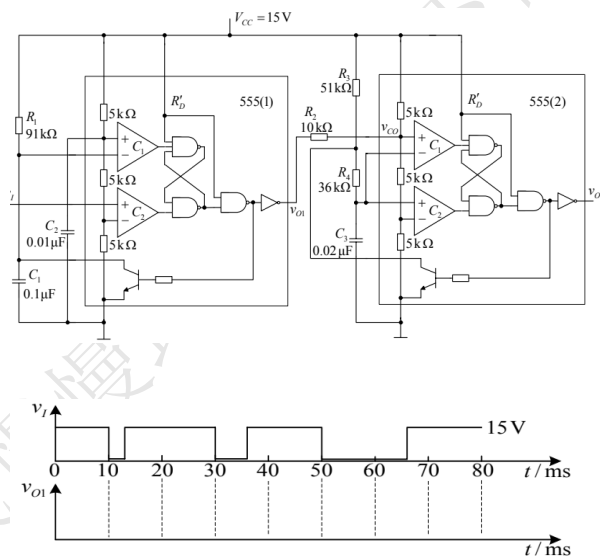
CLK	R_D'	LD'	EP	ET	工作状态
\uparrow	0	\times	\times	\times	置零
\uparrow	1	0	\times	\times	预置数
\times	1	1	0	1	保持
\times	1	1	\times	0	保持 (但 $C = 0$)
\uparrow	1	1	1	1	计数



15. 如图所示是用两个集成单稳态电路 74121 所组成的脉冲变换电路，外接电阻和电容的参数如图中所示，试计算在输入触发信号 v_I 作用下 v_{O1} 、 v_{O2} 输出脉冲的宽度，并画出与 v_I 波形相对应的 v_{O1} 、 v_{O2} 的电压波形。 v_I 的波形如图中所示。



16. 由 2 片 555 构成的电路如图所示。试分析 2 片 555 分别接成了哪种类型的电路，并画出输出 v_{O1} 的波形。555 定时器输出的高电平为 14V，输出电阻可忽略不计，试求解 v_{O1} 为高电平时 v_{O2} 的周期。



17. 如图所示的 D/A 转换器中，已知输入为 8 位二进制数码，接在 AD7520 的高 8 位输入端上， $V_{REF} = 10\text{ V}$ 。为保证 V_{REF} 偏离标准值所引起的误差 $\leq \frac{1}{2}\text{ LSB}$ (现在的 LSB 应为 d_2)，允许 V_{REF} 的最大变化 ΔV_{REF} 是多少？ V_{REF} 的相对稳定性 $\left(\frac{\Delta V_{REF}}{V_{REF}}\right)$ 应为多少？

