

논리회로 이론 및 설계 보고서

2018115809 김도훈

1. and2, or2 모듈

1) and2_tb.v

```
module and2_tb;           //test bench
    wire y_out;
    reg a_in;
    reg b_in;
    and2 U0( .Y (y_out), .A (a_in), .B (b_in) );
    initial
    begin                // test vector
        a_in = 'b0; b_in = 'b1;
        #10 b_in = 'b0; #10 a_in = 'b1; #10 b_in = 'b1;
        #10 a_in = 'b0; #10 b_in = 'b0; #10 a_in = 'b1;
        #10 b_in = 'b1; #10 a_in = 'b0; #10 $finish;
    end
endmodule
```

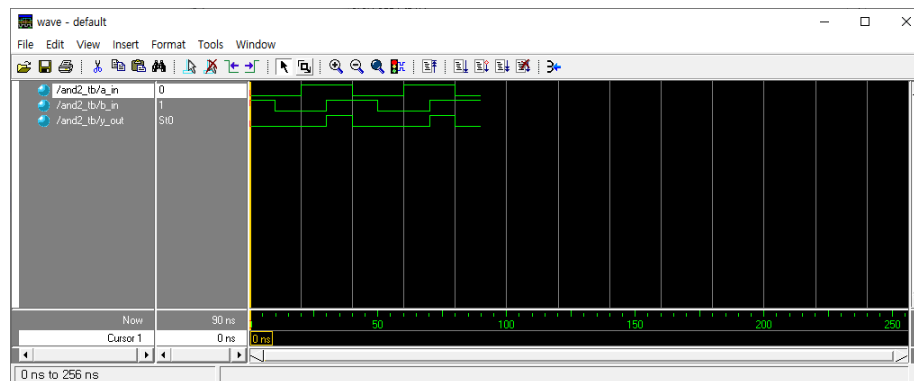


그림 1: 교재 그림 2.5 AND 게이트 타이밍도 재현

2) or2_tb.v

```

module or2_tb;           //test bench
    wire y_out;
    reg a_in;
    reg b_in;
    or2 U0( .Y (y_out), .A (a_in), .B (b_in) );
    initial
    begin                // test vector
        a_in = 'b0; b_in = 'b1;
        #10 b_in = 'b0; #10 a_in = 'b1; #10 b_in = 'b1;
        #10 a_in = 'b0; #10 b_in = 'b0; #10 a_in = 'b1;
        #10 b_in = 'b1; #10 a_in = 'b0; #10 $finish;
    end
endmodule

```

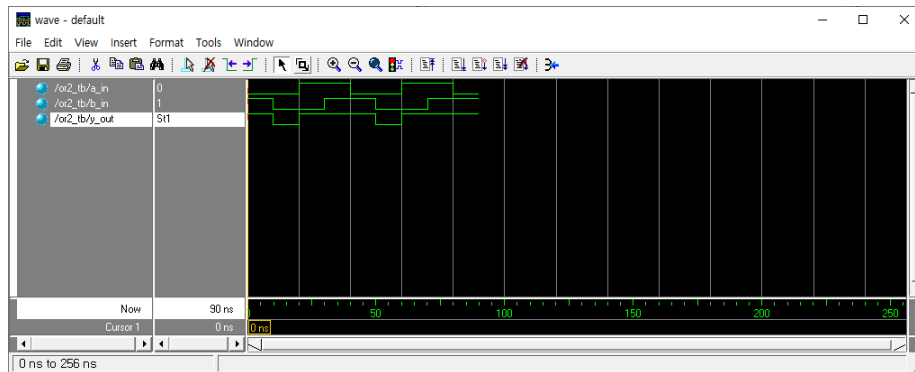


그림 2: 교재 그림 2.7 OR 게이트 타이밍도 재현

수업 시간에 만들어본 Verilog의 and, or 프리미티브를 사용한 and2, or2 모듈의 test bench를 디지털회로 설계의 기초 교재의 그림 2.5, 2.7의 AND, OR 게이트에 대한 타이밍도의 예시에 맞추어 만들고, 시뮬레이션 출력 결과 교재의 타이밍도와 같다는 것을 확인하였다.

2. ripple carry counter 모듈

Verilog HDL 교재 22페이지에는 리플 캐리 카운터의 정상 작동 여부를 확인하기 위한 스티뮬러스 블록의 출력 웨이브 폼이 그림 2-8로 나타나 있다. ModelSim 환경에서 일반적인 방법으로 리플 캐리 카운터를 시뮬레이션시키면 웨이브폼의 세번째줄인 q [3:0]에는 교재의 그림과 같은 숫자는 표시되지 않고, 4비트의 2진 수가 출력된다. 따라서 q의 출력 형태에 0, 1, 2, ..., 14, 15, 0, 1, ... 의 십진수가 표현되도록 만들어주기 위해 Radix를 decimal로 변경해보았지만 7 다음의 수부터 음수로 거꾸로 커지는 현상이 나타난다. 이는 decimal 설정이 최상단비트가 1이면 음수로 간주하는 2의 보수 음수 표현을 사용하기 때문일 것이다. 따라서 Radix를 unsigned로 설정해주는 것으로 교재의 그림과 같은 결과를 얻을 수 있었다.

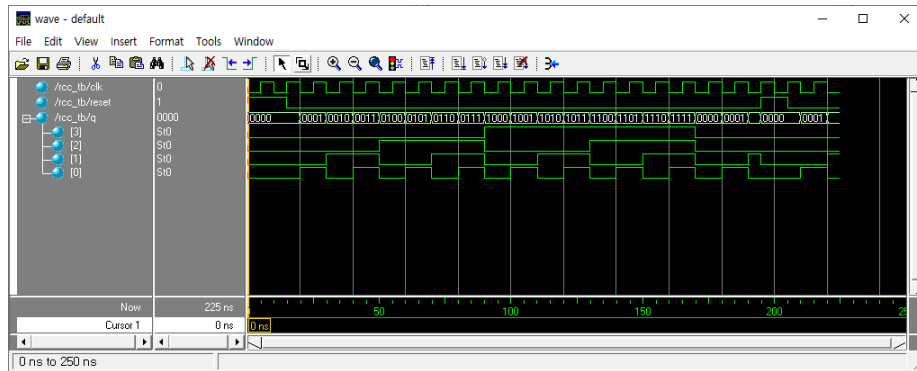


그림 3: 기본 설정 : 2진

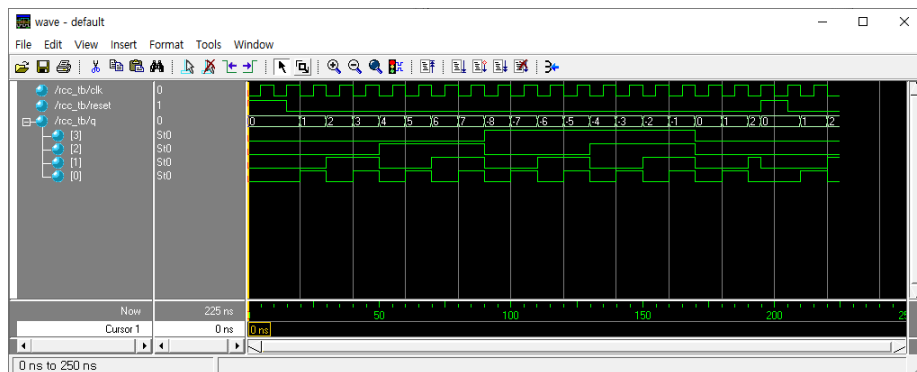


그림 4: Radix > decimal 설정

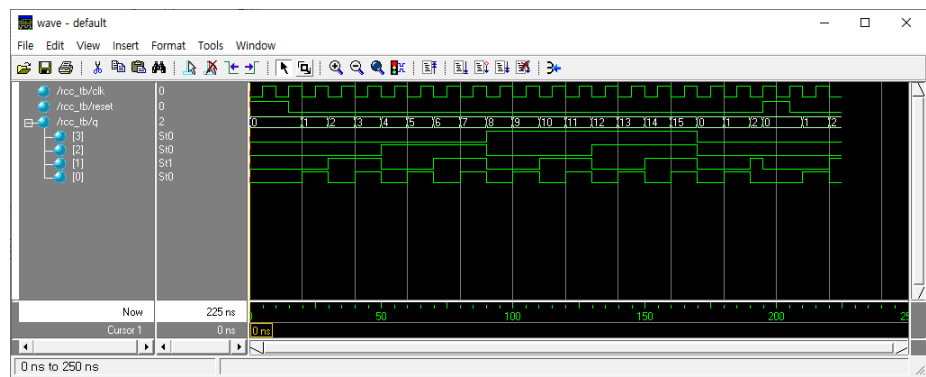


그림 5: Radix > unsigned 설정