

HSC - Hardware/Software Codesign

Filtrace a segmentace obrazu

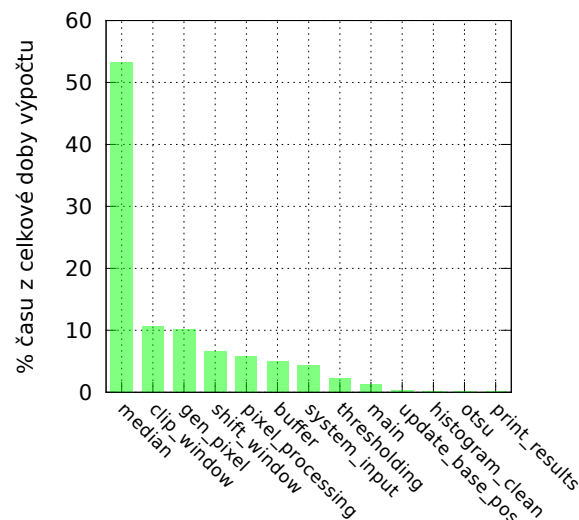
2014/2015

19. prosince 2014

Autor: Radek Ševčík, xsevci44@stud.fit.vutbr.cz
Fakulta Informačních Technologií
Vysoké Učení Technické v Brně

Analýza algoritmu programem gprof

Funkce	% času
median	53,25
clip_window	10,66
gen_pixel	10,13
shift_window	6,55
pixel_processing	5,88
buffer	4,95
system_input	4,33
thresholding	2,22
main	1,30
update_base_pos	0,29
histogram_clean	0,21
otsu	0,15
print_results	0,12



Rozdělení aplikace mezi hardware a software

Software (MCU)	Hardware (FPGA)
otsu	median
print_results	clip_window
	gen_pixel
	shift_window
	pixel_processing
	buffer
	system_input
	thresholding
	update_base_pos
	histogram_clean

Adresový prostor sdílené paměti

Adresa	Využití	Vztah k MCU
0h	Číslo právě vykreslovaného snímku	I/–
1h	Nový práh vypočtený metodou otsu	–/O
2h–9h	Histogram každého 10. snímku	I/–
Ah	Zápis histogramu do paměti dokončen	I/O
Bh	Zápis prahu do paměti dokončen	–/O

Souhrn vlastností FPGA obvodu

Komponenta pro filtraci a segmentaci obrazu

Processes/Blocks in Design

Process	Real Operation(s) count	Latency	Throughput	Reset Length	II
/filter/core	374	4	4	1281	4

Bill Of Materials (Datapath)

Component Name	Area Score	Area(LUTs)	Area(MUX_CARRYs)
TOTAL AREA (After Assignment)	1286.762	1190.000	260.000

Critical Path

Max Delay	34.878882999999995
Slack	5.1211170000000005

Clock Information

Clock Signal	Edge	Period	Sharing Alloc (%)	Uncertainty	Used by Processes / Blocks
clk	rising	40.000	25.00	0.000000	/filter/core

Loops

Loop	Iterations	C-Steps	Total Cycles	Duration	Init
core:rlp	Infinite	1	1287	51.48 us	
histogram:init	640	2	(1280)	(51.20 us)	
main	Infinite	6	6	240.00 ns	4

Loop Execution Profile

Loop	Total Cycles	% of Overall Design Cycles	Throughput Cycles
core:rlp	1	0.08	4
histogram:init	(1280)	0.00	(1280)
main	6	0.47	4

Výsledek syntézy

Design Summary

Logic Utilization:				
Number of Slice Flip Flops:	428	out of	1,536	27%
Number of 4 input LUTs:	1,089	out of	1,536	70%
Logic Distribution:				
Number of occupied Slices:	721	out of	768	93%
Number of Slices containing only related logic:	721	out of	721	100%
Number of Slices containing unrelated logic:	0	out of	721	0%
Total Number of 4 input LUTs:	1,204	out of	1,536	78%
Number used as logic:	1,025			
Number used as a route-thru:	115			
Number used for Dual Port RAMs:	64			
(Two LUTs used per Dual Port RAM)				
Number of bonded IOBs:	68	out of	124	54%
Number of RAMB16s:	3	out of	4	75%
Number of BUFGMUXs:	1	out of	8	12%
Number of DCMs:	1	out of	2	50%
Average Fanout of Non-Clock Nets:	3.25			

Porovnání implementací sw a swhw

	sw	swhw
Průměrná doba pro zpracování 1 pixelu [μ s]	429,964	0,160
Počet bodů zpracovaných za vteřinu	2 325,776	6 250 000,000
Zrychlení	1,000	2 687,275

V době zpracování jednoho pixelu u čistě softwarové implementace je zahrnuta i doba potřebná k vygenerování tohoto pixelu, která má minimálně desetinový podíl na celkové době zpracování. Skutečná doba zpracování je tedy reálně nižší v řádu desítek μ s a počet zpracovaných pixelů za vteřinu tak může narůst o pár set. Zrychlení swhw oproti sw implementaci je tedy ve skutečnosti o pár jednotek nižší.

Shrnutí

Rychlost zpracování za účasti FPGA je velmi rychlá k plynulému zpracování a zobrazení videa z kamery. Velikost čipu je FPGA na fitkitu dostatečná pro tuto úlohu. Cena i spotřeba řešení je minimální vzhledem k malé frekvenci krystalu a nepotřebě dalších externích čipů, neboť fitkit obsahuje jak MCU tak FPGA. Úzkým místem systému je komunikace mezi MCU a FPGA sdílenou pamětí, kdyby se vmístil výpočet otsu do FPGA, nebyl by mikrokontrolér účastněn výpočtu a tedy by řešení bylo pouze na jednom čipu.