

Návrh počítačových systémů 2012: Projekt č. 1

Název: Řízení maticového displeje BM(HD)-10EG88MD

(<http://www.gme.cz/cz/index.php?product=512-178>)

Odevzdání: 4.11.2012 23:59:59 do IS FIT

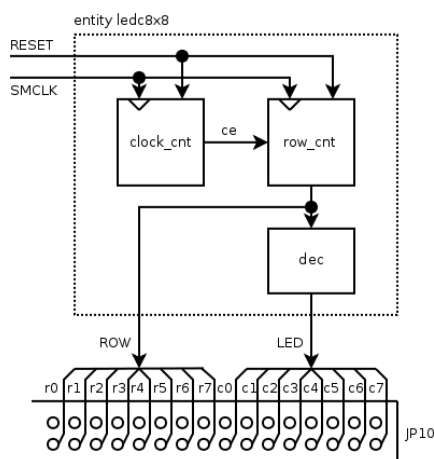
Bodové hodnocení: max. 13

Dotazy: bidlom@fit.vutbr.cz, osobně - M. Bidlo (L330)

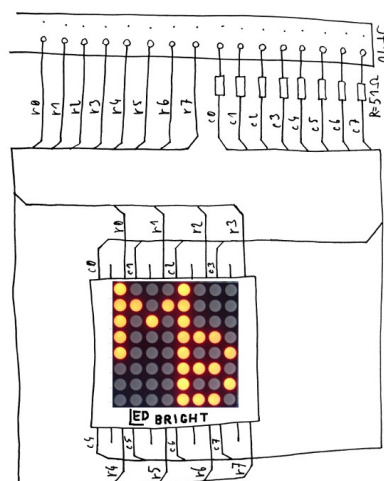
Zadání

Vytvořte behaviorální model obvodu ve VHDL, který zobrazí Vaše iniciály na maticovém LED displeji externě připojeném k FPGA na FITkitu. Zvolte si polohu i formu iniciálů tak, aby byly znaky jasně čitelné. V případě pocitu nedostatku místa na displeji můžete sdílet vybrané linie obou znaků. Schéma obvodu pro FPGA je na obrázku 1, připojení displeje k FITkitu a vzorový výstup ukazuje obrázek 2. **Zachovejte pojmenování entity a jejího rozhraní**, neoznačené vnitřní signály obvodu si vhodně pojmenujte sami.

Odzkoušení řešení je možné **prezenčně** v CVT v učebně M105. K dispozici tam jsou dva identické přípravy s kompletním zapojením maticového displeje včetně rozhraní s konektorem pro připojení přípravku k FITkitu. Doneste si FITkit, USB kabel a NB s řešením projektu, případně využijte PC v učebně. **S přípravky zacházejte ohleduplně, nerozebírejte je, nepřepojujte, ani neodnášejte z učebny. Ačkoliv je možné vypracovat projekt s využitím simulátoru, doporučuji ověřit finální řešení na poskytnutém přípravku, který bude využit i při hodnocení.**



Obr. 1



Obr. 2

Odevzdává se: archiv xlogin00.tar nebo xlogin00.zip (doplňte Váš login), který bude obsahovat **adresář opět pojmenovaný Vaším loginem malými písmeny, jehož struktura bude shodná s tím, co bylo součástí zadání s doplněným řešením v souborech ledc8x8.vhd a ledc8x8.ucf.**

Popis systému

Maticový displej LED 8x8 je standardní zobrazovací součástka připojená externě k FITkitu prostřednictvím vybraných pinů sběrnice X (viz obr. 2). Rezistory 51Ω představují ochranu LED displeje před nadměrným proudem. Jelikož katody diod v každém řádku displeje sdílejí jediný vodič, je nutné provádět řízení displeje dynamicky v tzv. časovém multiplexu, což zajišťuje obvod z obr. 1, jehož VHDL popis je předmětem tohoto projektu. Dynamickým řízením rozumíme postupnou periodickou aktivaci jednotlivých řádků displeje v čase, kdy je pro každý aktuálně aktivní řádek specifikována sestava svítících LED. **V daném okamžiku tedy může být aktivní pouze jediný řádek.** Tento přístup umožňuje značně snížit celkový počet vodičů rozhraní displeje

nezbytných k jeho kompletní obsluze a tím i cenu displeje. Podíváte-li se na displej ze strany, na které je uveden popis, odpovídá význam a zapojení vývodů schématu na obr. 2 a **řádky, resp. sloupce, jsou číslovány od 0 do 7 shora dolů, resp. zleva doprava** (na obr. 1 a 2 označeny symboly r0-r7, resp. c0-c7). Dodržení této orientace je pro řešení projektu závazné.

Řídicí obvod displeje v FPGA je taktován signálem SMCLK, jehož frekvence je přibližně 8 MHz. Ta je však pro dynamické řízení příliš vysoká, LEDky napájené přímo z pinů sběrnice X na FITkitu by svítily slabě. Proto implementujte 8-bitový synchronní cyklický čítač `clock_cnt`, kterým snížíte kmitočet pro dynamické řízení na $SMCLK/256$. Pro generování tohoto kmitočtu použijte techniku `clock enable` (představenou v kurzu INC), která aktivuje signál ce při dosažení maximální hodnoty čítače `clock_cnt`. Ve všech ostatních stavech tohoto čítače je `clock enable` neaktivní. Signálem `reset` zajistěte asynchronní nulování `clock_cnt`.

K realizaci časového multiplexu displeje implementujte 8-bitový synchronní rotační registr `row_cnt`, jenž je synchronizován hodinami SMCLK v kombinaci se signálem `clock enable`. K rotaci `row_cnt` tedy dochází pouze při aktivním signálu `ce`. **!!!! Aktivace řádku se provádí hodnotou log. 0 !!!!** na příslušném bitu `row_cnt`, **zbývající bity (neaktivních řádků) musí být nastaveny do log. 1**. Signálem `RESET` asynchronně nastavte registr tak, aby byl aktivován horní řádek displeje.

Specifikaci svítících LED v aktivním řádku displeje proveďte pomocí dekodéru (`dec`) na základě stavu čítače `row_cnt`. Dioda svítí, je-li na příslušné pozici výstupního signálu LED hodnota `log. 1`, v případě `log. 0` je odpovídající dioda zhasnutá. Dekodér představuje čistě kombinační obvod. Vstupními kódovými kombinacemi jsou všechny stavy `row_cnt` popisující právě jeden aktivní řádek, pro nějž specifikujeme sestavu svítících LED jako výstupní hodnotu dekodéru (ta samozřejmě může vyjadřovat i stav „všechny LED v řádku zhasnuté“ - hodnota „00000000“). Pro všechny ostatní vstupní kombinace dekodéru zajistěte (v části „others“ popisu kombinačního obvodu), že budou LED zhasnuté.

Pokyny k řešení

(1) Doplněte kód dle uvedené specifikace obvodu do souboru `ledc8x8.vhd`.

(2) Doplněte mapování výstupních signálů ROW a LED do souboru `ledc8x8.ucf` tak, aby tyto signály byly přivedeny na příslušné bity sběrnice X, jak je uvedeno na obr. 1. Fyzicky budou na všech verzích FITkitu namapovány na spodní řadu 16-ti pinů zcela vpravo na rozhraní JP10. Inspirujte se tím, co je již v tomto souboru uvedeno a použijte schéma FITkitu k určení mapování zbývajících signálů (schémata naleznete na webu FITkitu <http://merlin.fit.vutbr.cz/FITkit/hardware.html>). Ve schématu FITKIT-INPUT/OUTPUT INTERFACE je uvedena struktura rozhraní JP10, kde naleznete, které piny sběrnice X je třeba použít (viz též obr. 1 a 2) a podle toho pak ze schématu FITKIT-FPGA INTERFACE určíte čísla pinů FPGA, na které je třeba v souboru `ledc8x8.ucf` namapovat signály ROW a LED entity obvodu.

(3) Pro simulaci obvodu a zobrazení časového diagramu byl vytvořen skript `isim.tcl`, který se nachází v adresáři `fpga/sim`. Zadáním `make isim` z příkazového řádku v kořenovém adresáři projektu (nebo volbou *Spustit simulaci (ISIM)* z kontextového menu projektu v QDevKitu) se spustí simulátor ISIM a zobrazí se průběh sledovaných signálů po dobu 40 μ s. Je-li model správně vytvořen, zobrazí se v simulaci jedna perioda postupné aktivace všech řádků displeje.

(4) Jest v zásadě povinností ctít pravidla syntetizovatelného VHDL probíraná na cvičení. Jejich nedodržení může vést k problémům při syntéze (warnings, errors), nesprávné funkci obvodu a v důsledku též ke ztrátám bodů při hodnocení. Vzorové příklady popisu základních komponent ve VHDL jsou na http://merlin.fit.vutbr.cz/FITkit/docs/navody/synth_templates.html.