



Öğr. No:

Ad:

Soyad:

Şekil 1: Soru 2 ve soru 3 için kullanılacak lojik devre.

Soru 1) Aşağıdaki soruları cevaplayınız (25p).

(a) Sayısal Tasarım uygulamalarında tasarlanan entegre devrelerden olan ardisil devreler, çıkışların belirli bir andaki değeri, girişlerin yalnızca o anki değerine değil, aynı zamanda girişlerin önceki değerlerinin sırasına da bağlı olan ve bu sebeple bellegi olan devrelerdir (10p).

(b) Aşağıdaki akronim kelimeleri uzunlarını yazınız (15p).

ASIC: Application Specific Integrated Circuit

HDL: Hardware Description Language

ALU: Arithmetic Logic Unit

Soru 2) A, B girişi olan Şekil 1'deki devrenin girişe bağlı 1, 2 ve Q çıkış değerlerinin tablosunu doldurunuz. (25p).

Girişler		Çıkışlar		
A	B	1 (C)	2 (D)	Q
0	0	0	1	1
0	1	0	0	0
1	0	0	0	0
1	1	1	0	1

Soru 3) Soru 2'de elde ettiğiniz çıkış değerleri tablosuna göre devrenin VHDL kodu VHDL-Kod-1'de (sağda) verilmiştir. Boşlukları uygun ifadelerle doldurunuz (25p)

Soru 4) 4 bitlik verinin bellekten işlemciye iletilmesi gerekmektedir. Bu iletim kritik olduğu için iletim esnasında hata olursa algılanması ve hata varsa düzeltilmesi istenmektedir. Bunun için Hamming kodlama kullanılacaktır. Buna göre aşağıdaki soruları cevaplayınız (25p).

(a) "1010" verisinin ($a_3...a_0$) hamming kodunu üretiniz (6p).

6 5 4 3 2 1 0
1 0 1 1 0 1 0

(b) İşlemciye iletilen değer "1011000" ($a_6...a_0$) şeklindedir. Hatanın hangi bitte olduğunu ve nasıl düzeltildiğini gösteriniz. Aşağıdaki tabloyu hata algılama için kullanabilirsiniz (19p).

	a0	a1	a2	a3	a4	a5	a6
S4	1	1	1		1		
S5		1	1	1		1	
S6	1		1	1			1

Cevap:

iletilen kod 1 0 1 1 0 0 0
yeni hamming kod 1 1 0 1 0 0 0
 $S_6S_5S_4$ 0 1 1
hatalı bit a_1
1 0 1 1 0 1 0

VHDL Kod-1 (soru 3 için)

```
library IEEE;
use IEEE.std_logic_1164.all;
Entity eSoru3 is
  Port (
    a,b: in std_logic;
    c,d: out std_logic;
    q: out std_logic
  );
end eSoru3;
architecture eSoru3_Behv of eSoru3 is
Begin
  c <= a and b;
  d <= a nor b;
  q <= a xnor b;
End eSoru3_Behv;
```

Başarılar