Universidade Federal de Santa Catarina EEL5105: Circuitos e Técnicas Digitais

Semestre: 2019/2 – Projeto

Jogo Genius

O projeto final consiste na implementação de um circuito na placa de desenvolvimento DE1 fazendo uso das estruturas e conhecimentos obtidos durante o curso. O circuito vai implementar a um jogo interativo similar ao jogo Genius. O comportamento do jogo está definido a seguir:

- Para iniciar o jogo o usuário ativa a entrada de reset, SW(1), e passamos ao estado START onde são activados os comandos de reset (R1 e R2). Nesse estado os displays HEX5 e HEX4 mostrarão a letra L de level e o nível de jogo, respectivamente, os displays HEX3 e HEX2 mostrarão a letra t de time e o tempo máximo de jogo, respectivamente, e por último, os displays HEX1 e HEX0 mostrarão a letra r de round e o valor da rodada do jogo, respectivamente. O nível de jogo, tempo máximo de jogo e rodada serão explicados a seguir. Do estado START passamos diretamente ao estado SETUP.
- Uma vez no estado SETUP o usuário deve escolher uma das quatro velocidades de jogo com os Switches~9~e~8, SW(9..8), uma das quatro sequencias possíveis de jogo com os Switches~7~e~6, SW(7..6), e o número máximo de iterações por sequencia com os Switches~5~e~2, SW(5..2). As frequências para os quatro níveis de jogo serão 0,5Hz, 1Hz, 2Hz e 3Hz. O nível de jogo será mostrado no 1HEX4. Damos inicio ao jogo ativando a entrada 1PGA.
- Uma vez no estado $PLAY_FPGA$ é ativada a sequencia seleccionada a qual será mostrada nos LEDR(3..0). Dita sequencia possui 16 linhas de atribuição de 4-bits e um exemplo de sequencia SEQ1.vhd está disponível no Moodle da disciplina. Corre a cargo do aluno preencher as outras três sequências à sua escolha. É importante destacar que a sequencia pode ter apenas um "1" lógico por linha e que a sequencia tem estar variando continuamente. Na primeira rodada será apresentada uma linha da sequencia, na segunda rodada serão apresentadas duas e assim sucessivamente. O jogo passa para o proximo estado, $PLAY_USER$, quando esteja ativo um sinal de status, chamado end_FPGA .
- Uma vez no estado $PLAY_USER$ o usuário deve indicar com os botões de pressão KEY(3..0) a sequencia mostrada no estado anterior. Neste estado, o displays HEX2 mostrará uma contagem ascendente de 0 a 9 com frequência de 1Hz. Se o tempo acaba é ativado um sinal de status end_time e o jogo passa ao estado RESULT, se não terminou o tempo e o usuário introduz a sequencia que achar correta então se ativa um sinal de status end_user , o jogo passa ao estado CHECK.
- No estado CHECK se avalia se o usuário errou na replicação da sequencia. Se o usuário replicou a sequencia corretamente, um sinal de status match está ativo e o jogo passa ao estado $NEXT_ROUND$. Se o usuário errou passa ao estado RESULT. Nesse estado habilitamos um comando para contar a rodada, que é mostrada no HEXO.
- No estado $NEXT_ROUND$ se avalia um sinal de status win que indica se o jogo chegou ao último valor da sequencia. Se chegou então win está ativo e o jogo passa ao estado RESULT caso contrario passa ao estado PLAY FPGA. Neste estado serão resetadas as contagens das sequências das FPGA e o usuário.
- No estado RESULT será mostrado a pontuação final em Hexadecimal nos displays HEX1 e HEX0. Para o nível de jogo j, uma sequencia i (selecionados com os SW(9..6)) e o resultado das rodadas, a pontuação final será $64 \times j + 4 \times rodadas + i$. Corre a cargo do aluno implementar a dita operação com a menor lógica possível. Nesse estado os displays HEX5, HEX4, HEX3, HEX2 mostrarão FPgA ou USEr indicando quem ganhou o jogo. Nesse estado o usuário deverá pressionar reset para passar ao estado START e iniciar outro jogo.
- Visando evitar problemas de temporização em função do aperto de um KEY por um ser humano durar muitos ciclos de *clock*, o *Button Press Synchronizer* (ButtonSync) será fornecido em conjunto com o projeto. O jogo pode ser reiniciado em qualquer momento com o SW(1), reset.
- O projeto deve ser implementado **obrigatoriamente** usando a abordagem *datapath*-controle vista nas aulas.

Orientações Gerais:

- Na apresentação de funcionamento do projeto no kit DE1, todos os membros do grupo (máximo 2 integrantes) deverão estar presentes:
- Os testes do projeto no kit poderão ser feitos sempre nos horários de aula durante as semanas que antecedem o prazo final. Outros horários poderão ser eventualmente utilizados em função da disponibilidade do laboratório e do professor.