



ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
ΣΧΟΛΗ ΗΜΜΥ
ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΠΕΞΕΡΓΑΣΤΩΝ & ΥΛΙΚΟΥ
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΓΙΑ ΤΟ ΜΑΘΗΜΑ:
ΗΡΥ 302 – Οργάνωση Υπολογιστών

ΕΑΡΙΝΟ ΕΞΑΜΗΝΟ 2024

Άσκηση 0

ΣΧΕΔΙΑΣΗ ΕΝΟΣ ΑΠΛΟΥ ΣΥΣΤΗΜΑΤΟΣ ΜΝΗΜΗΣ ΣΕ VHDL

ΔΙΔΑΣΚΩΝ: Καθ. Α. Δόλλας

ΕΚΠΟΝΗΣΗ: Δρ. Ε. Σωτηριάδης

ΣΥΝΕΡΓΑΤΗΣ: Ι. Πολογιώργη

ΕΚΔΟΣΗ : 1.0
Χανιά

Σκοπός

Είναι η μοντελοποίηση και υλοποίηση μιας μονάδας μνήμης με δυνατότητα εγγραφής και ανάγνωσης 16-bit αριθμών καθώς και η εκμάθηση του εργαλείου Xilinx Core Generator.

Ζητούμενα

Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα με εισόδους και εξόδους όπως στον Πίνακα 1.

Όνομα	in/out	Πλάτος σε bit
CLK	In	1
RST	In	1
AddrWrite	In	5
AddrRead	In	5
Write	in	1
Read	in	1
NumberIN	in	16
NumberOUT	Out	16
Valid	Out	1

Πίνακας 1: Είσοδοι - έξοδοι του κυκλώματος

Προδιαγραφές

Το κύκλωμα αποτελείται από 2 διαφορετικές μονάδες (modules).

1^η Μονάδα Μνήμης - Memory Module

Είναι μια μνήμη πλάτους 16-bit και βάθους 32 θέσεων. Η υλοποίηση της θα γίνει με το εργαλείο core generator της εταιρίας Xilinx. Η μονάδα θα έχει αρχικοποιηθεί με τους αριθμούς 0 στη θέση 0, 1 στη θέση 1 κλπ. μέχρι τη θέση 31.

2^η Μονάδα Ελέγχου Μνήμης - Memory Controller

Η μονάδα ελέγχου της μνήμης είναι μια Μηχανή Πεπερασμένων Καταστάσεων (FSM) η οποία ανάλογα με τα σήματα εισόδου που λαμβάνει φροντίζει ανάλογα την λειτουργία της μνήμης.

Θέματα Υλοποίησης

A) Η Υλοποίηση της μονάδας μνήμης είναι εξαιρετικά εύκολη αφού ακολουθείται ένας οδηγός που θα εξηγηθεί στο φροντιστήριο του εργαστηρίου. Προϋποθέτει όμως να γίνουν κατανοητές οι επιλογές σε κάθε βήμα ώστε να υπάρξει η κατάλληλη λειτουργικότητα της μνήμης.

Β) Η Υλοποίηση της μονάδας ελέγχου προϋποθέτει την ύπαρξη state diagram της FSM όπως έχετε διδαχθεί σε προηγούμενο μάθημα. Η συγκεκριμένη FSM δέχεται σαν εισόδους τα σήματα «εντολών» όπως τα Write και Read και αν υπάρχει κάποιο αντίστοιχο σήμα από την Μονάδα μνήμης και θα παράγει εξόδους που θα ελέγχουν την μονάδα μνήμης μέσω των σημάτων ελέγχου όπως το we.

Γ) Πρέπει να δημιουργηθεί ένα top level entity που θα ολοκληρώσει τα δύο επιμέρους υποσυστήματα.

Δ) Η επιβεβαίωση καλής λειτουργίας του κάθε Module αλλά και της σχεδίασης συνολικά πρέπει να γίνει με τη χρήση Testbench το οποίο να είναι επαρκές και σχετικά αιτιολογημένο.

Λειτουργία Συστήματος

Το σύστημα όταν δέχεται σαν είσοδο Write='1' αποθηκεύει τον αριθμό (σήμα NumberIN) στην διεύθυνση εισόδου (σήμα AddrWrite) της μνήμης.

Το σύστημα όταν δέχεται σαν είσοδο Read='1' εμφανίζει στην έξοδο (σήμα NumberOut) τον αριθμό που έχει αποθηκευτεί στην διεύθυνση εξόδου (σήμα AddrRead) και δίνει σαν έξοδο το σήμα Valid='1'. Διαφορετικά το σήμα Valid='0'. Το σήμα Valid έχει την σημασία ότι ο αριθμός που ούτως ή άλλως φαίνεται στην έξοδο (σήμα NumberOut) είναι αποτέλεσμα της ανάγνωσης ανεξάρτητα αν προέρχεται από την αρχικοποίηση ή προηγούμενη καταχώρηση.

Προφανώς μπορεί να γίνει Read και Write στον ίδιο κύκλο ακόμα και στην ίδια θέση (AddrWrite=AddrRead). Στην οριακή αυτή περίπτωση θα πρέπει να εμφανιστεί στην έξοδο της μνήμης ο αριθμός που ήταν αποθηκευμένος και να αποθηκευτεί ο νέος αριθμός που έγινε write.

Παρατηρήσεις/Σημειώσεις

- (1) Η μνήμη θα δημιουργηθεί αυτόματα από τα εργαλεία της Xilinx ISE
- (2) Ο έλεγχος της μνήμης θα γίνει από μία FSM.
- (3) Η FSM μαζί με τη μνήμη θα ενωθούν με ένα top level αρχείο.

Παραδοτέα:

Στο eclass θα αναρτήσετε ένα αρχείο .zip που περιλαμβάνει

- 1) Πηγαίους κώδικες VHDL, 3 αρχεία με τα modules και 1 αρχείο με το testbench
- 2) Αρχείο .pdf που έχει σύντομη αναφορά και περιλαμβάνει στο θεωρητικό μέρος το διάγραμμα καταστάσεων ή ισοδύναμη απεικόνιση.

Μην ανεβάσετε το σύνολο του Xilinx project δεν θα βαθμολογηθεί!!!

ΠΡΟΣΟΧΗ!

1) Η διαπίστωση αντιγραφής σε οποιοδήποτε σκέλος της άσκησης οδηγεί στην απόρριψη από το σύνολο των εργαστηριακών ασκήσεων. Αυτό γίνεται οποιαδήποτε στιγμή στη διάρκεια του εξαμήνου.

ΚΑΛΗ ΕΠΙΤΥΧΙΑ! ☺