



*Instituto Politécnico Nacional
Escuela Superior de Cómputo*



Sistema de interrupciones

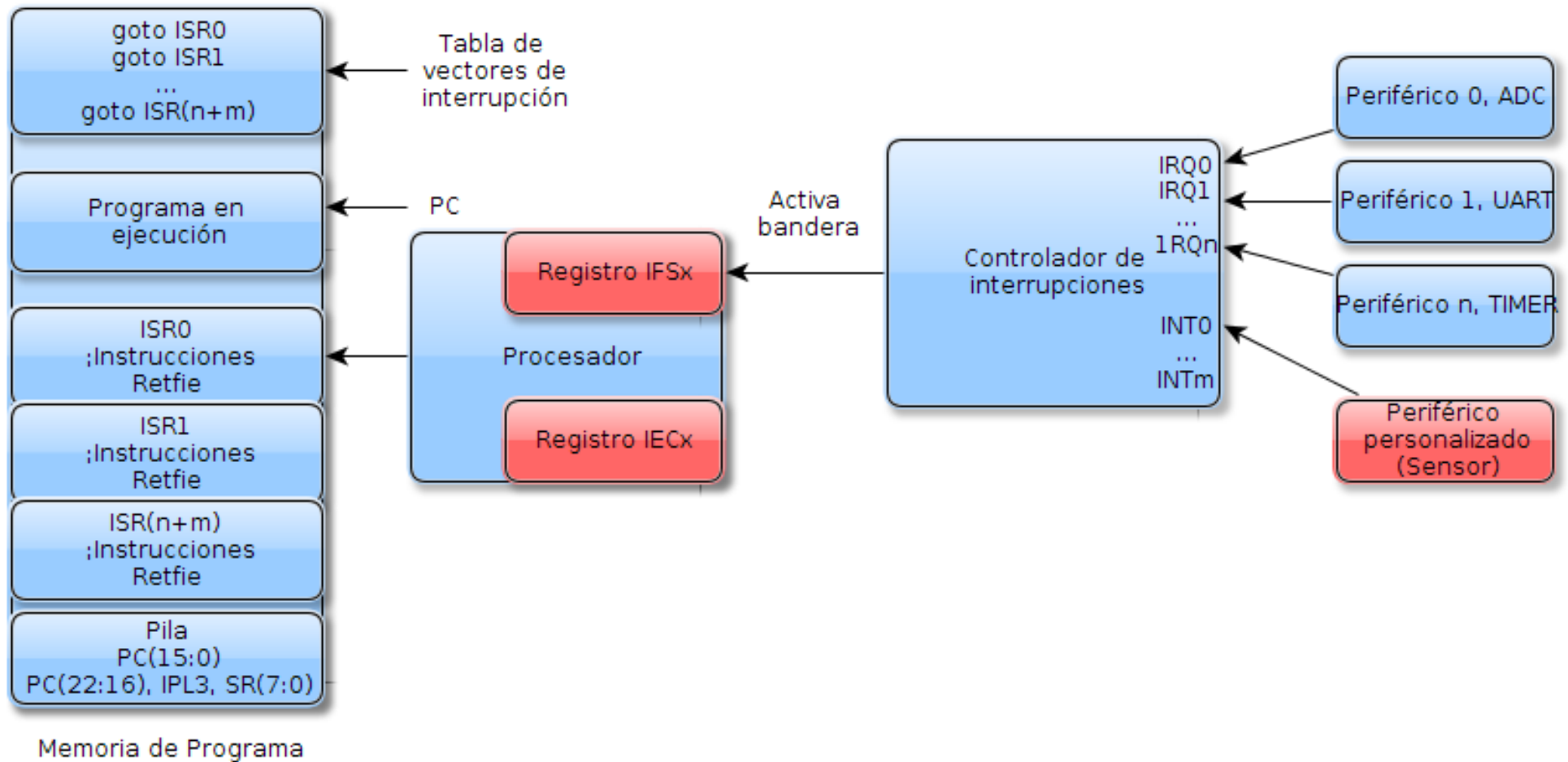
M. En C. Victor Hugo García Ortega

Av. Juan de Dios Batiz s/n
Col Lindavista, GAM
Unidad Profesional Zacatenco
07738, Ciudad de México.

Definición

Es una petición inesperada de atención por parte de un periférico hacia el microprocesador. En el momento que el periférico solicita atención, el procesador “interrumpe la sección de programa que estaba ejecutando” para ejecutar una rutina de código llamada ISR (Interrupt Service Routine)

Mecanismo de interrupciones



ISR

El código que se encuentra dentro de la ISR es programado por el usuario dependiendo de la aplicación.

Generalmente existen varias ISR's en un microcontrolador y cada una de ellas esta ligada a un periférico, por ejemplo, si el microcontrolador tiene un TIMER, UART, SPI, etc, entonces existira una ISR para cada uno de esos periféricos.

ISR's

Cada ISR se encuentra codificada dentro de la memoria de programa. La dirección de inicio de cada ISR se encuentra dentro de una sección de memoria llamada “Tabla de vectores de interrupción”. Esta tabla se encuentra a partir de la dirección 0x000004 de la memoria de programa y establece niveles de prioridad para la ejecución de cada ISR.

Fuentes de interrupción

La familia “DSPIC30F sensor” tiene hasta 41 fuentes de interrupción y 4 excepciones (trampas) de procesador las cuales están basadas en un esquema de prioridad.



Table 6-1: Trap Vector Details

Vector Number	IVT Address	AIVT Address	Trap Source
0	0x000004	0x000084	Reserved
1	0x000006	0x000086	Oscillator Failure
2	0x000008	0x000088	Address Error
3	0x00000A	0x00008A	Stack Error
4	0x00000C	0x00008C	Arithmetic Error
5	0x00000E	0x00008E	Reserved
6	0x000010	0x000090	Reserved
7	0x000012	0x000092	Reserved

TABLE 8-2: dsPIC30F4013 INTERRUPT VECTOR TABLE

Interrupt Number	Vector Number	Interrupt Source
Highest Natural Order Priority		
0	8	INT0 – External Interrupt 0
1	9	IC1 – Input Capture 1
2	10	OC1 – Output Compare 1
3	11	T1 – Timer1
4	12	IC2 – Input Capture 2
5	13	OC2 – Output Compare 2
6	14	T2 V Timer2
7	15	T3 – Timer3
8	16	SPI1
9	17	U1RX – UART1 Receiver
10	18	U1TX – UART1 Transmitter
11	19	ADC – ADC Convert Done
12	20	NVM – NVM Write Complete
13	21	SI2C – I ² C™ Slave Interrupt
14	22	MI2C – I ² C Master Interrupt
15	23	Input Change Interrupt
16	24	INT1 – External Interrupt 1
17	25	IC7 – Input Capture 7
18	26	IC8 – Input Capture 8
19	27	OC3 – Output Compare 3
20	28	OC4 – Output Compare 4
21	29	T4 – Timer4
22	30	T5 – Timer5
23	31	INT2 – External Interrupt 2
24	32	U2RX – UART2 Receiver
25	33	U2TX – UART2 Transmitter
26	34	Reserved
27	35	C1 – Combined IRQ for CAN1
28-40	36-48	Reserved
41	49	DCI – CODEC Transfer Done
42	50	LVD – Low-Voltage Detect
43-53	51-61	Reserved
Lowest Natural Order Priority		

Estado del procesador

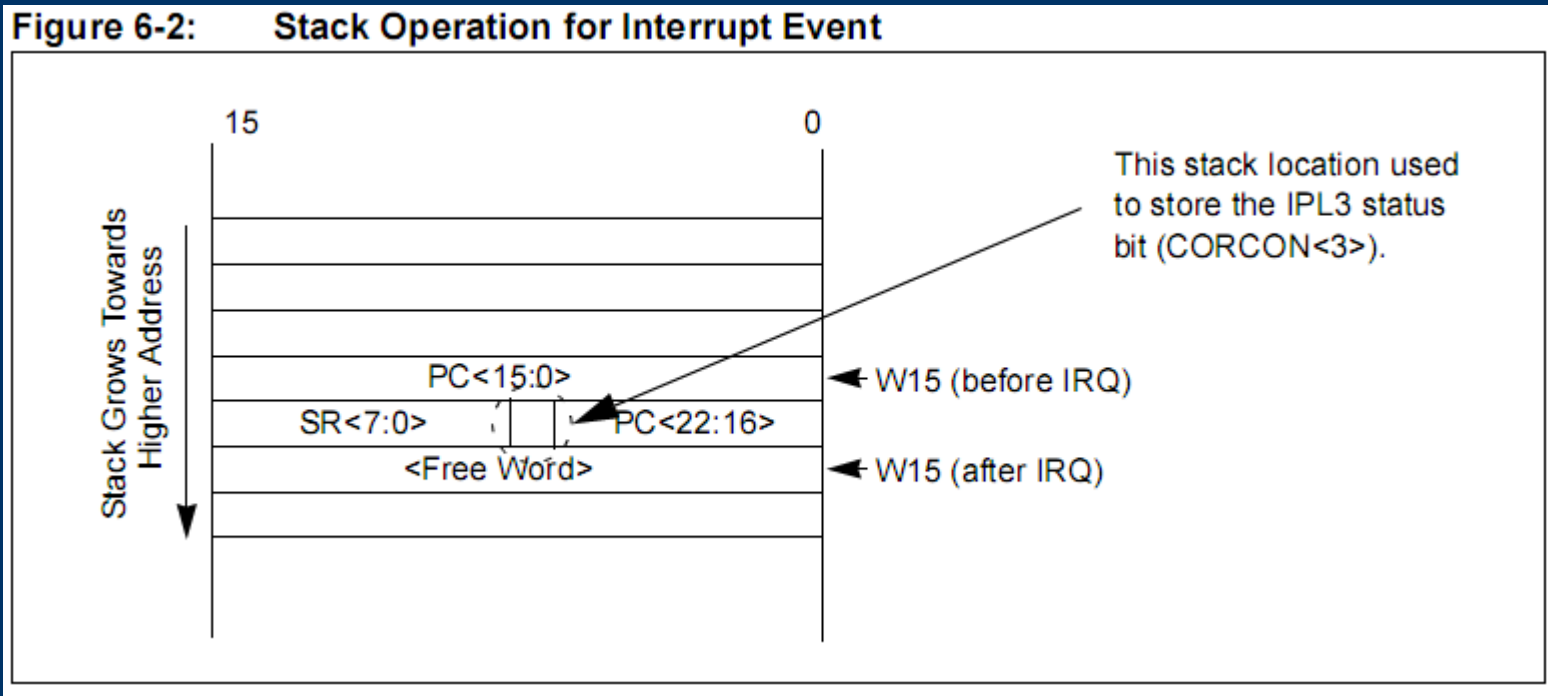
Cuando un periférico manda una señal de interrupción se activa su correspondiente bandera de interrupción, esta bandera es verificada durante cada ciclo de instrucción. Con la bandera activada si su nivel de prioridad es mayor que el del procesador, el procesador salva la siguiente información en la pila:

El valor actual del PC

El byte bajo del registro de estado

El bit IPL3

Estado del procesador



Después de esto la ISR es ejecutada, es responsabilidad del programador apagar a bandera de interrupción. Al final se ejecuta la instrucción retfie quien restaura los valores introducidos en la pila.

Registros

Los registros asociados que ayudan a habilitar, controlar y establecer los niveles de prioridad de las interrupciones y trampas son:

- IFS0<15:0>, IFS1<15:0>, IFS2<15:0>
- IEC0<15:0>, IEC1<15:0>, IEC2<15:0>
- IPC0<15:0>, IPC1<15:0>, ..., IPC10<7:0>
 - IPL<3:0>

Registros

Los registros IFSx contienen las banderas de interrupción. Estas banderas son activadas (se ponen en uno) por los periféricos cuando emiten una señal de interrupción y el programador tiene la responsabilidad de limpiarlas por software dentro la ISR.

Registros

Los registros IECX contienen todos los bits para la habilitación de las interrupciones de cada periférico.

Los registros IPCX contienen todos los bits para establecer la prioridad de cada una de las interrupciones. Los niveles de prioridad son de 0 a 7 donde 0 es el nivel mas bajo y 7 el nivel mas alto. Por default todas las interrupciones tiene el nivel 4 de prioridad.

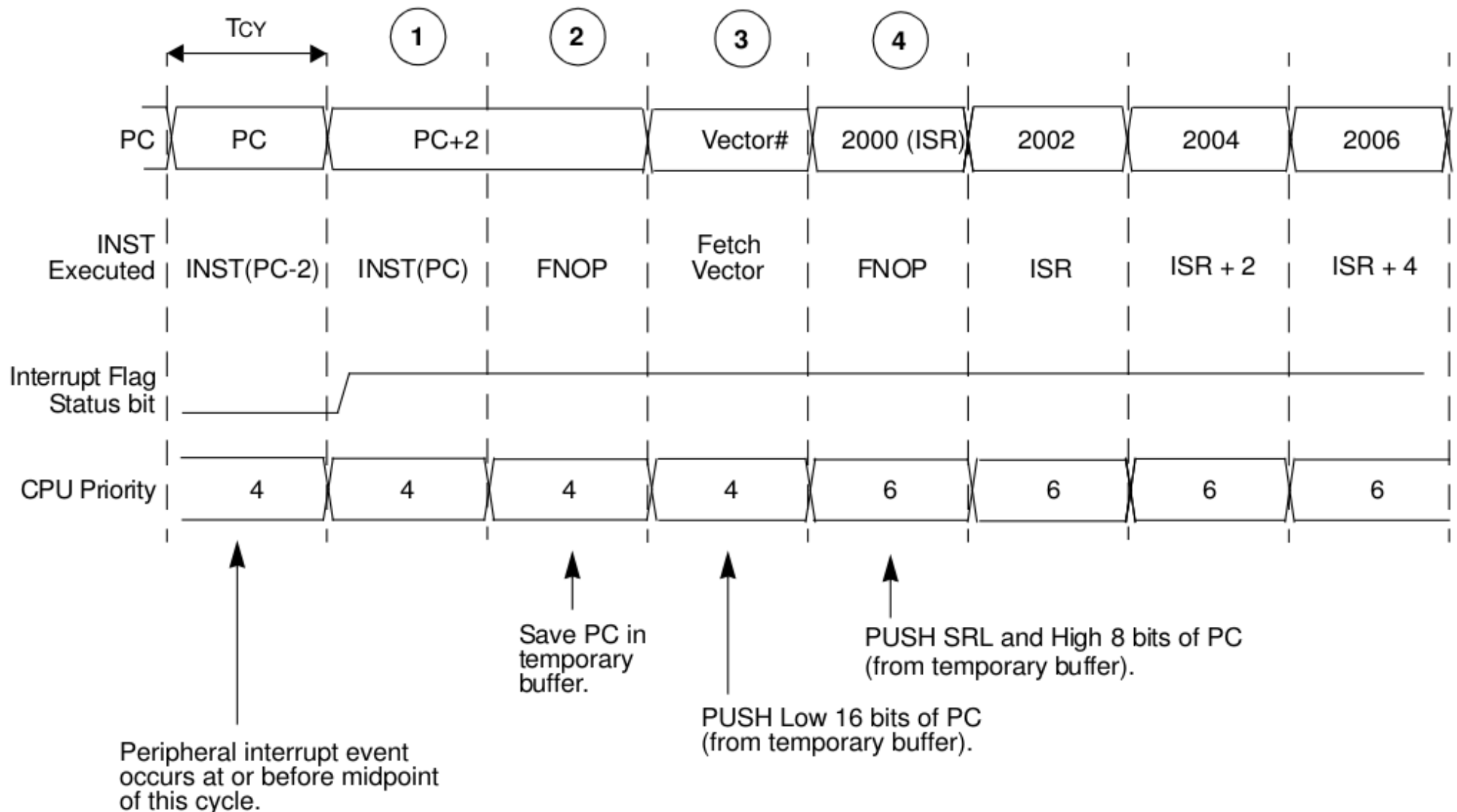
Niveles de prioridad

Los bits IPL establecen el nivel de prioridad del CPU. Por default el nivel de prioridad del CPU es cero.

Las interrupciones pueden ser deshabilitadas en los siguientes casos:

- Cuando una interrupción tiene un nivel de prioridad menor o igual que el nivel de prioridad del CPU.
 - Cuando el nivel de prioridad de la interrupción es cero.
 - Cuando el nivel de prioridad del CPU es 7.
-
-

Latencia de una interrupción



Latencia de una interrupción

En ciclo 1, el bit de bandera de interrupción, IFSx, es activado dentro del ciclo de instrucción siguiente al ciclo donde ocurre la interrupción por parte de un periférico hacia el procesador. Esto permite terminar de ejecutar la instrucción actual.

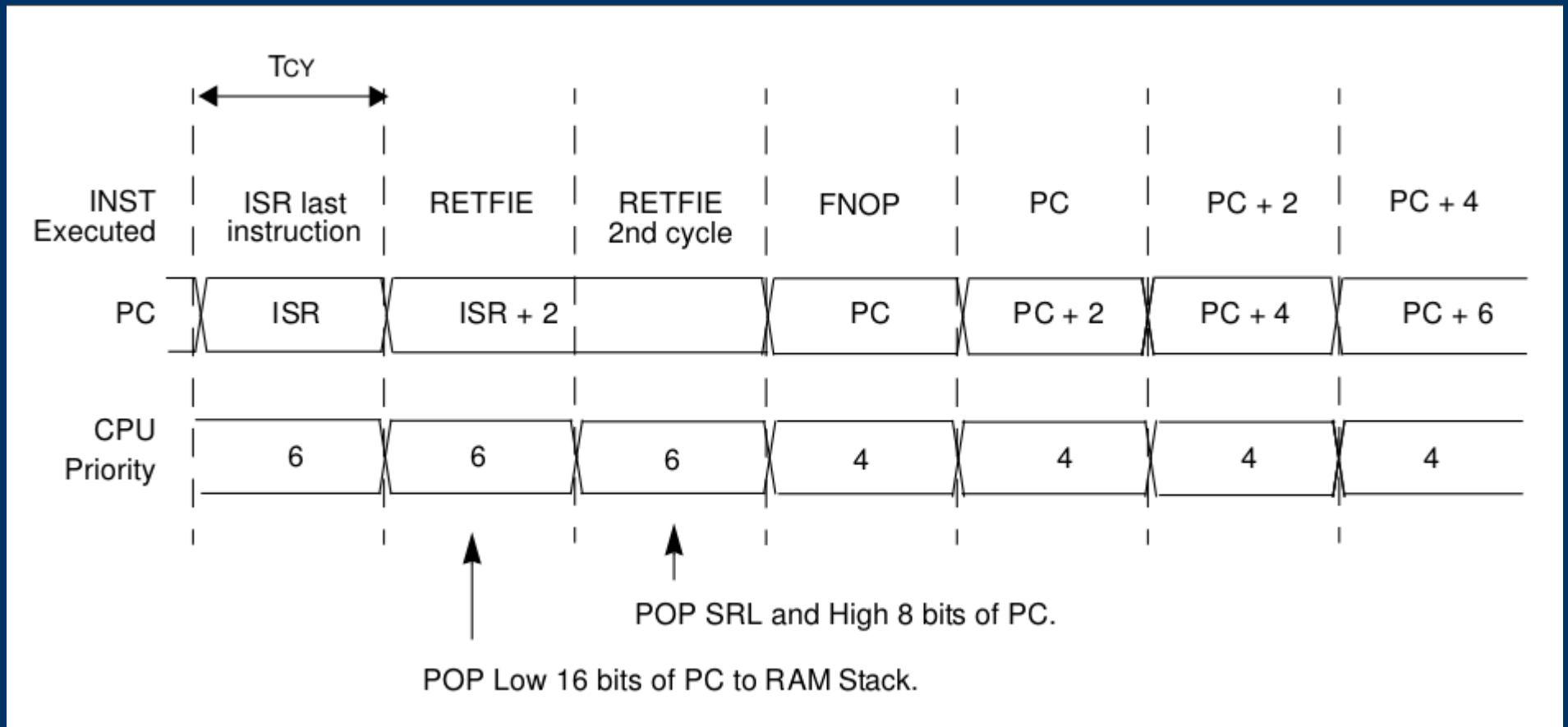
En el ciclo 2, Se guarda el contador de programa, el registro de estado y el bit IPL3 en un buffer temporal.

Latencia de una interrupción

En el ciclo 3, el PC es actualizado con la dirección de la tabla de vectores de interrupción correspondiente a la fuente de interrupción. Se guarda en la pila los 16 bits de la parte baja del PC desde el buffer temporal.

En el ciclo 4, se realiza el fetch de la primera instrucción de la ISR. Se guarda en la pila el registro de estado y los 8 bits de la parte alta del PC desde el buffer temporal.

Retorno de una interrupción



Retorno de una interrupción

En el ciclo 1, se ejecuta la instrucción RETFIE y se saca de la pila la parte alta del PC y el registro de estado.

En el ciclo 2, se saca de la pila la parte baja del PC.

En el ciclo 3, se realiza el fetch de la instrucción direccionada por el PC actualizado.

Contacto

Gracias por su atención...

e-mail:

vgarciaortega@yahoo.com.mx

